

LABORATÓRIO DE PROJETO DE SISTEMAS DIGITAIS

LAB – 04

Considere os seguintes comandos em VHDL

```
f1 <= (( x1 AND x3) OR (NOT x1 AND NOT x3)) AND ((x2 AND  
x4) OR (NOT x2 AND NOT x4));
```

```
f2 <= (x1 AND x2 AND NOT x3 AND NOT x4) OR ( NOT x1 AND  
NOT x2 AND x3 AND x4) OR (x1 AND NOT x2 AND NOT x3  
AND X4 ) OR (NOT x1 AND x2 AND x3 AND NOT x4);
```

Escreva o código VHDL para implementar f1 e f2 e prove através da simulação que $f1 = f2'$.

ENTREGA: ATÉ O FIM DA AULA

ENTREGAR ARQUIVO .vhd E UM SCREENSHOT DA TELA DA SIMULAÇÃO.

NOMES DOS ARQUIVOS:

- Lab4.vhd; lab4.pdf (screenshot da simulação)