

## LAB 07

1 – Projetar um decodificador 2:4, em nível de portas lógicas e validá-lo, através da simulação pelo Quartus.

2 – Usando o projeto acima como um componente, projetar um decodificador 3:8. Validar através da simulação do Quartus.

3 – Usando o projeto do it1m 1, como um componente, projetar um decodificador 4:16. Validar através da simulação do Quartus.

Entregar o projeto feito no papel, o screenshot da simulação e o(s) arquivo(s) VHDL.

Nome dos arquivos a serem entregues

lab06\_1.vhd, lab06\_1.pdf

lab06\_21.vhd, lab06\_22.vhd, lab06\_2.pdf

lab06\_31.vhd, lab06\_32.vhd, lab06\_2.pdf