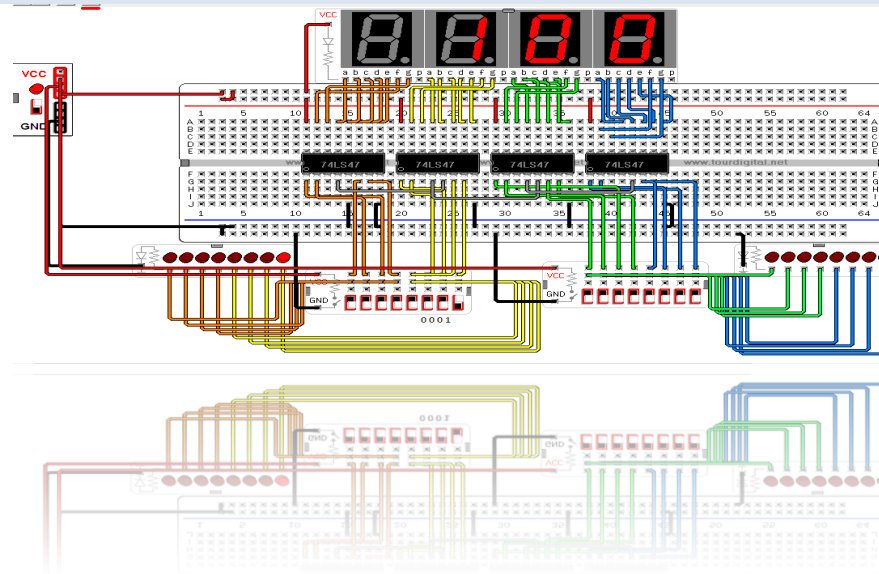


# CIRCUITOS LÓGICOS COMBINACIONAIS MULTITERMINAIS



Docente: Eng<sup>o</sup> Ernesto M.B. António

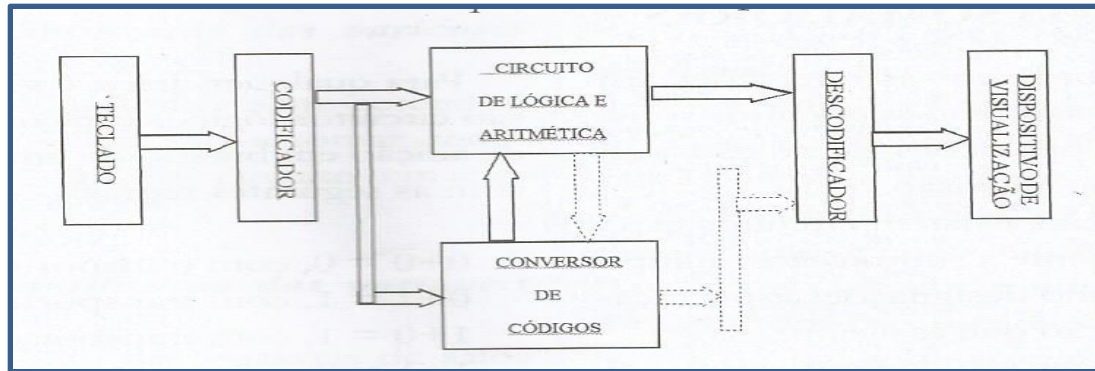
# INTRODUÇÃO

**Circuitos Lógicos Combinacionais Multiterminais** – são circuitos lógicos combinacionais, dotados de várias saídas que, apresentam em cada momento, valores relacionados entre si para formarem uma entidade. São mais complexos, relativamente aos uniterminais, apresentando um modo de funcionamento mais estruturado.

## Classificação:

- ☐ Circuitos somadores
- ☐ Circuitos codificadores
- ☐ Circuitos conversores de códigos
- ☐ Circuitos decodificadores

Estes 4 tipos de circuitos podem construir um sistema digital interessante, cujo diagrama em blocos apresentamos a seguir:



-O teclado – é um dispositivo periférico, que nos permite introduzir os dados alfa-numéricos a serem processados pelo sistema lógico.

-O codificador – converte a representação alfa-numérica introduzida através do teclado para o código binário.

-O circuito de lógica e aritmética (que pode comportar os circuitos somadores) – processa esses dados.

-O circuito decodificador – transforma o código binário em caracteres alfa-numéricos ou grupo de padrões reconhecíveis pelo operador humano.

-O dispositivo de visualização – permite que o operador humano visualize o resultado do processamento elaborado.

-Conversor de códigos – transforma sequências de códigos, num outro código em representação binária, quando necessário.

## 1.1. OS CIRCUITOS SOMADORES

**Circuitos somadores** – são circuitos lógicos capazes de realizar a operação de adição em binário de um ou mais bits de acordo com as seguintes regras:

- $0+0=0$ , com transporte 0;
- $0+1=1$ , com transporte 0;
- $1+0=1$ , com transporte 0;
- $1+1=0$ , com transporte 1;
- $1+1+1=1$ , com transporte 1;

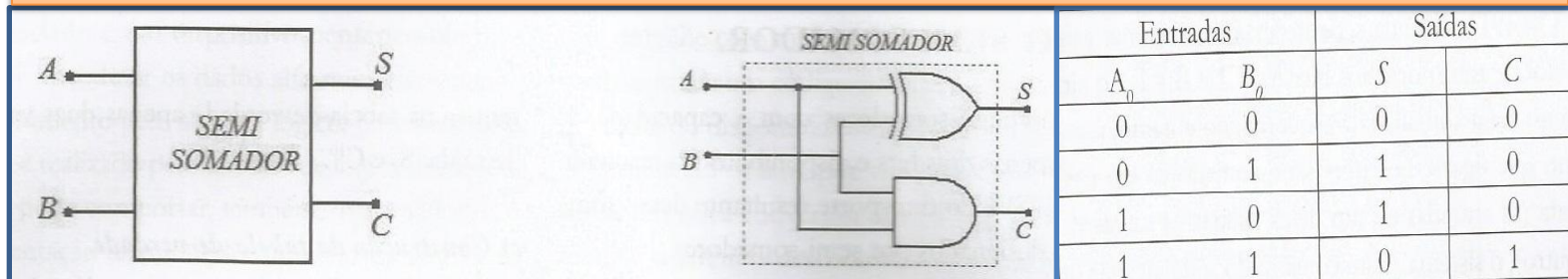
### Classificação:

- ☐ Semi-somador
- ☐ Somador completo
- ☐ Somador-paralelo
- ☐ Somador-subtrator
- ☐ Somador de DCB-8421

## 1.1.1. O SEMI-SOMADOR

**Semi-somadores** – são circuitos somadores com a capacidade de operar apenas dois bits e disponibilizar o resultado da soma ( $S$ ) e o transporte resultante dessa soma ( $C$ ).

Símbolo, Esquema e Tabela-de-verdade do semi-somador



Expressão booleana do semi-somador

$$S = A_0 \oplus B_0;$$

$$C = A_0 \cdot B_0.$$

Por exemplo:

a)  $(1+1)_{10}$ :

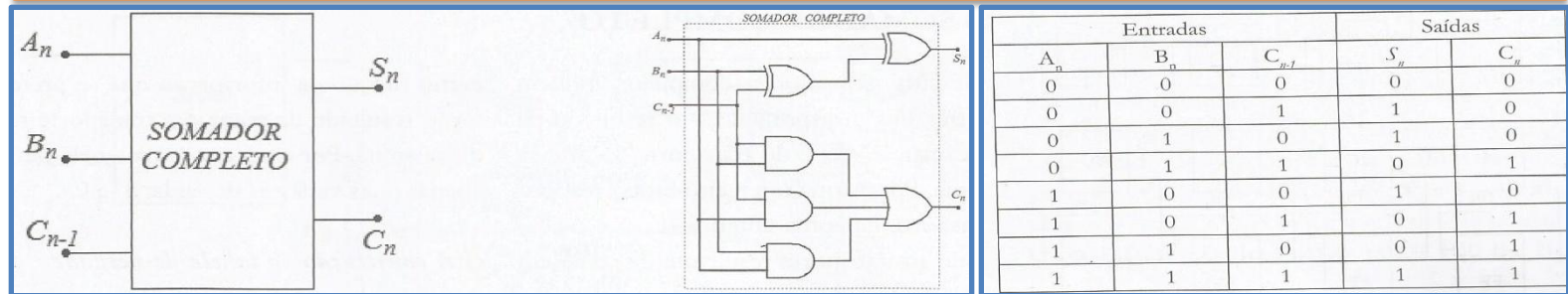
$(1)_{10} = (1)_2$ ; Logo:  $S = 1 \oplus 1 = 0$  e  $C = 1 \cdot 1 = 1$ .

Assim o resultado  $C=1$  e  $S=0$  (nesta ordem) corresponde a 2, em decimal.

## 1.1.2. O SOMADOR COMPLETO

**Somadores completos** – são circuitos somadores com a capacidade de operar três bits e disponibilizar o resultado da soma ( $S_n$ ) e o transporte resultante dessa soma ( $C_n$ ). Por norma o terceiro bit corresponde ao transporte da soma anterior ( $C_{n-1}$ ).

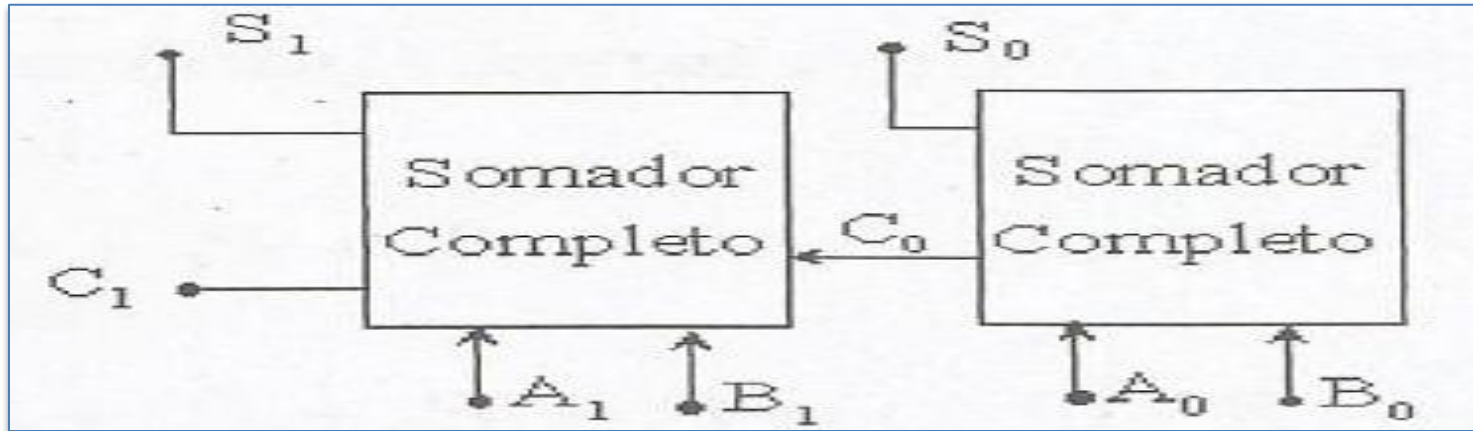
Símbolo, Esquema e Tabela-de-verdade do somador completo



Expressão booleana do somador completo

$$S_n = A_n \oplus B_n \oplus C_{n-1}$$
$$(C_n) = A_n \cdot B_n + A_n \cdot C_{n-1} + B_n \cdot C_{n-1}$$

## Sistema com somadores completos ligados em cascata

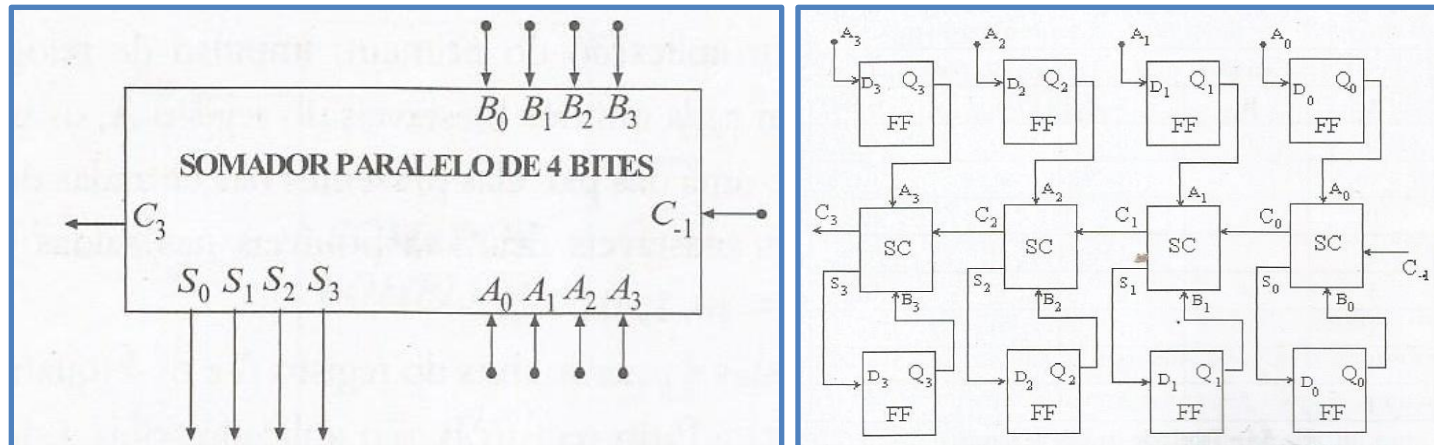


Com um sistema em cascata, é possível adicionar números com mais de 1 bit.

### 1.1.3. O SOMADOR – PARALELO

**Somadores-paralelos** – são circuitos com capacidade de adicionar números com 4 bits cada. É constituído por 4 somadores completos ligados em cascata e dois grupos de 4 biestáveis do tipo D, que funcionam como células de armazenamento dos números.

Símbolo e Esquema do somador-paralelo

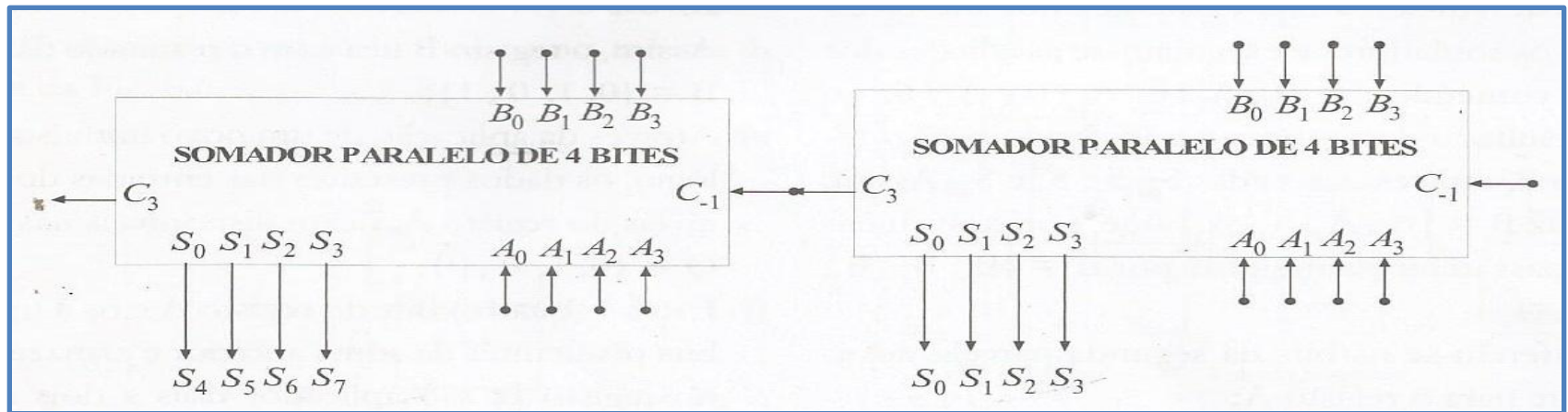




#### Etapas para a realização da operação no somador-paralelo

- a) Iniciam-se os 8 flip-flops a 0, fazendo-se também  $C_{-1} = 0$ ;
- b) Transferem-se os bits de uma das parcelas para o registo A, perfazendo-se  $A = \{ A_0, A_1, A_2, A_3 \}$ ;
- c) Transferem-se os bits existentes nos biestáveis para os somadores e adicionam-se os seus conteúdos:  $A_0+0$ ,  $A_1+0$ ,  $A_2+0$  e  $A_3+0$ .
- d) O resultado desta soma é transferido para o registo B, através das saídas  $S_0$ ,  $S_1$ ,  $S_2$  e  $S_3$ . Assim perfaz:  $B = \{ A_0, A_1, A_2, A_3 \}$ , que por conveniência passaremos a designar por  $B = \{ B_0, B_1, B_2, B_3 \}$ ;
- e) Transferem-se os bits da segunda parcela novamente para o registo A.
- f) Transferem-se os bits existentes nos biestáveis A e B e adicionam-se os seus conteúdos:  $A_0+B_0$ ,  $A_1+B_1$ ,  $A_2+B_2$ ,  $A_3+B_3$ ;
- g) O resultado desta soma que é o valor pretendido, é transferido para o registo B, através das saídas  $S_0$ ,  $S_1$ ,  $S_2$  e  $S_3$ .

## Associação de somadores-paralelos a fim de se adicionar números com 8 bits.

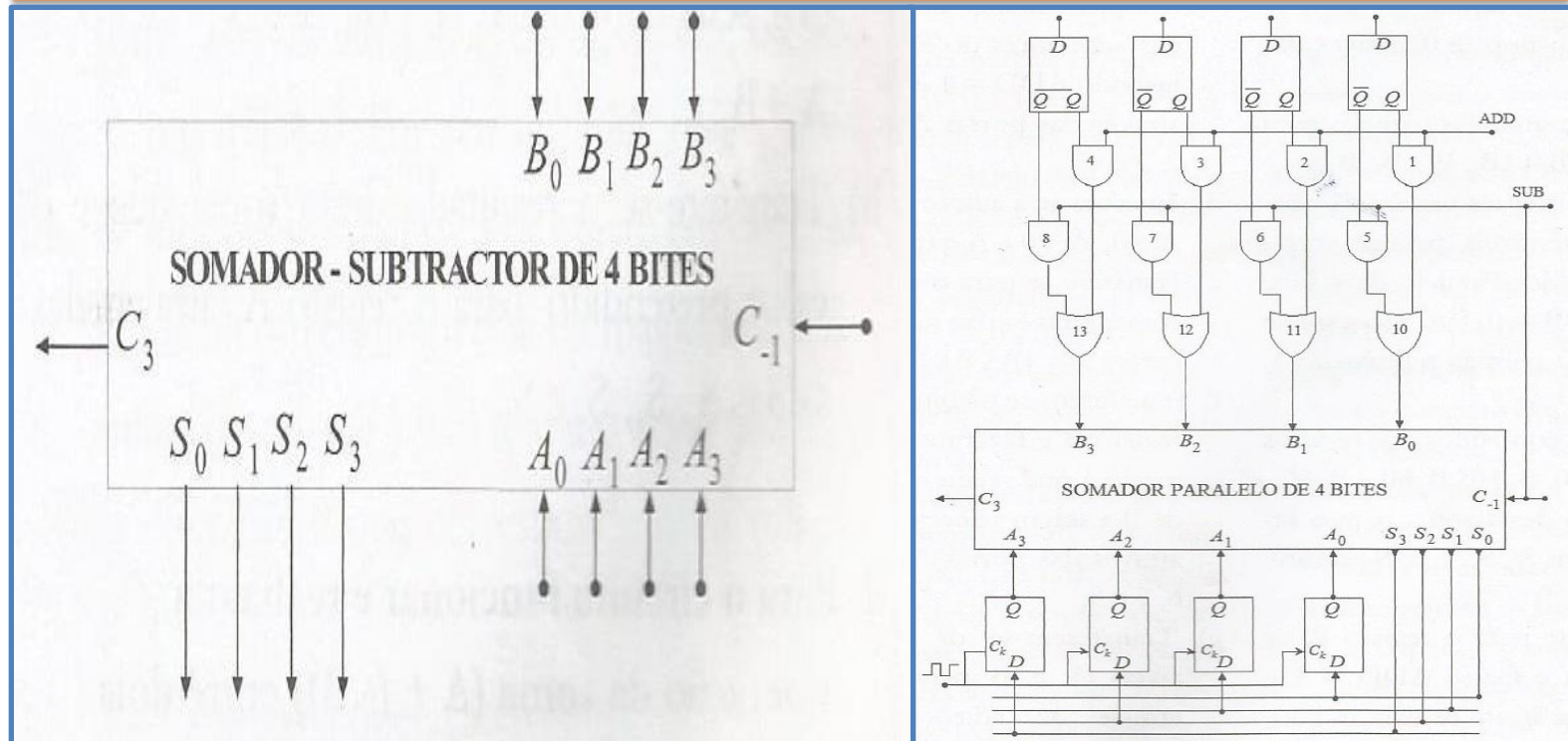


Estes podem ser acoplados de modo a adicionarem números com 8, 12 ou mais bits

## 1.1.4. O SOMADOR – SUBTRACTOR

**Somador-subtractor** – é um circuito capaz de realizar a soma e a subtração de números binários, usando a forma de 2º complemento. É composto por um somador paralelo de 4 bits e uma lógica para seleccionar os valores adequados à realização da operação.

Símbolo e Esquema do somador-subtractor



## Etapas para a realização da operação no somador-subtractor

### 1. Para a operação de soma ( $A+B$ ) entre dois números binários de quatro bits cada:

- a) Iniciam-se os 8 flip-flops a 0, através das entradas assíncronas;
- b) Transferem-se os dados de uma das parcelas para o registo B, perfazendo  $B = \{ B_0, B_1, B_2, B_3 \}$ ;
- c) Transferem-se os bits existentes nas saídas não complementadas dos biestáveis, para as entradas superiores do somador-paralelo de 4 bits, fazendo  $ADD=1$  e  $SUB=0$ . Isto processa-se através das portas AND 1, 2, 3, e 4;
- d) Executa-se a adição dos conteúdos dos registos de cima e de baixo  $B_0+0$ ,  $B_1+0$ ,  $B_2+0$  e  $B_3+0$ ;
- e) Transfere-se o resultado desta soma para o registo A, através das saídas  $S_0$ ,  $S_1$ ,  $S_2$  e  $S_3$ . Assim perfaz  $A = \{ B_0, B_1, B_2, B_3 \}$ ;
- f) Transferem-se novamente para o registo B, os bits da segunda parcela e faz-se  $ADD=1$  e  $SUB=0$ , de modo a que sejam os valores não-complementados a serem seleccionados para os somadores, através das portas AND 1, 2, 3 e 4;
- g) Transferem-se os bits existentes nos biestáveis A e B para os somadores e executam-se as adições dos seus conteúdos:  $A_0+B_0$ ,  $A_1+B_1$ ,  $A_2+B_2$ ,  $A_3+B_3$ ;

- h) Transfere-se o resultado desta soma que é o valor pretendido, para o registo A, através das saídas  $S_0$ ,  $S_1$ ,  $S_2$  e  $S_3$ .

## 2. Para realizar a soma ( $A + (-B)$ ):

- a) Iniciam-se os 8 flip-flops a 0, através das entradas assíncronas;
- b) Transferem-se os dados de uma das parcelas para o registo B, perfazendo  $B = \{B_0, B_1, B_2, B_3\}$ ;
- c) Transferem-se os bits existentes nas saídas não complementadas dos biestáveis, para as entradas superiores do somador-paralelo de 4 bits, fazendo  $ADD=1$  e  $SUB=0$ . Isto processa-se através das portas AND 1, 2, 3, e 4;
- d) Executa-se a adição dos conteúdos dos registos de cima e de baixo  $A_0+0$ ,  $A_1+0$ ,  $A_2+0$  e  $A_3+0$ ;
- e) Transfere-se o resultado desta soma para o registo A, através das saídas  $S_0$ ,  $S_1$ ,  $S_2$  e  $S_3$ . Assim perfaz  $A = \{A_0, A_1, A_2, A_3\}$ ;
- f) Transferem-se novamente para o registo B, os bits da segunda parcela e faz-se  $ADD=0$  e  $SUB=1$ , de modo a que sejam os valores complementados a serem seleccionados para os somadores, através das portas AND 5, 6, 7 e 8;
- g) Transferem-se os bits existentes nos biestáveis A e B para os somadores e executam-se as adições dos seus conteúdos:  $A_0 + \bar{B}_0 + 1$ ,  $A_1 + \bar{B}_1 + 1$ ,  $A_2 + \bar{B}_2 + 1$  e  $A_3 + \bar{B}_3 + 1$ .

h) Transfere-se o resultado desta soma que é o valor pretendido, para o registo A, através das saídas  $S_0$ ,  $S_1$ ,  $S_2$  e  $S_3$

**3.  $A+(+B)$  ou  $-A + (-B)$  são realizadas com as mesmas etapas mas, fazendo-se inicialmente  $ADD=0$  e  $SUB=1$  ou  $ADD=1$  e  $SUB=0$ , em momentos apropriados ou em mais que uma vez.**

## EXERCÍCIOS

1- Utilizando o semi-somador, apresente o esquema e as etapas para a determinação do resultado em binário de:

- a)  $(0+1)_{10}$
- b)  $(1+0)_{10}$
- c)  $(1+1)_{10}$
- d)  $(3+3)_{10}$

2- Utilizando o somador completo, apresente o esquema e as etapas para a determinação do resultado em binário de:

- a)  $(3+2)_{10}$
- b)  $(1+1)_{10}$

3- Apresente as etapas para a determinação do resultado em binário de  $(6+4)_{10}$ , utilizando o somador-paralelo.

4- Apresente as etapas para a determinação do resultado em binário de  $(6+(-4))_{10}$ , utilizando o somador-subtrator.

**Continua (...)**