

Señales analógicas y digitales y conversión (ADC y DAC)

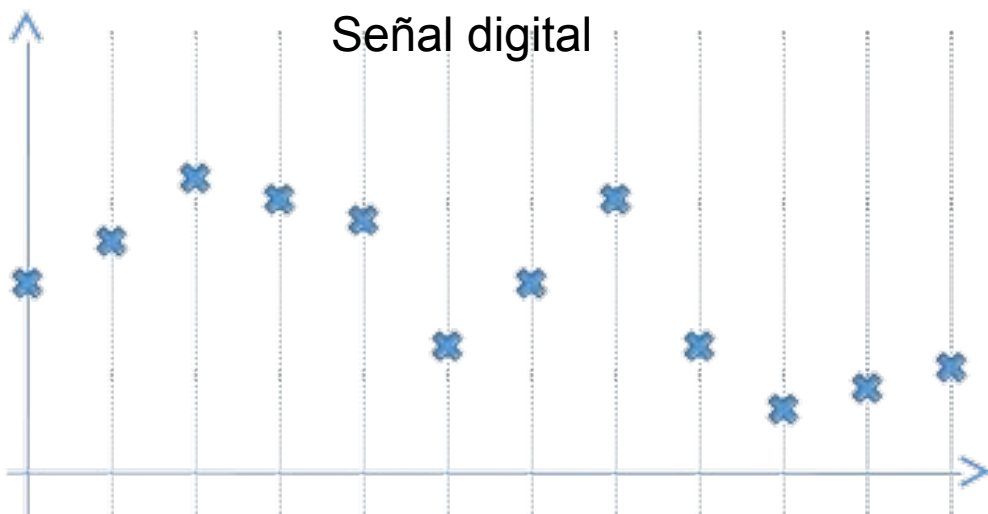
Informática II - R2004
2018

Señales analógicas y digitales

Señal analógica



Señal digital



Una **señal analógica** es la representación TEMPORAL de un fenómeno físico (temperatura, presión, humedad, etc.)

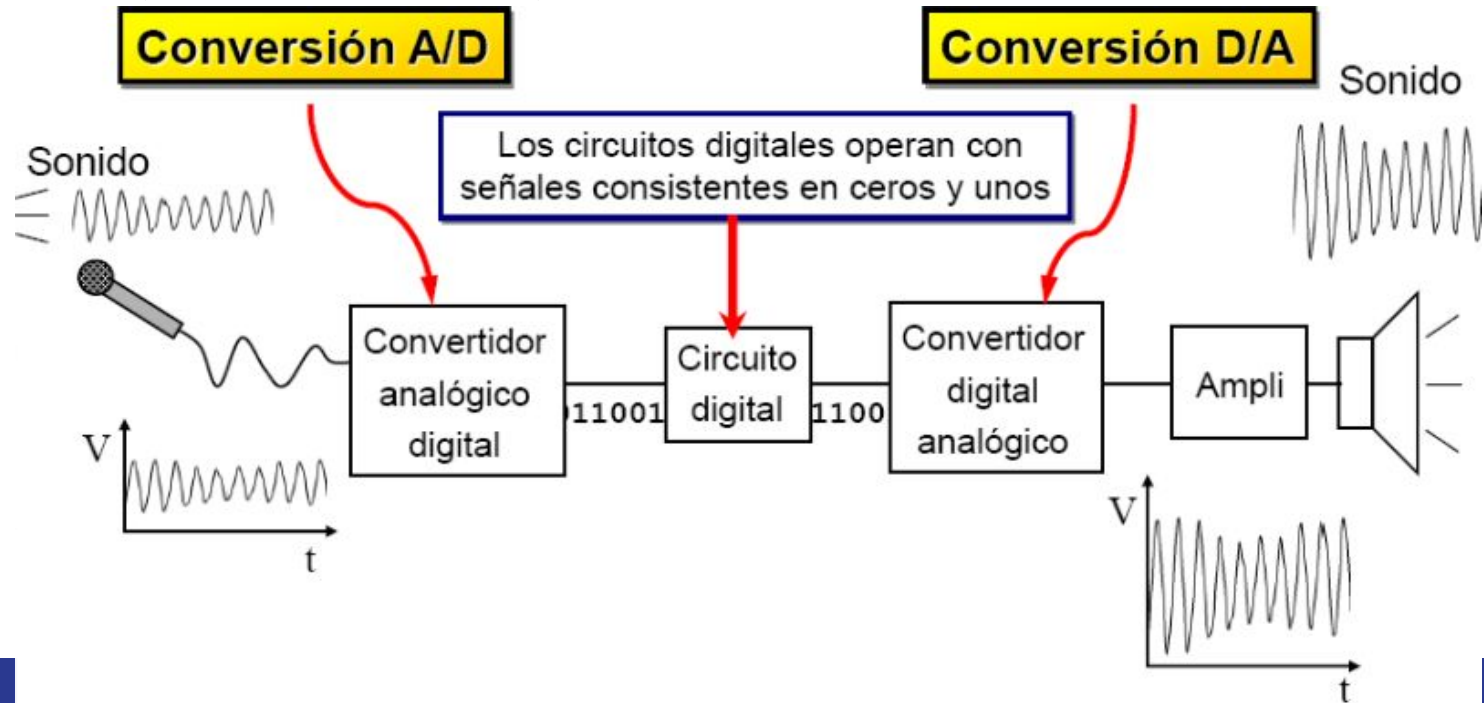
Es **continua**, tanto en el tiempo (no hay ningún instante en que la señal no tenga un valor), como en amplitud (la señal puede tener infinitos valores posibles en un instante)

Para poder almacenarla en una memoria FINITA, la señal debe **digitalizarse**.

Una **señal digital** es discreta, tanto en el tiempo (es un conjunto de valores tomados cada un período de tiempo T), como en amplitud (su amplitud es un valor entero finito)

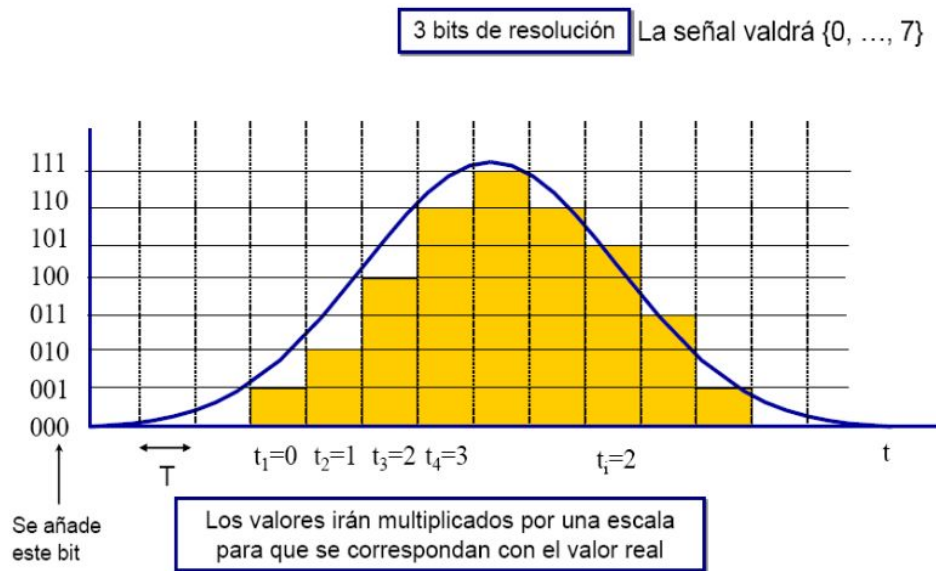
Conversor Analógico/Digital y Digital/Analógico

Para poder trabajar en forma digital las señales y luego devolverlas al mundo analógico, se necesitan de dispositivos llamados CONVERSORES AD (analógico a digital) o DA (digital a analógico). En inglés ADC y DAC.

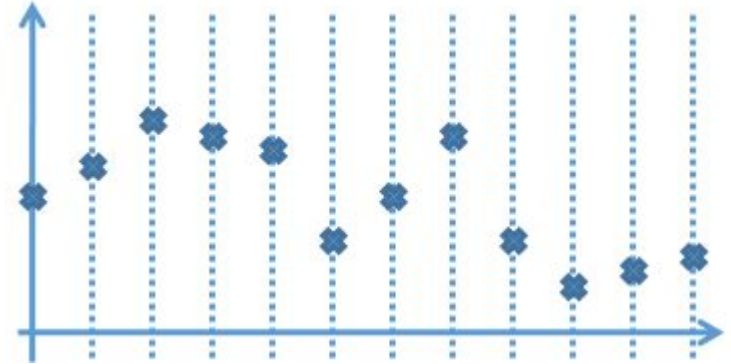
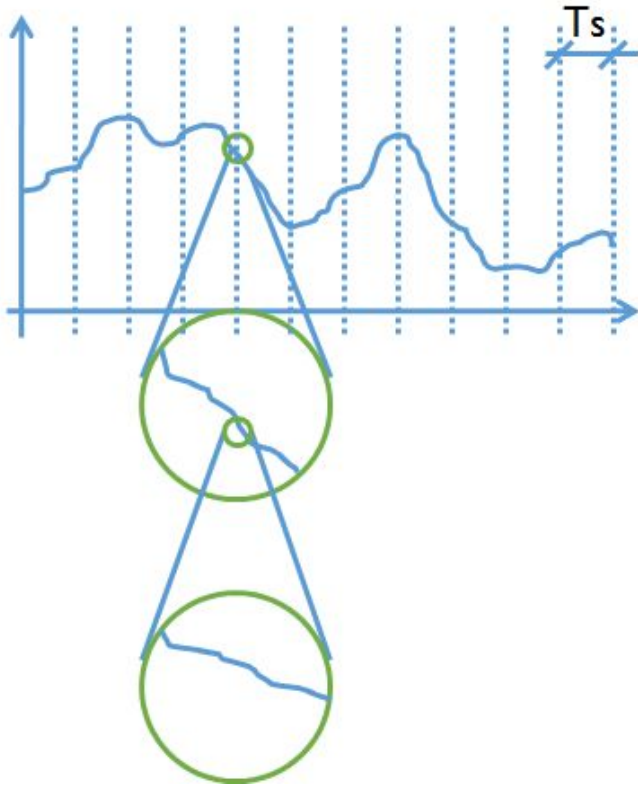


¿Cómo digitalizo una señal? Conversores A/D

Al digitalizar una señal, en principio tengo que tener en cuenta que voy a recortar la señal. La **resolución** (cantidad de bits) del conversor A/D es la cantidad de saltos (finitos) que el conversor puede hacer entre un valor y el siguiente. Mientras mayor sea la resolución, menor será el **error de muestreo**.



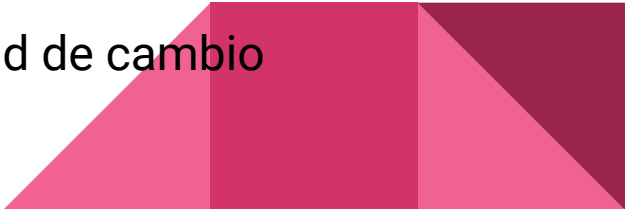
Proceso de Muestreo



La señal es ahora un vector de N valores, que puede almacenarse en memoria

No hay suficiente memoria para almacenarla

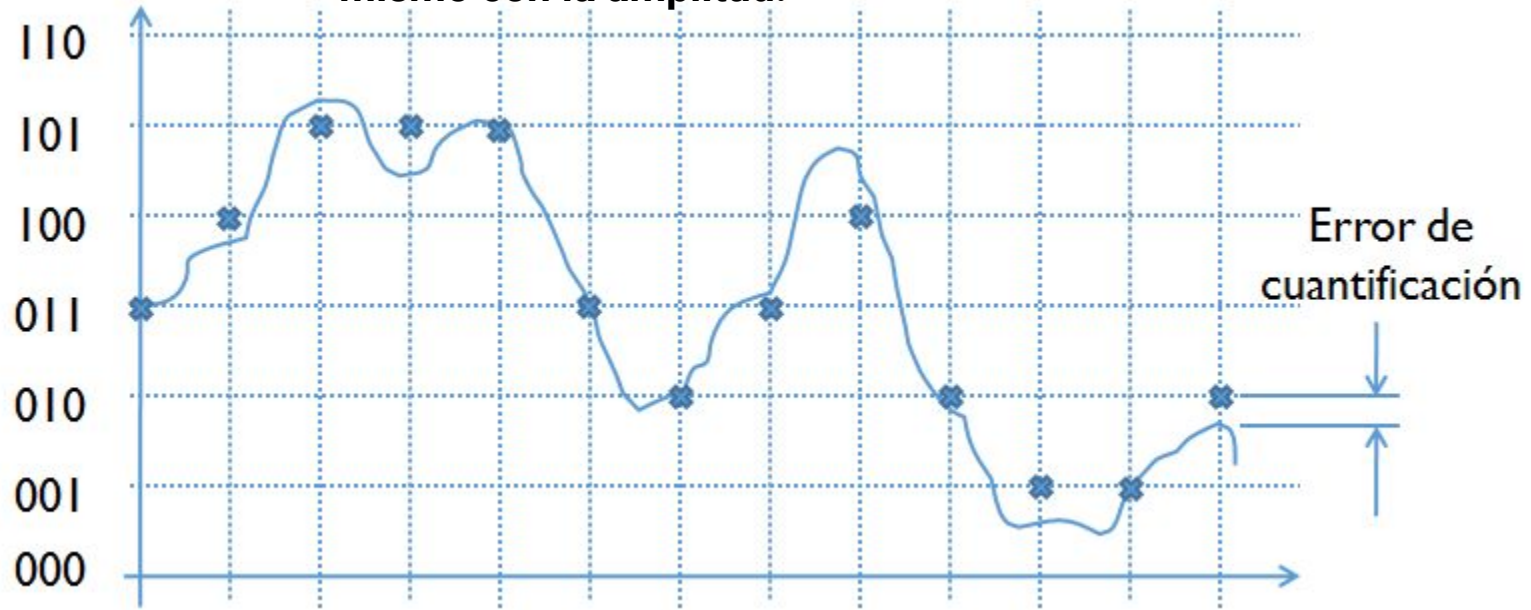
Frecuencia de Muestreo

- Para poder almacenar la señal en el uC, hay que MUESTREARLA. Esto implica tomar muestras a un período regular de tiempo (T_s)
 - A la inversa del tiempo de muestreo (T_s) se denomina FRECUENCIA DE MUESTREO (f_s)
 - Para no perder información de la señal, la frecuencia de muestreo debe ser más alta que la máxima frecuencia de la señal analógica (por lo menos el doble)
 - Entiendo que la frecuencia de la señal es su velocidad de cambio
- 

Cuantificación

Sin embargo, no solo alcanza con limitar la señal en el tiempo, sino que se debe hacer lo mismo con la amplitud:

Cuantificando
con 3 bits tengo
8 niveles =>



A este proceso se lo denomina CUANTIFICACIÓN de la señal, y en este caso importa la RESOLUCIÓN que posee la señal cuantificada, que tiene que ver con cuántas divisiones se cuantifica la señal, y a su vez cuántos dígitos tendrá cada muestra de la señal cuantificada

Cuantificación

111 ← $V_{ref} * 7/8$

110 ← $V_{ref} * 6/8$

101 ← $V_{ref} * 5/8$

100 ← $V_{ref} * 4/8$

011 ← $V_{ref} * 3/8$

010 ← $V_{ref} * 2/8$

001 ← $V_{ref} * 1/8$

000 ← 0v

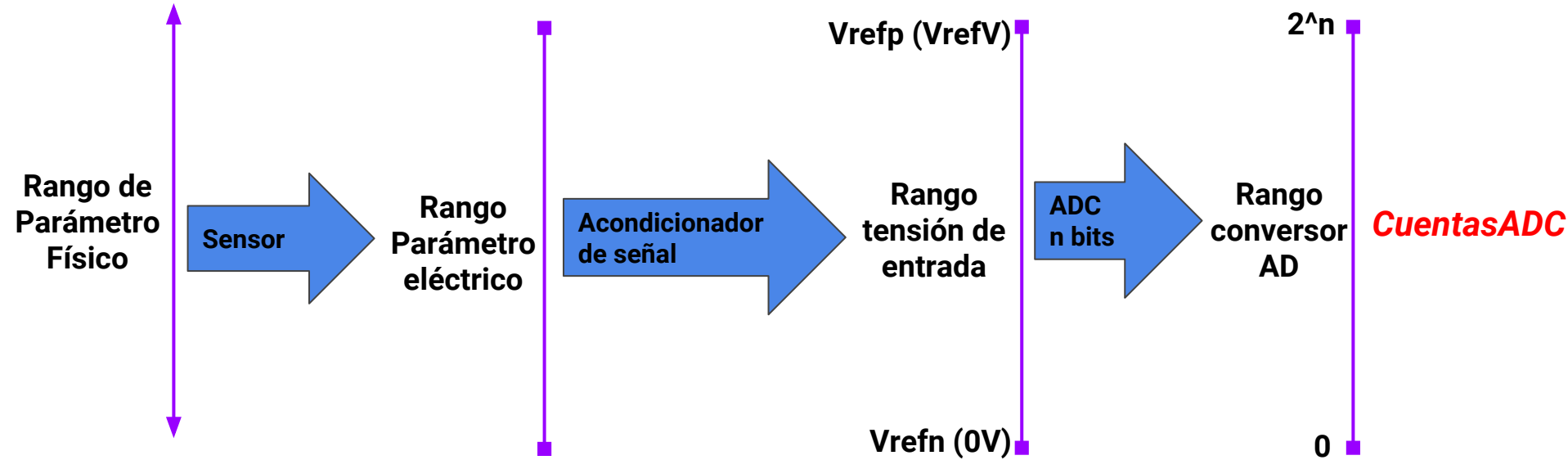


$$1 \text{ LSB} = V_{ref} / 2^n$$

En caso que V_{refMin} sea distinto de 0v
 $1\text{LSB} = (V_{refMax} - V_{refMin}) / 2^n$

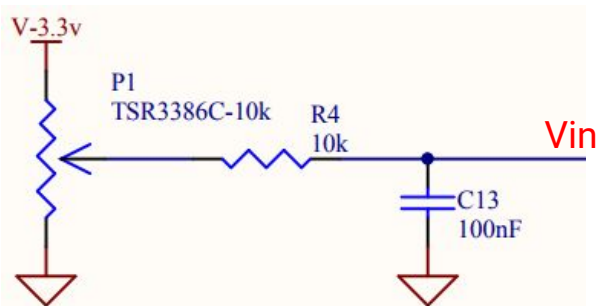
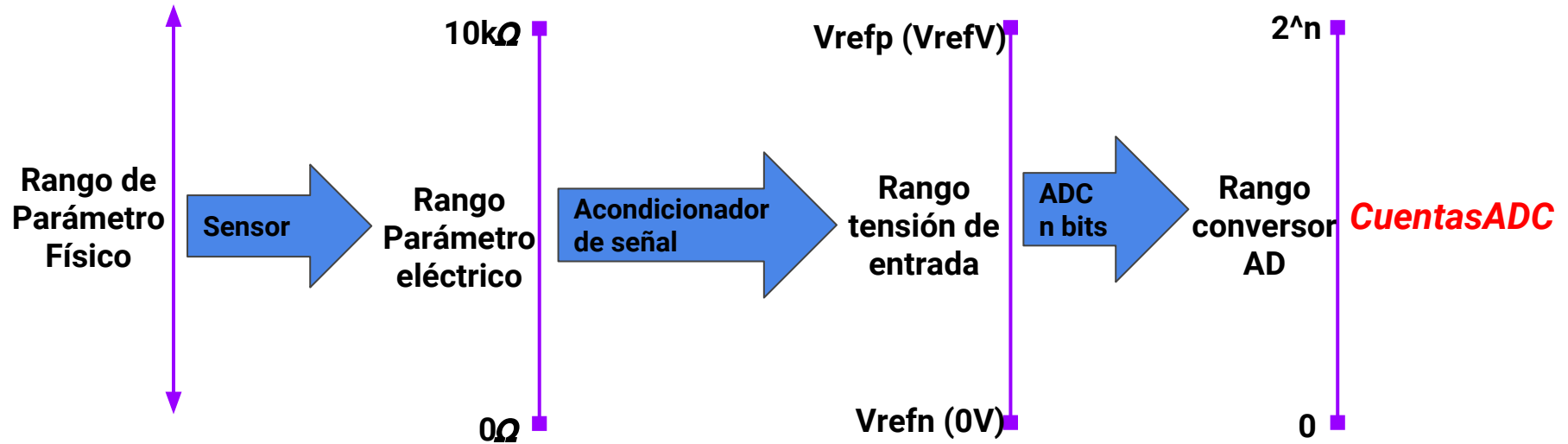


Cálculo de cuentas



$$CuentasADC = \frac{V_{in} * 2^n}{V_{ref}}$$

Cálculo de Cuentas (Ejemplo Potenciómetro)

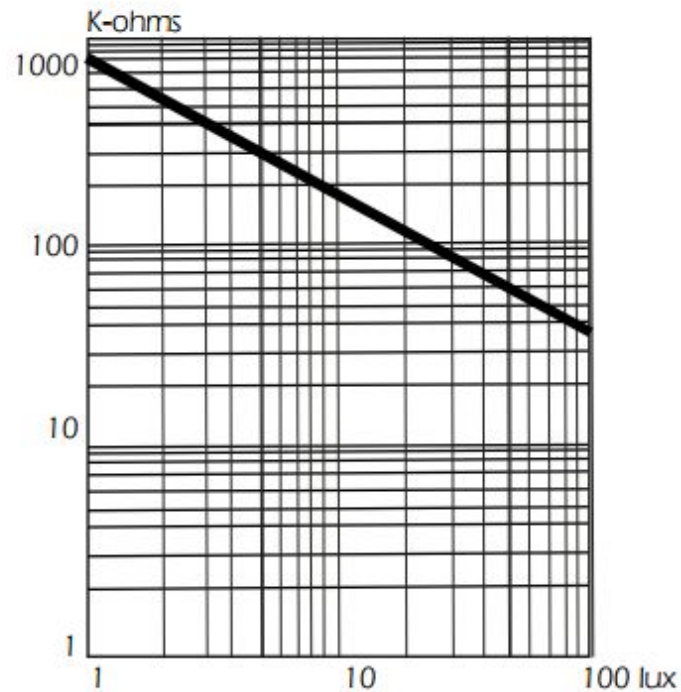
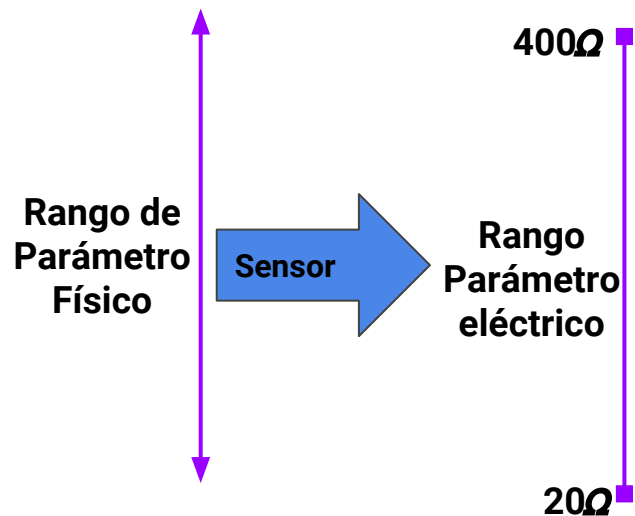


$$V_{in} = \frac{V_{cc} * R_x}{R_{tot}}$$

$$CuentasADC = \frac{V_{in} * 2^n}{V_{ref}}$$

$$CuentasADC = \frac{\frac{V_{cc} * R_x}{R_{tot}} * 2^n}{V_{ref}} \quad R_x = \frac{CuentasADC * V_{ref} * R_{tot}}{2^n * V_{cc}}$$

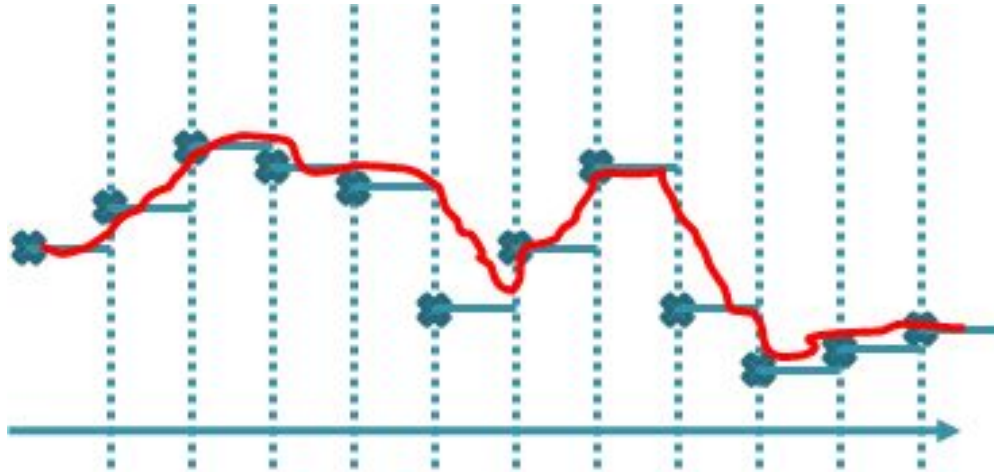
Calculo de cuentas con un sensor



Resistencia de la célula en función de la iluminancia

Conversión Analógica Digital

La conversión Digital Analógica realiza el proceso inverso, completando los espacios sin información con un valor constante:

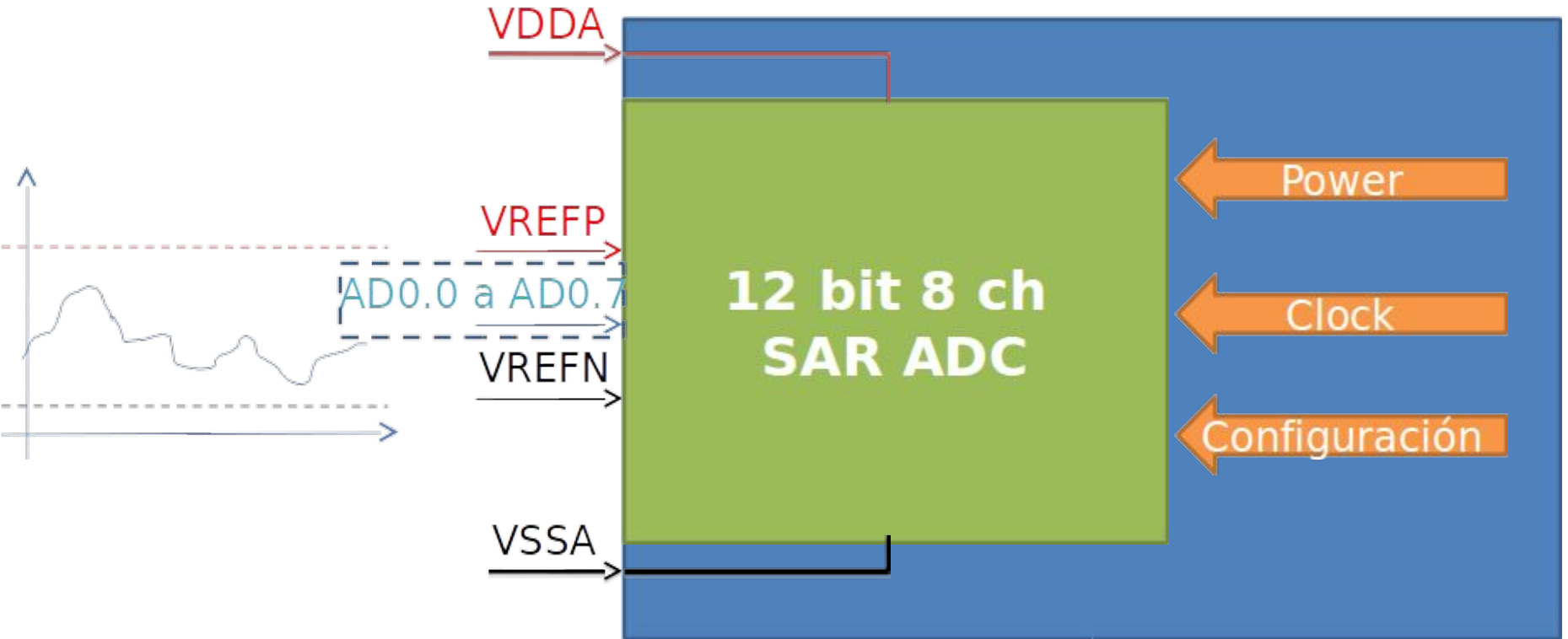


Filtrado posterior

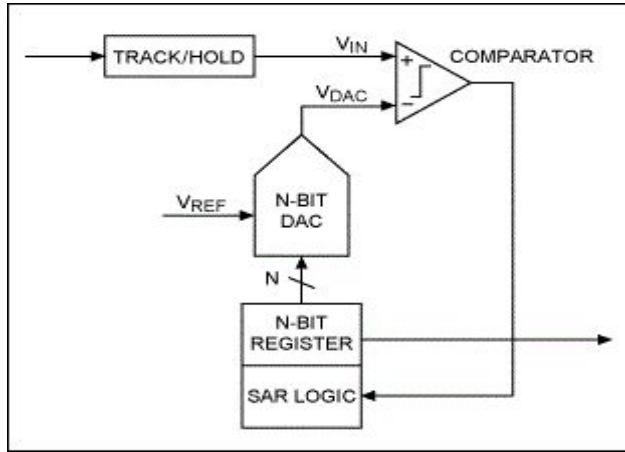
Implementaciones de ADCs y DAC en la familia Cortex

Microcontrolador	Fabricante	ADC	DAC	DMA
LPC13xx	NXP	8ch / 12 bit SAR	NO	NO
LPC175x	NXP	6ch / 12 bit SAR	1ch / 10 bit	8 ch
LPC176x	NXP	8ch / 12 bit SAR	1ch / 10 bit	8 ch
LPC177x/8x	NXP	8ch / 12 bit SAR	1ch / 10 bit	8 ch
LPC18xx	NXP	2x 8ch / 10 bit SAR	1ch / 10 bit	8 ch
SAM3SxxA	Atmel	8ch / 12 bit	NO	4 ch
SAM3SxxB	Atmel	10 ch / 12 bit	2 ch / 12 bit	4 ch
SAM3SxxC	Atmel	15 ch / 12 bit	2 ch / 12 bit	4 ch
STM32F10xCx/ 10xTx	ST	10 ch / 12 bit	NO	7 ch
STM32F10xRx/ 10xVx/ 10xZx	ST	16 ch / 12 bit	2ch / 12 bit	12 ch
Stellaris LMS1xxx	Texas	0-2 x 1/2/4/8ch / 10-12 bit	NO	0/ 32 ch

ADC del LPC1769

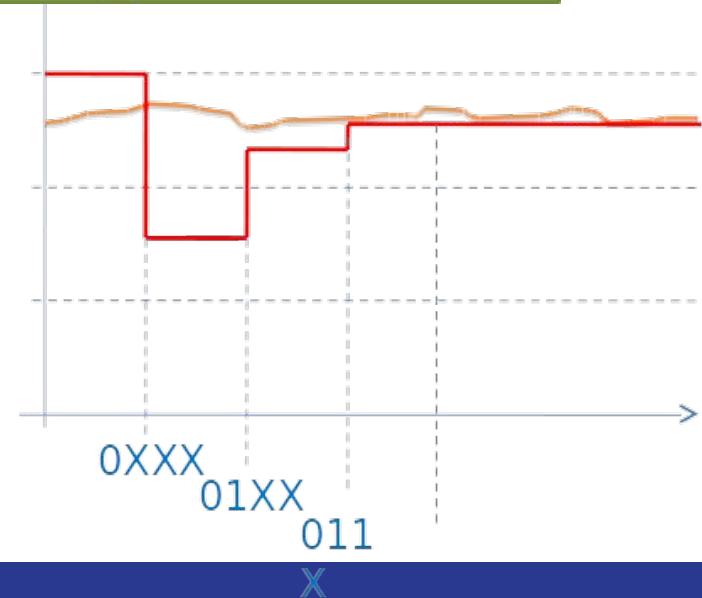


SAR - Registro de aproximaciones sucesivas

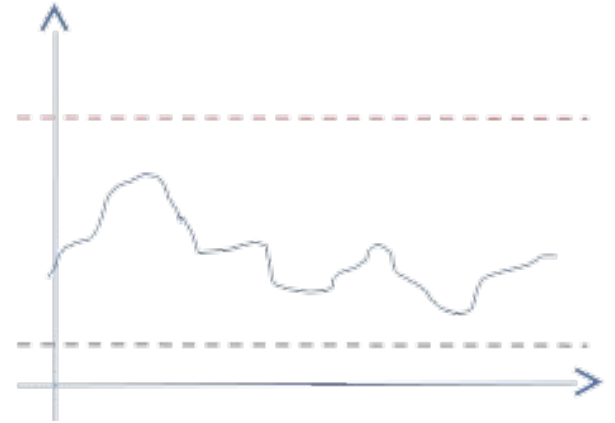
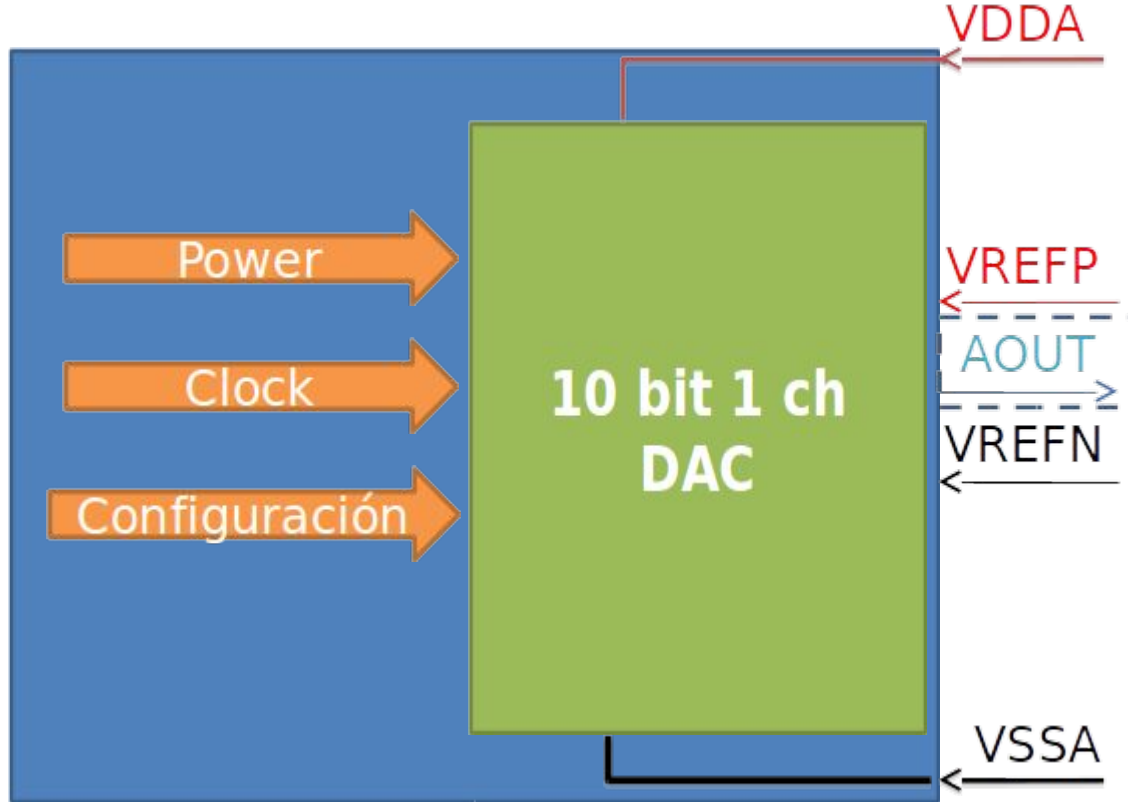


El ADC del LPC1769 toma 65 ciclos de clock hasta garantizar que el valor del registro de salida contiene el valor de la entrada analógica

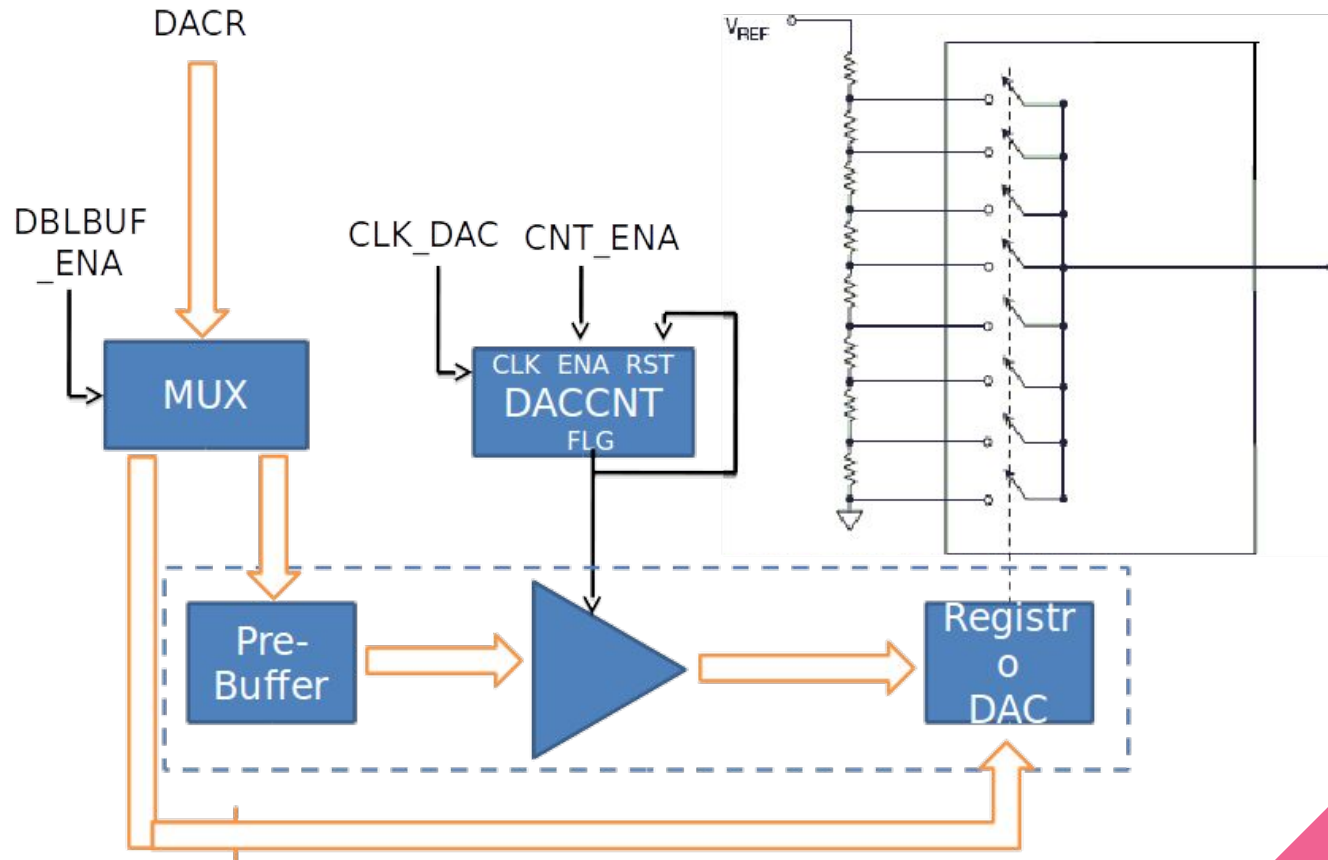
1. El circuito de S&H toma una muestra de la señal
2. La lógica del SAR pone la salida en la mitad del valor total
3. El comparador chequea si la señal es mayor o menor a la muestreada, si es mayor mantiene el 1 y pasa al siguiente bit, sino pone en 0



DAC del LPC1769



Funcionamiento del DAC y registros



La lectura del DAC siempre se hace sobre el Registro que controla la salida. La escritura puede hacerse sobre éste mismo o sobre el PreBuffer

Pasos para configurar el ADC

1. Energizar el ADC
2. Seleccionar la fuente de clock para el ADC
3. Configurar los pines que se utilizarán como entradas analógicas
4. Configurar las interrupciones
5. Configurar y disparar el ADC



1. Energizar el ADC - Registro PCONP

Important: valid read from a peripheral register and valid write to a peripheral register is possible only if that peripheral is enabled in the PCONP register!

Table 46. Power Control for Peripherals register (PCONP - address 0x400F C0C4) bit description

Bit	Symbol	Description	Reset value
0	-	Reserved.	NA
1	PCTIM0	Timer/Counter 0 power/clock control bit.	1
2	PCTIM1	Timer/Counter 1 power/clock control bit.	1
3	PCUART0	UART0 power/clock control bit.	1
4	PCUART1	UART1 power/clock control bit.	1
5	-	Reserved.	NA
6	PCPWM1	PWM1 power/clock control bit.	1
7	PCI2C0	The I ² C0 interface power/clock control bit.	1
8	PCSPI	The SPI interface power/clock control bit.	1
9	PCRTC	The RTC power/clock control bit.	1
10	PCSSP1	The SSP 1 interface power/clock control bit.	1
11	-	Reserved.	NA
12	PCADC	A/D converter (ADC) power/clock control bit. Note: Clear the PDN bit in the AD0CR before clearing this bit, and set this bit before setting PDN.	0
13	PCCAN1	CAN Controller 1 power/clock control bit.	0
14	PCCAN2	CAN Controller 2 power/clock control bit.	0

//Energizo el ADC:
PCONP |= 1<<12;

2. Seleccionar la fuente de clock para el ADC - Registro PCLKSEL0 y bits CLKDIV en AD0CR

$$f_{ADC} = f_{CLK_ADC} / (65 * (CLKDIV + 1))$$

$$F_{MAX} = 200KHz$$

- Si PCLK_ADC = 0 => $f_{CLK_ADC} = f_{CCLK} / 4$
- Si PCLK_ADC = 1 => $f_{CLK_ADC} = f_{CCLK}$
- Si PCLK_ADC = 2 => $f_{CLK_ADC} = f_{CCLK} / 2$
- Si PCLK_ADC = 3 => $f_{CLK_ADC} = f_{CCLK} / 8$

//CCLK = 100MHz, $f_{CLK_ADC} = 25MHz$:
PCLKSEL0 &= ~(3<<24);
//CLKDIV = 1 => $f_{ADC} = 200kHz$
AD0CR |= (1<<8);

Table 40. Peripheral Clock Selection register 0 (PCLKSEL0 - address 0x400F C1A8) bit description

Bit	Symbol	Description	Reset value
1:0	PCLK_WDT	Peripheral clock selection for WDT.	00
3:2	PCLK_TIMER0	Peripheral clock selection for TIMER0.	00
		. . .	
23:22	PCLK_DAC	Peripheral clock selection for DAC.	00
25:24	PCLK_ADC	Peripheral clock selection for ADC.	00

29.5.1 A/D Control Register (AD0CR - 0x4003 4000)

Table 531: A/D Control Register (AD0CR - address 0x4003 4000) bit description

Bit	Symbol	Value	Description	Reset value
7:0	SEL		Selects which of the AD0.7:0 pins is (are) to be sampled and converted. For AD0, bit 0 selects Pin AD0.0, and bit 7 selects pin AD0.7. In software-controlled mode, only one of these bits should be 1. In hardware scan mode, any value containing 1 to 8 ones is allowed. All zeroes is equivalent to 0x01.	0x01
15:8	CLKDIV		The APB clock (PCLK_ADC0) is divided by (this value plus one) to produce the clock for the A/D converter, which should be less than or equal to 13 MHz. Typically, software should program the smallest value in this field that yields a clock of 13 MHz or slightly less, but in certain cases (such as a high-impedance analog source) a slower clock may be desirable.	0

3. Configurar los pines que se utilizarán como entradas analógicas – Registros PSEL y PMODE

Table 80. Pin function select register 1 (PINSEL1 - address 0x4002 C004) bit description

PINSEL1	Pin name	Function when 00	Function when 01	Function when 10	Function when 11	Reset value
1:0	P0.16	GPIO Port 0.16	RXD1	SSEL0	SSEL	00
3:2	P0.17	GPIO Port 0.17	CTS1	MISO0	MISO	00
			...			
15:14	P0.23 ^[1]	GPIO Port 0.23	AD0.0	I2SRX_CLK	CAP3.0	00
17:16	P0.24 ^[1]	GPIO Port 0.24	AD0.1	I2SRX_WS	CAP3.1	00
19:18	P0.25	GPIO Port 0.25	AD0.2	I2SRX_SDA	TXD3	00

//Selecciono el pin P0.23 como AI:
SetPinsel(P0, 23, FUNCION1)

Una consideración de diseño que reduce el ruido del ADC es poner a masa las entradas analógicas que no se utilicen. En caso de no poder hacerlo declararlas como salidas digitales, con una resistencia de pull down interna configurada

4. Configurar las interrupciones - Registros AD0INTEN e ISER0 (NVIC)

Table 533: A/D Status register (AD0INTEN - address 0x4003 400C) bit description

Bit	Symbol	Value	Description	Reset value
0	ADINTEN0	0	Completion of a conversion on ADC channel 0 will not generate an interrupt.	0
		1	Completion of a conversion on ADC channel 0 will generate an interrupt.	
1	ADINTEN1	0	Completion of a conversion on ADC channel 1 will not generate an interrupt.	0
		1	Completion of a conversion on ADC channel 1 will generate an interrupt.	
2	ADINTEN2	0	Completion of a conversion on ADC channel 2 will not generate an interrupt.	0
		1	Completion of a conversion on ADC channel 2 will generate an interrupt.	

Table 52. Interrupt Set-Enable Register 0 register (ISER0 - 0xE000 E100)

Bit	Name	Function
0	ISE_WDT	Watchdog Timer Interrupt Enable. Write: writing 0 has no effect, writing 1 enables the interrupt. Read: 0 indicates that the interrupt is disabled, 1 indicates that the interrupt is enabled.
1	ISE_TIMER0	Timer 0 Interrupt Enable. See functional description for bit 0. • • •
21	ISE_EINT3	External Interrupt 3 Interrupt Enable. See functional description for bit 0.
22	ISE_ADC	ADC Interrupt Enable. See functional description for bit 0.

Hay una sola ISR para todos los canales del ADC. Para discernir el canal que disparó la interrupción se encuentra el registro AD0GDR (se explicará más adelante)

6. Configurar y disparar el ADC

Table 531: A/D Control Register (AD0CR - address 0x4003 4000) bit description

Bit	Symbol	Value	Description	Reset value
7:0	SEL		Selects which of the AD0.7:0 pins is (are) to be sampled and converted. For AD0, bit 0 selects Pin AD0.0, and bit 7 selects pin AD0.7. In software-controlled mode, only one of these bits should be 1. In hardware scan mode, any value containing 1 to 8 ones is allowed. All zeroes is equivalent to 0x01.	0x01
15:8	CLKDIV		The APB clock (PCLK_ADC0) is divided by (this value plus one) to produce the clock for the A/D converter, which should be less than or equal to 13 MHz. Typically, software should program the smallest value in this field that yields a clock of 13 MHz or slightly less, but in certain cases (such as a high-impedance analog source) a slower clock may be desirable.	0
18	BURST	1	The AD converter does repeated conversions at up to 200 kHz, scanning (if necessary) through the pins selected by bits set to ones in the SEL field. The first conversion after the start corresponds to the least-significant 1 in the SEL field, then higher numbered 1-bits (pins) if applicable. Repeated conversions can be terminated by clearing this bit, but the conversion that's in progress when this bit is cleared will be completed. Remark: START bits must be 000 when BURST = 1 or conversions will not start.	0
		0	Conversions are software controlled and require 65 clocks.	
20:17	-		Reserved, user software should not write ones to reserved bits. The value read from a reserved bit is not defined.	NA
21	PDN	1	The A/D converter is operational.	0
		0	The A/D converter is in power-down mode.	
23:22	-		Reserved, user software should not write ones to reserved bits. The value read from a reserved bit is not defined.	NA



Selección de los canales que se van a muestrear



Si BURST = 1 el micro adquiere muestras de cada uno de los canales en forma continua. Si BURST = 0 cada conversión se debe disparar independientemente



Activación/desactivación del ADC

6. Configurar y disparar el ADC

26:24	START	When the BURST bit is 0, these bits control whether and when an A/D conversion is started:	0
	000	No start (this value should be used when clearing PDN to 0).	
	001	Start conversion now.	
	010	Start conversion when the edge selected by bit 27 occurs on the P2.10 / EINT0 / NMI pin.	
	011	Start conversion when the edge selected by bit 27 occurs on the P1.27 / CLKOUT / USB_OVRCRn / CAP0.1 pin.	
	100	Start conversion when the edge selected by bit 27 occurs on MAT0.1. Note that this does not require that the MAT0.1 function appear on a device pin.	
	101	Start conversion when the edge selected by bit 27 occurs on MAT0.3. Note that it is not possible to cause the MAT0.3 function to appear on a device pin.	
	110	Start conversion when the edge selected by bit 27 occurs on MAT1.0. Note that this does not require that the MAT1.0 function appear on a device pin.	
	111	Start conversion when the edge selected by bit 27 occurs on MAT1.1. Note that this does not require that the MAT1.1 function appear on a device pin.	
27	EDGE	This bit is significant only when the START field contains 010-111. In these cases:	0
	1	Start conversion on a falling edge on the selected CAP/MAT signal.	
	0	Start conversion on a rising edge on the selected CAP/MAT signal.	
31:28	-	Reserved, user software should not write ones to reserved bits. The value read from a reserved bit is not defined.	NA

Modo de disparo:

Se puede seleccionar que se dispare una conversión en forma manual, o cuando se produzca un flanco en una entrada de interrupción o una de las señales de CAP/MAT

Selección del flanco:

Para la señal de trigger seleccionada en START, se puede disparar la conversión por flanco ascendente o descendente

Inicialización del ADC:

//1.- Activo la alimentacion del dispositivo desde el registro PCONP:

```
PCONP |= 1<<12;
```

//2.- Selecciono el clock del ADC como 25MHz:

```
PCLKSEL0 &= ~(0x03<<24);
```

//3.- Y el divisor como 1, para muestrear a 200kHz:

```
AD0CR |= 0x00000100;
```

//4.- Configuro los pines del ADC0

//ADC0.5 : P1[31]->PINSEL3: 30:31

```
SetPinSel(P1, 31, PINSEL_FUNC3);
```

//5.- ACTIVO LA INTERRUPCION DEL CANAL 5 DESACTIVO EL RESTO:

```
AD0INTEN = 0x20;
```

//6.- Selecciono que voy a tomar muestras del canal AD0.5:

```
AD0CR |= 0x20;
```

//7.- Activo el ADC (PDN = 1):

```
AD0CR |= 1<<21;
```

//8.- Disparo el ADC para que muestree solo, con BURST = 1 y START = 000:

```
AD0CR &= ~(0x07<<24);
```

```
AD0CR |= 1<<16;
```

Utilización del ADC - Lectura del resultado:

- Cada vez que se finaliza una conversión en un canal habilitado, se pone en 1 el bit DONE de dicho canal
- Si el resultado de la conversión sobrescribe el valor del registro antes de que haya sido leído el bit OVERRUN se pone en 1.
- Estos bits se pueden ver en 3 registros DISTINTOS:
 - **AD0GDR**: Muestra los bits DONE y OVERRUN, y el resultado de EL ÚLTIMO CANAL que completó la conversión
 - **AD0DRx**: Contiene la misma información que AD0GDR pero sólo para el canal x
 - **ADSTAT**: Contiene el estado de los bits de DONE y OVERRUN de TODOS los canales

Si se utiliza el registro AD0GDR para la lectura de los resultados no deberían leerse también los mismos desde los registros AD0DRx, ya que los bits DONE y OVERRUN se resetean con cada lectura y pueden perder el sincronismo

Utilizando el ADC - Lectura del resultado (I)

Table 532: A/D Global Data Register (AD0GDR - address 0x4003 4004) bit description



Bit	Symbol	Description	Reset value
3:0	-	Reserved, user software should not write ones to reserved bits. The value read from a reserved bit is not defined.	NA
15:4	RESULT	When DONE is 1, this field contains a binary fraction representing the voltage on the AD0[n] pin selected by the SEL field, as it falls within the range of V_{REFP} to V_{REFN} . Zero in the field indicates that the voltage on the input pin was less than, equal to, or close to that on V_{REFN} , while 0xFFF indicates that the voltage on the input was close to, equal to, or greater than that on V_{REFP} .	NA
23:16	-	Reserved, user software should not write ones to reserved bits. The value read from a reserved bit is not defined.	NA
26:24	CHN	These bits contain the channel from which the RESULT bits were converted (e.g. 000 identifies channel 0, 001 channel 1...).	NA
29:27	-	Reserved, user software should not write ones to reserved bits. The value read from a reserved bit is not defined.	NA
30	OVERRUN	This bit is 1 in burst mode if the results of one or more conversions was (were) lost and overwritten before the conversion that produced the result in the RESULT bits. This bit is cleared by reading this register.	0
31	DONE	This bit is set to 1 when an A/D conversion completes. It is cleared when this register is read and when the ADCR is written. If the ADCR is written while a conversion is still in progress, this bit is set and a new conversion is started.	0

Utilizando el ADC - Lectura del resultado (II)

Table 534: A/D Data Registers (AD0DR0 to AD0DR7 - 0x4003 4010 to 0x4003 402C) bit description

Bit	Symbol	Description	Reset value
3:0	-	Reserved, user software should not write ones to reserved bits. The value read from a reserved bit is not defined.	NA
15:4	RESULT	When DONE is 1, this field contains a binary fraction representing the voltage on the AD0[n] pin, as it falls within the range of V_{REFP} to V_{REFN} . Zero in the field indicates that the voltage on the input pin was less than, equal to, or close to that on V_{REFN} , while 0xFFF indicates that the voltage on the input was close to, equal to, or greater than that on V_{REFP} .	NA
29:16	-	Reserved, user software should not write ones to reserved bits. The value read from a reserved bit is not defined.	NA
30	OVERRUN	This bit is 1 in burst mode if the results of one or more conversions was (were) lost and overwritten before the conversion that produced the result in the RESULT bits. This bit is cleared by reading this register.	NA
31	DONE	This bit is set to 1 when an A/D conversion completes. It is cleared when this register is read.	NA

Pasos para configurar el DAC

- ~~1. Energizar el DAC~~  Está siempre energizado
2. Seleccionar la fuente de clock para el DAC
3. Configurar los pines que se utilizarán como salidas analógicas
- ~~4. Configurar las interrupciones~~  No tiene fuente de interrupciones
5. Configurar y disparar el DAC



1. Configurar la fuente de clock para el DAC

Table 40. Peripheral Clock Selection register 0 (PCLKSEL0 - address 0x400F C1A8) bit description

Bit	Symbol	Description	Reset value
1:0	PCLK_WDT	Peripheral clock selection for WDT.	00
3:2	PCLK_TIMER0	Peripheral clock selection for TIMER0.	00
. . .			
23:22	PCLK_DAC	Peripheral clock selection for DAC.	00
25:24	PCLK_ADC	Peripheral clock selection for ADC.	00

Table 42. Peripheral Clock Selection register bit values

PCLKSEL0 and PCLKSEL1 individual peripheral's clock select options	Function	Reset value
00	PCLK_peripheral = CCLK/4	00
01	PCLK_peripheral = CCLK	
10	PCLK_peripheral = CCLK/2	
11	PCLK_peripheral = CCLK/8, except for CAN1, CAN2, and CAN filtering when "11" selects = CCLK/6.	

CCLK está definido por el PLL

2. Configurar los pines que se utilizarán como salidas analógicas

Table 80. Pin function select register 1 **PINSEL1** address 0x4002 C004) bit description

PINSEL1	Pin name	Function when 00	Function when 01	Function when 10	Function when 11	Reset value
1:0	P0.16	GPIO Port 0.16	RXD1	SSEL0	SSEL	00
3:2	P0.17	GPIO Port 0.17	CTS1	MISO0	MISO	00
5:4	P0.18	GPIO Port 0.18	DCD1	MOSI0	MOSI	00
7:6	P0.19	GPIO Port 0.19	DSR1	Reserved	SDA1	00
9:8	P0.20	GPIO Port 0.20	DTR1	Reserved	SCL1	00
11:10	P0.21	GPIO Port 0.21	RI1	Reserved	RD1	00
13:12	P0.22	GPIO Port 0.22	RTS1	Reserved	TD1	00
15:14	P0.23	GPIO Port 0.23	AD0.0	I2SRX_CLK	CAP3.0	00
17:16	P0.24	GPIO Port 0.24	AD0.1	I2SRX_WS	CAP3.1	00
19:18	P0.25	GPIO Port 0.25	AD0.2	I2SRX_SDA	TXD3	00
21:20	P0.26	GPIO Port 0.26	AD0.3	AOUT	RXD3	00

Se debe configurar
el PIN ANTES de
configurar el DAC

4. Configurar el DAC – Registros DACCTRL y DACCNT

Table 540. D/A Control register (DACCTRL - address 0x4008 C004) bit description

Bit	Symbol	Value	Description	Reset Value
0	INT_DMA_REQ	0	This bit is cleared on any write to the DACR register.	0
		1	This bit is set by hardware when the timer times out.	
1	DBLBUF_ENA	0	DACR double-buffering is disabled.	0
		1	When this bit and the CNT_ENA bit are both set, the double-buffering feature in the DACR register will be enabled. Writes to the DACR register are written to a pre-buffer and then transferred to the DACR on the next time-out of the counter.	
2	CNT_ENA	0	Time-out counter operation is disabled.	0
		1	Time-out counter operation is enabled.	
3	DMA_ENA	0	DMA access is disabled.	0
		1	DMA Burst Request Input 7 is enabled for the DAC (see Table 543).	
31:4	-		Reserved, user software should not write ones to reserved bits. The value read from a reserved bit is not defined.	NA



Habilita el
doble buffer



Habilita el
contador

Utilizando el DAC -Inicialización:

//1.- Selecciono el clock del DAC como 25MHz:

PCLKSEL0 &= ~(0x03<<22);

//2.- Configuro los pines del DAC

//DAC : P0[26]->PINSEL1: 20:21

SetPinSel(P0, 26, PINSEL_FUNC2);

//3.- Configuro el DAC:

DACCTRL |= &(0x03 << 1); *//DBLBUF_ENA = 0, CNT_ENA = 0*

Utilizando el DAC - Operación:

//Para escribir el valor

DACR = ((serial & 0x3FF) << 6) | BIAS; *//BIAS = 0x00010000*

Table 539: D/A Converter Register (DACR - address 0x4008 C000) bit description

Bit	Symbol	Value	Description	Reset Value
5:0	-		Reserved, user software should not write ones to reserved bits. The value read from a reserved bit is not defined.	NA
15:6	VALUE		After the selected settling time after this field is written with a new VALUE, the voltage on the AOUT pin (with respect to V _{SSA}) is $VALUE \times ((V_{REFP} - V_{REFN})/1024) + V_{REFN}$.	0
16	BIAS ^[1]	0	The settling time of the DAC is 1 μ s max, and the maximum current is 700 μ A. This allows a maximum update rate of 1 MHz.	0
		1	The settling time of the DAC is 2.5 μ s and the maximum current is 350 μ A. This allows a maximum update rate of 400 kHz.	