

Comunicación serie

Informática II - R2004
2018

Tipos de comunicación serie

Simplex

El envío de información es en un único sentido. El transmisor y el receptor están bien identificados. Se utiliza un solo canal de datos.



Half-Duplex

El envío de información es bidireccional pero multiplexada en el tiempo.

Como se muestra en el esquema, primero se transmite en un sentido (1) y luego en el otro sentido (2).

Se utiliza un solo canal de datos.



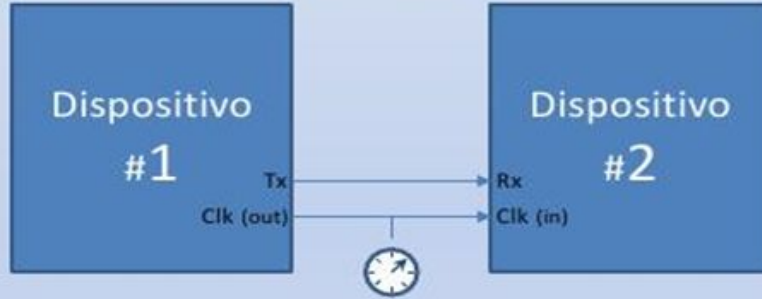
Full-Duplex

El envío de información es bidireccional simultáneo. Se utilizan dos canales de datos.



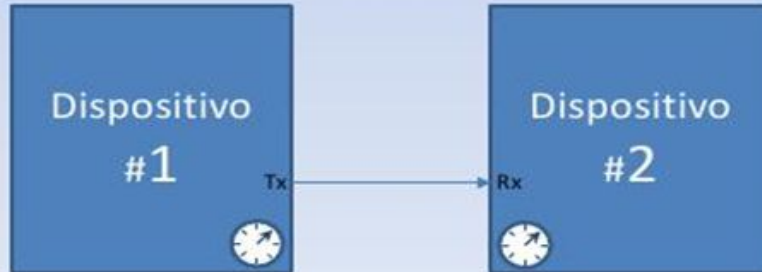
Tipo de comunicación serie - Sincrónica/Asincrónica

Comunicación Serie Sincrónica



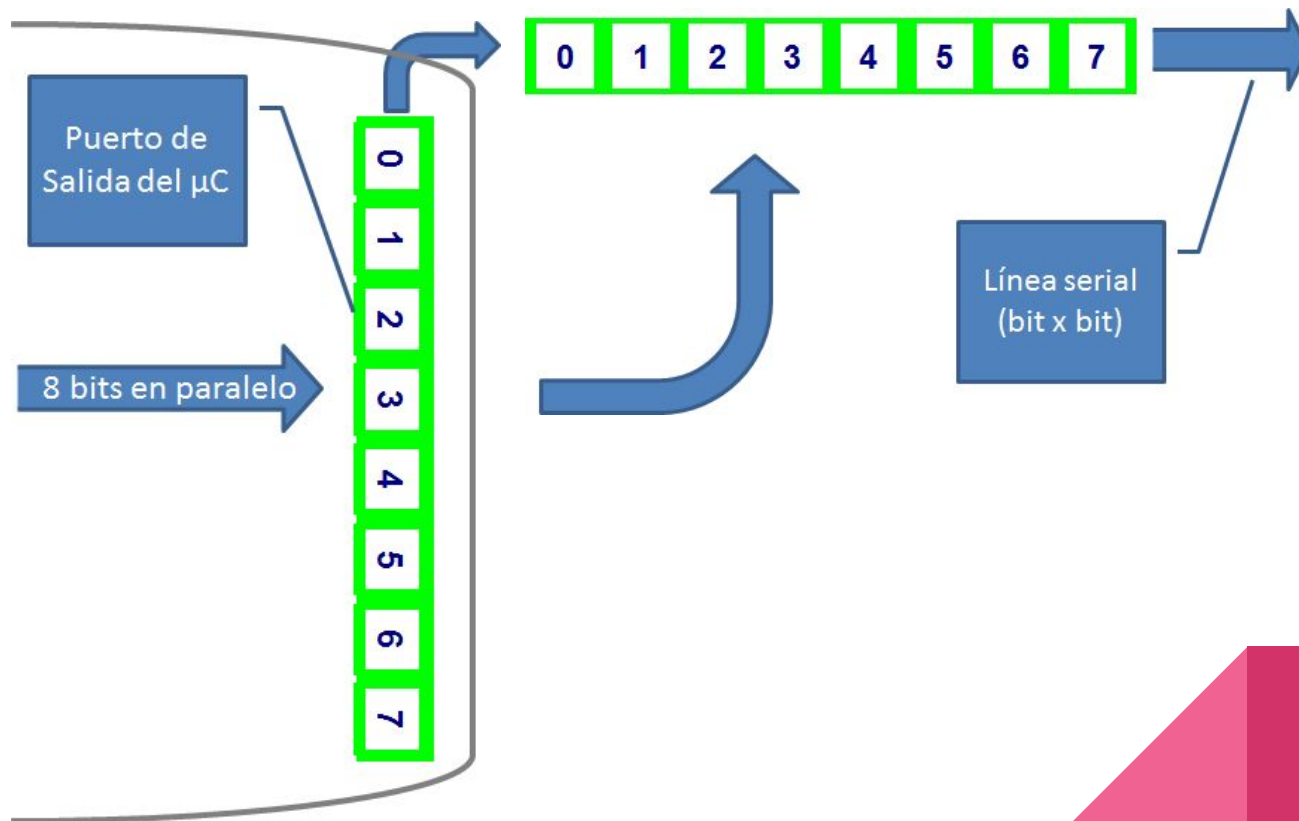
- Es necesario una señal de Clock común a ambos dispositivos.
- Es necesario un hilo extra para sincronizar la comunicación.

Comunicación Serie Asincrónica

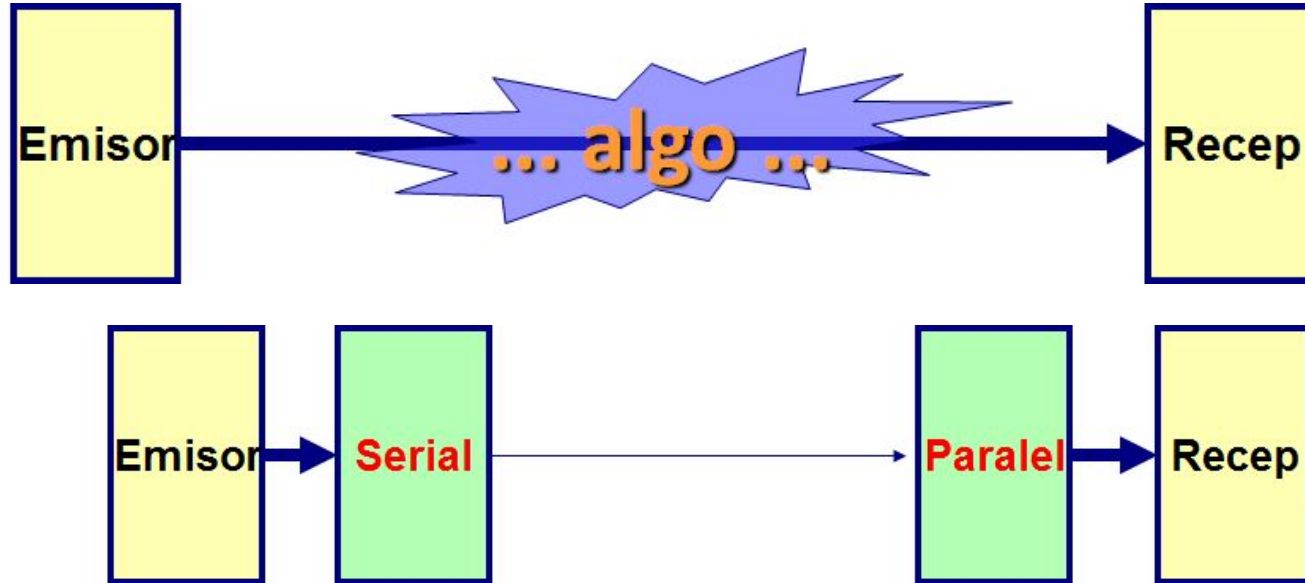


- Cada dispositivo posee su propia señal de clock.
- Los dispositivos deben conocer la velocidad de transmisión.
- La transmisión se sincroniza mediante los bits de Start y Stop.

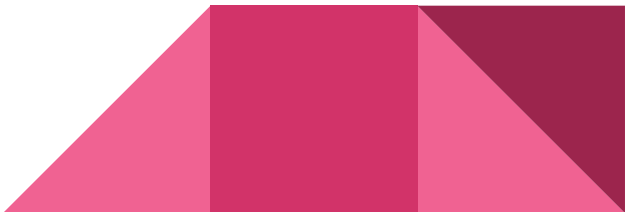
Puerto serie principios



Comunicación serie principios

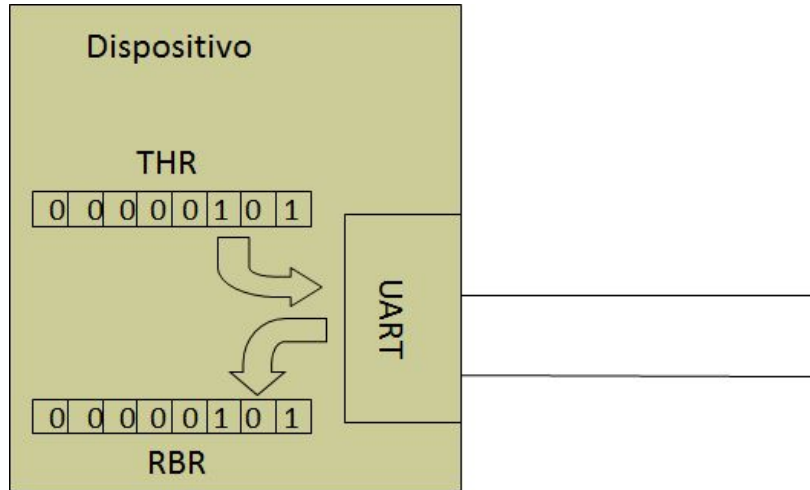


Protocolos de comunicación

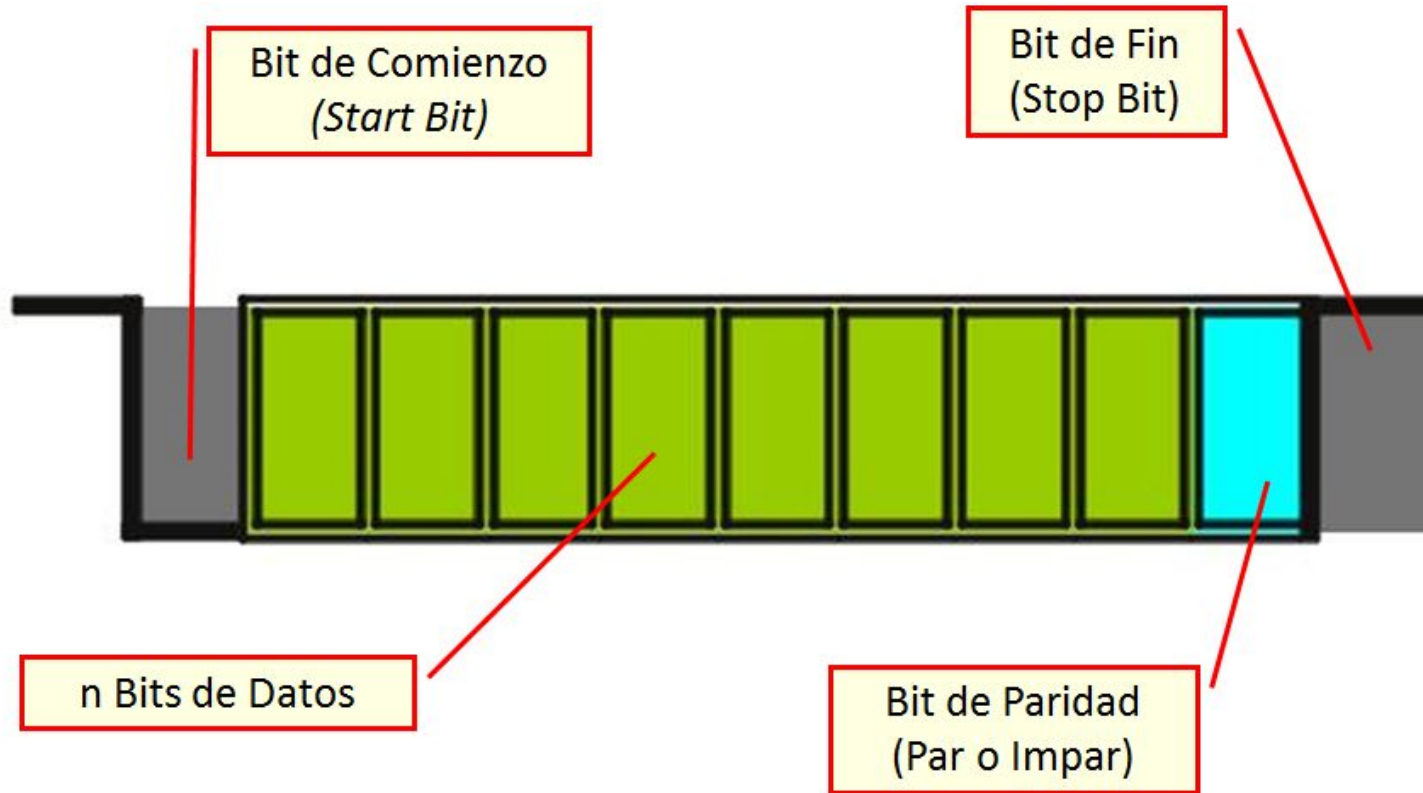
- **Los protocolos definen aspectos como:**
 - Niveles de tensión y corriente
 - Tipos de comunicación (sincrónica/asincrónica, half/full duplex, etc.)
 - Formato de las tramas (bits de control de errores, bit de start/stop, etc.)
 - Tipos de conectores
 - Otras características.
 - **Algunos protocolos de comunicación serie son:**
 - RS-232
 - RS-485
 - I2C
 - SPI
 - USB
 - Otros
- 

Universal Asynchronous Receiver Transmitter (UART)

- Para automatizar estos procesos (serialización – paralelización – sincronismo - etc.) se incluye un dispositivo llamado UART.
- Este dispositivo se encarga de la parte física de la comunicación



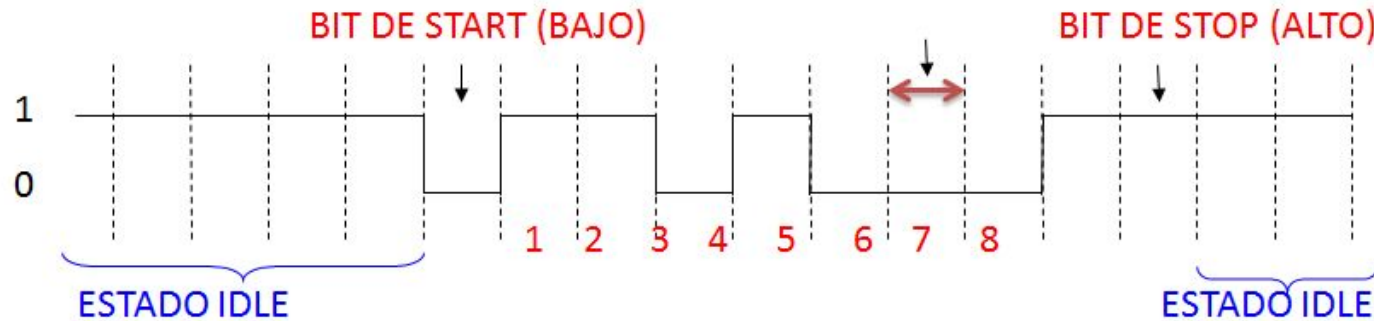
Comunicación Asíncrona: Trama



Procesos involucrados en la comunicación asincrónica

Para poder establecer una comunicación (asincrónica) se deben tener en cuenta las siguientes consideraciones:

1. Se debe definir la velocidad de trabajo, y poseer un timer que sincronice el envío de datos
2. Se debe definir una longitud de palabra que permita identificar cuando se terminó cada conjunto de bits
3. Debe haber un bit adicional que indique que va a comenzar la comunicación y otro que indique el estado inactivo (IDLE) de la línea



UART LPC1769

- Características comunes
 - Datos de 5, 6, 7, y 8 bits.
 - Generación y verificación de paridad: impar, par o sin paridad.
 - Uno o dos bits de parada.
 - Generador de velocidad de transmisión, que incluye un versátil divisor de frecuencia fraccional.
 - Soporte de DMA en la transmisión y/o en la recepción .
 - Capacidad de Auto-baud
- Solo para las UART0,2,3
 - Modo IrDA para dar soporte a comunicación infrarroja
- Solo para la UART1
 - Soporte RS-485.



Registros comunes a los periféricos (I):

Power control
(Registro **PCONP**)

Table 46. Power Control for Peripherals register (PCONP - address 0x400F C0C4) bit description

Bit	Symbol	Description	Reset value
0	-	Reserved.	NA
1	PCTIM0	Timer/Counter 0 power/clock control bit.	1
2	PCTIM1	Timer/Counter 1 power/clock control bit.	1
3	PCUART0	UART0 power/clock control bit.	1
4	PCUART1	UART1 power/clock control bit.	1
5	-	Reserved.	NA

Table 40. Peripheral Clock Selection register 0 (PCLKSEL0 - address 0x400F C1A8) bit description

Bit	Symbol	Description	Reset value
1:0	PCLK_WDT	Peripheral clock selection for WDT.	00
3:2	PCLK_TIMER0	Peripheral clock selection for TIMER0.	00
5:4	PCLK_TIMER1	Peripheral clock selection for TIMER1.	00
7:6	PCLK_UART0	Peripheral clock selection for UART0.	00
9:8	PCLK_UART1	Peripheral clock selection for UART1.	00
11:10	-	Reserved.	NA
13:12	PCLK_PWM1	Peripheral clock selection for PWM1.	00

Selección del Clock
(Registros **PCLKSEL**)

Registros comunes a los periféricos (II):

8.5.1 Pin Function Select register 0 (PINSEL0 - 0x4002 C000)

The PINSEL0 register controls the functions of the lower half of Port 0. The direction control bit in FIO0DIR register is effective only when the GPIO function is selected for a pin. For other functions, the direction is controlled automatically.

Table 79. Pin function select register 0 (PINSEL0 - address 0x4002 C000) bit description

PINSEL0	Pin name	Function when 00	Function when 01	Function when 10	Function when 11	Reset value
1:0	P0.0	GPIO Port 0.0	RD1	TXD3	SDA1	00
3:2	P0.1	GPIO Port 0.1	TD1	RXD3	SCL1	00
5:4	P0.2	GPIO Port 0.2	TXD0	AD0.7	Reserved	00
7:6	P0.3	GPIO Port 0.3	RXD0	AD0.6	Reserved	00
9:8	P0.4 ^[1]	GPIO Port 0.4	I2SRX_CLK	RD2	CAP2.0	00
11:10	P0.5 ^[1]	GPIO Port 0.5	I2SRX_WS	TD2	CAP2.1	00
13:12	P0.6	GPIO Port 0.6	I2SRX_SDA	SSEL1	MAT2.0	00
15:14	P0.7	GPIO Port 0.7	I2STX_CLK	SCK1	MAT2.1	00
17:16	P0.8	GPIO Port 0.8	I2STX_WS	MISO1	MAT2.2	00
19:18	P0.9	GPIO Port 0.9	I2STX_SDA	MOSI1	MAT2.3	00
21:20	P0.10	GPIO Port 0.10	TXD2	SDA2	MAT3.0	00
23:22	P0.11	GPIO Port 0.11	RXD2	SCL2	MAT3.1	00
29:24	-	Reserved	Reserved	Reserved	Reserved	0
31:30	P0.15	GPIO Port 0.15	TXD1	SCK0	SCK	00

Función de los pines
(Registros PINSEL)

RXDn
TXDn

Registros UARTn

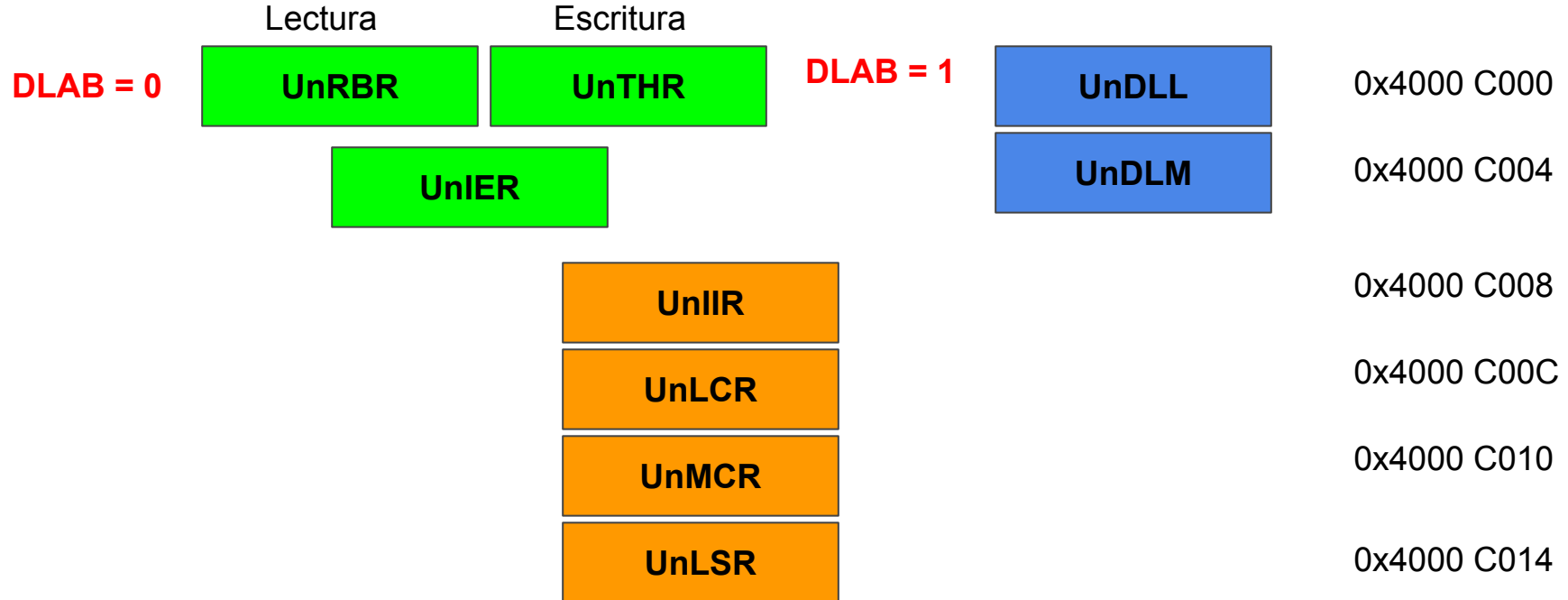
El acceso a los diferentes registros de configuración está dado por el tipo de operación (lectura o escritura), y el valor de un bit del registro UnLCR, llamado **DLAB**

Table 279: UARTn Line Control Register (U0LCR - address 0x4000 C00C, U2LCR - 0x4009 800C, U3LCR - 0x4009 C00C) bit description

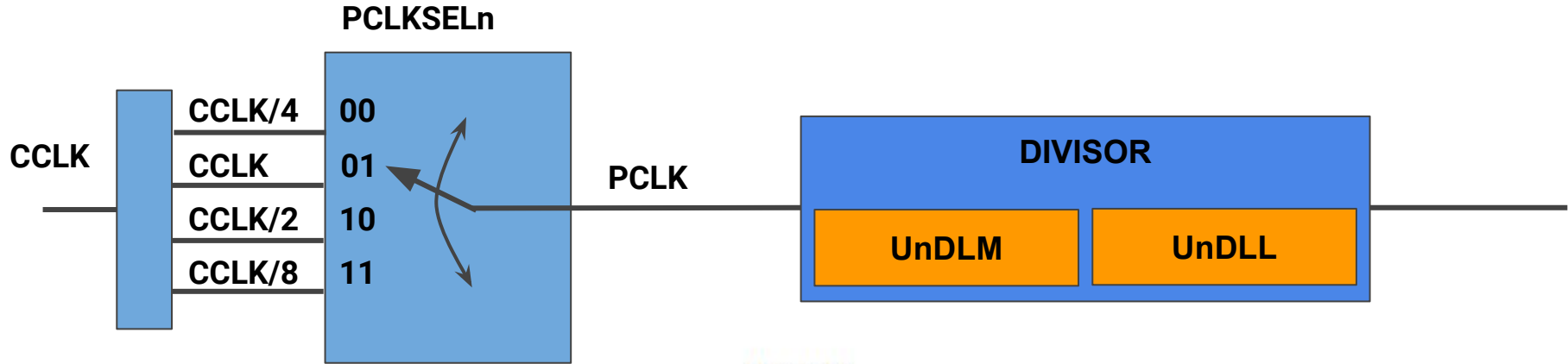
Bit	Symbol	Value	Description	Reset Value
1:0	Word Length Select	00	5-bit character length	0
		01	6-bit character length	
		10	7-bit character length	
		11	8-bit character length	
2	Stop Bit Select	0	1 stop bit.	0
		1	2 stop bits (1.5 if UnLCR[1:0]=00).	
3	Parity Enable	0	Disable parity generation and checking.	0
		1	Enable parity generation and checking.	
5:4	Parity Select	00	Odd parity. Number of 1s in the transmitted character and the attached parity bit will be odd.	0
		01	Even Parity. Number of 1s in the transmitted character and the attached parity bit will be even.	
		10	Forced "1" stick parity.	
		11	Forced "0" stick parity.	
6	Break Control	0	Disable break transmission.	0
		1	Enable break transmission. Output pin UARTn TXD is forced to logic 0 when UnLCR[6] is active high.	
7	Divisor Latch Access Bit (DLAB)	0	Disable access to Divisor Latches.	0
		1	Enable access to Divisor Latches.	
31:8	-	-	Reserved, user software should not write ones to reserved bits. The value read from a reserved bit is not defined.	NA

Registros configuración UART

Dirección en UART0



Configuración UART: Velocidad de comunicación



$$UART1_{baudrate} = \frac{PCLK}{16 \times (256 \times UIDLM + UIDLL) \times \left(1 + \frac{DivAddVal}{MulVal}\right)}$$

Registro UnFDR

Baudrates más comunes
RS232:

- 1200
- 2400
- 4800
- 9600
- 14400
- 19200
- 28800
- 38400
- 57600
- 115200

Configuración UART: Control de la línea (UnLCR)

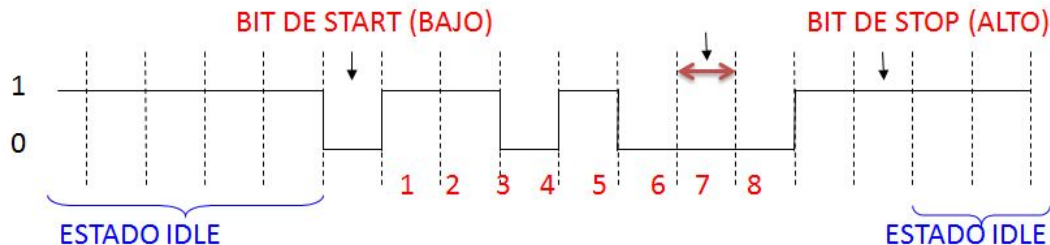
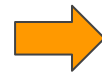


Table 279: UARTn Line Control Register (U0LCR - address 0x4000 C00C, U2LCR - 0x4009 800C, U3LCR - 0x4009 C00C) bit description

Bit	Symbol	Value	Description	Reset Value
1:0	Word Length Select	00	5-bit character length	0
		01	6-bit character length	
		10	7-bit character length	
		11	8-bit character length	
2	Stop Bit Select	0	1 stop bit.	0
		1	2 stop bits (1.5 if UnLCR[1:0]=00).	
3	Parity Enable	0	Disable parity generation and checking.	0
		1	Enable parity generation and checking.	
5:4	Parity Select	00	Odd parity. Number of 1s in the transmitted character and the attached parity bit will be odd.	0
		01	Even Parity. Number of 1s in the transmitted character and the attached parity bit will be even.	
		10	Forced "1" stick parity.	
		11	Forced "0" stick parity.	
6	Break Control	0	Disable break transmission.	0
		1	Enable break transmission. Output pin UARTn TXD is forced to logic 0 when UnLCR[6] is active high.	
7	Divisor Latch Access Bit (DLAB)	0	Disable access to Divisor Latches.	0
		1	Enable access to Divisor Latches.	
31:8	-	-	Reserved, user software should not write ones to reserved bits. The value read from a reserved bit is not defined.	NA



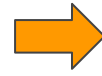
Tamaño de la palabra: Cuantos bits de la trama serán datos



Bits de stop: Cuanto tiempo estará en alto indicando que se terminó la palabra



Paridad: Como parte del chequeo de errores, se puede agregar un bit adicional para hacer que en la transmisión haya un número PAR o IMPAR de '1'



Detección de desconexión habilitada o deshabilitada



Configuración UART: Interrupciones (I)

La UART tiene diferentes fuentes de interrupción:

- Porque se terminó de enviar un dato: Transmitter Holding Register Empty (THRE)
- Porque se terminó de recibir un dato: Receiver Buffer Register (RBR)
- Porque hubo un error en la trama

Todas estas interrupciones, en caso de estar habilitadas, disparan una misma ISR

Table 275: UARTn Interrupt Enable Register (U0IER - address 0x4000 C004, U2IER - 0x4009 8004, U3IER - 0x4009 C004 when DLAB = 0) bit description

Bit	Symbol	Value	Description	Reset Value
0	RBR Interrupt Enable		Enables the Receive Data Available interrupt for UARTn. It also controls the Character Receive Time-out interrupt.	0
		0	Disable the RDA interrupts.	
		1	Enable the RDA interrupts.	
1	THRE Interrupt Enable		Enables the THRE interrupt for UARTn. The status of this can be read from UnLSR[5].	0
		0	Disable the THRE interrupts.	
		1	Enable the THRE interrupts.	
2	RX Line Status Interrupt Enable		Enables the UARTn RX line status interrupts. The status of this interrupt can be read from UnLSR[4:1].	0
		0	Disable the RX line status interrupts.	
		1	Enable the RX line status interrupts.	

Configuración UART: Interrupciones (II)

Además de habilitar las interrupciones en el periférico, se deben habilitar las interrupciones en el NVIC (Registros **ISERn**)

Table 52. Interrupt Set-Enable Register 0 register (ISER0 - 0xE000 E100)

Bit	Name	Function
0	ISE_WDT	Watchdog Timer Interrupt Enable. Write: writing 0 has no effect, writing 1 enables the interrupt. Read: 0 indicates that the interrupt is disabled, 1 indicates that the interrupt is enabled.
1	ISE_TIMER0	Timer 0 Interrupt Enable. See functional description for bit 0.
2	ISE_TIMER1	Timer 1. Interrupt Enable. See functional description for bit 0.
3	ISE_TIMER2	Timer 2 Interrupt Enable. See functional description for bit 0.
4	ISE_TIMER3	Timer 3 Interrupt Enable. See functional description for bit 0.
5	ISE_UART0	UART0 Interrupt Enable. See functional description for bit 0.
6	ISE_UART1	UART1 Interrupt Enable. See functional description for bit 0.
7	ISE_UART2	UART2 Interrupt Enable. See functional description for bit 0.
8	ISE_UART3	UART3 Interrupt Enable. See functional description for bit 0.

Configuración UART: Interrupciones (III)

Una vez que se dispara la interrupción, tengo que preguntar cuál de todas las fuentes de interrupción fue la que la disparó:

Table 276: UARTn Interrupt Identification Register (U0IIR - address 0x4000 C008, U2IIR - 0x4009 8008, U3IIR - 0x4009 C008) bit description

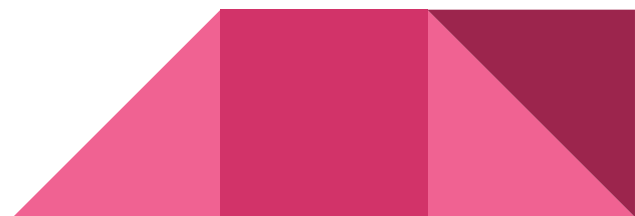
Bit	Symbol	Value	Description	Reset Value
0	IntStatus		Interrupt status. Note that UnIIR[0] is active low. The pending interrupt can be determined by evaluating UnIIR[3:1].	1
		0	At least one interrupt is pending.	
		1	No interrupt is pending.	
3:1	IntId		Interrupt identification. UnIER[3:1] identifies an interrupt corresponding to the UARTn Rx or TX FIFO. All other combinations of UnIER[3:1] not listed below are reserved (000,100,101,111).	0
		011	1 - Receive Line Status (RLS).	
		010	2a - Receive Data Available (RDA).	
		110	2b - Character Time-out Indicator (CTI).	
		001	3 - THRE Interrupt	
5:4	-		Reserved, user software should not write ones to reserved bits. The value read from a reserved bit is not defined.	NA
7:6	FIFO Enable		Copies of UnFCR[0].	0
8	ABEOInt		End of auto-baud interrupt. True if auto-baud has finished successfully and interrupt is enabled.	0
9	ABTOInt		Auto-baud time-out interrupt. True if auto-baud has timed out and interrupt is enabled.	0
31:10	-		Reserved, user software should not write ones to reserved bits. The value read from a reserved bit is not defined.	NA



Este bit me indica si hay alguna interrupción pendiente (puede que se haya disparado la interrupción por más de una fuente)



Estos bits indican cuál fue la fuente de interrupción que disparó la interrupción



Inicializando la UART

```
void InitUART0 (void)
{
    //1.- Registro PCONP - bit 3 en 1 prende la UART:
    PCONP |= 0x01<<3;
    //2.- Registro PCLKSEL0 -
    //bits 6 y 7 en 0 seleccionan que el clk de la UART0 sea 25MHz:
    PCLKSEL0 &= ~(0x03<<6);
    //3.- Registro UOLCR - transmision de 8 bits, 1 bit de stop,
    //sin paridad, sin break cond, DLAB = 1:
    UOLCR = 0x00000083;
    //4.- Registros UODLL y UODLM - 9600 baudios:
    UODLM = 0;
    UODLL = 0xA3;
    //5.- Registros PINSEL
    //habilitan las funciones especiales de los pines:
    //TX1D : PIN ?? -> P0[2] -> PINSEL0: 04:05
    SetPINSEL(P0,2,PINSEL_FUNC1);
    //RX1D : PIN ?? -> P0[3] -> PINSEL1: 06:07
    SetPINSEL(P0,3,PINSEL_FUNC1);
    //6.- Registro UOLCR, pongo DLAB en 0:
    UOLCR = 0x03;
    //7. Habilito las interrupciones (En la UART -IER- y en el NVIC -ISER)
    UOIER = 0x03;
    ISER0 |= (1<<5);
}
```

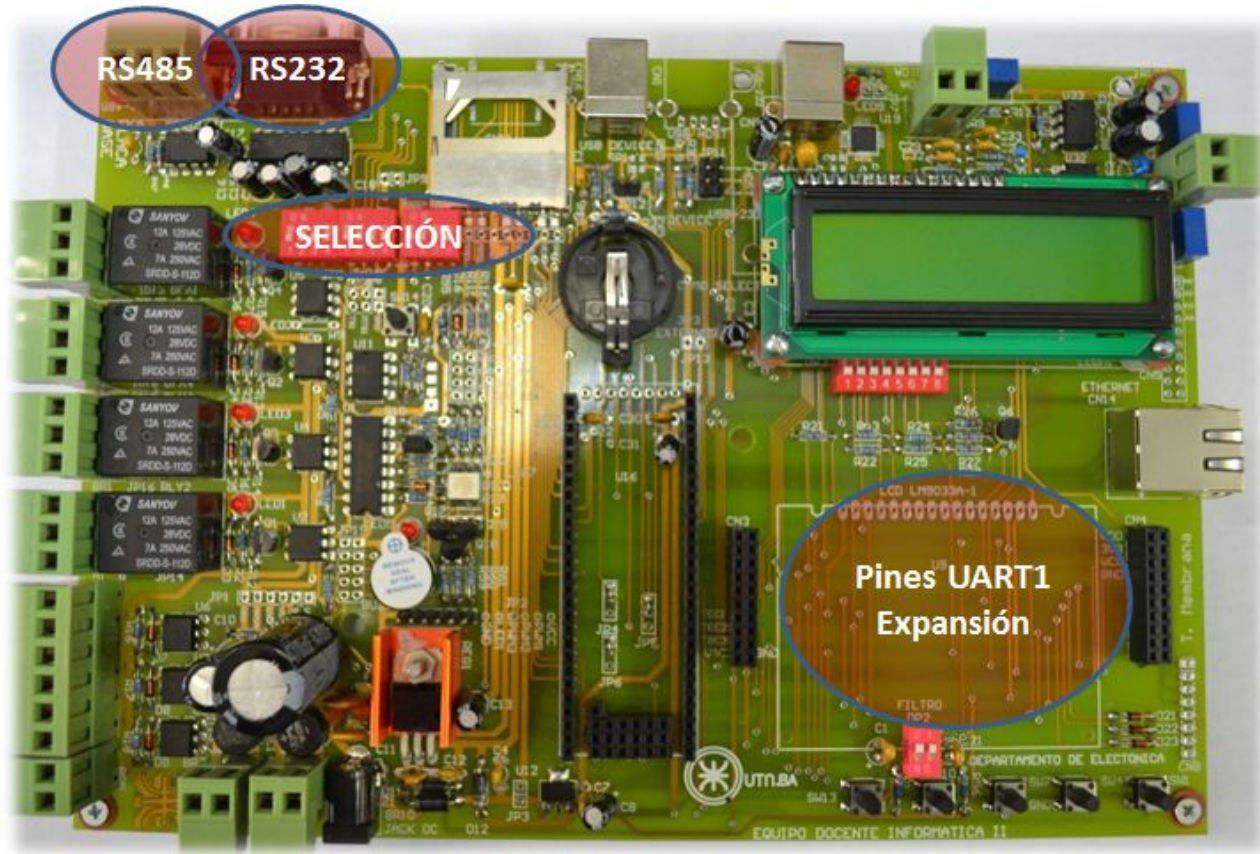
Identificando la interrupción

[illegible]

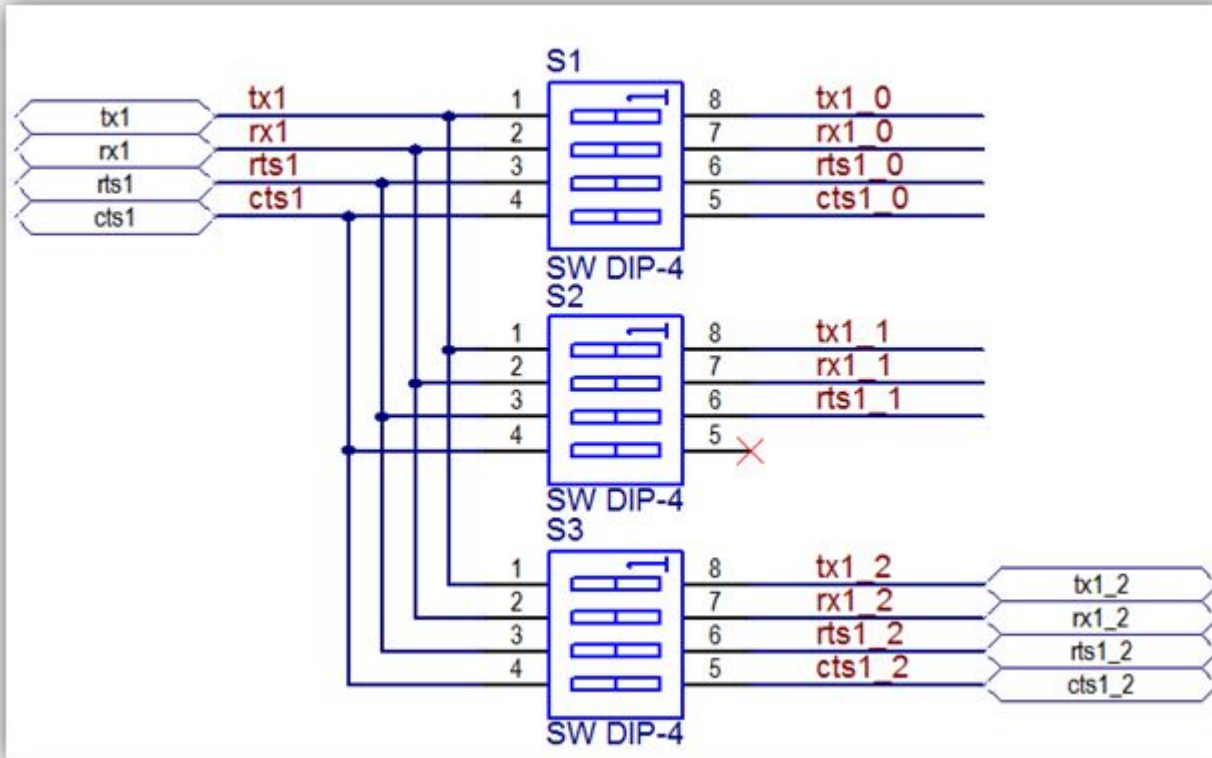
UARTs - Kit Infotronik



UART1 - Comunicación 485/232/Expansión



UART1 - Comunicación 485/232/Expansión



RS232



RS485



Expansión 6
Modem GPRS
o Pines de
UART1 para
expansión

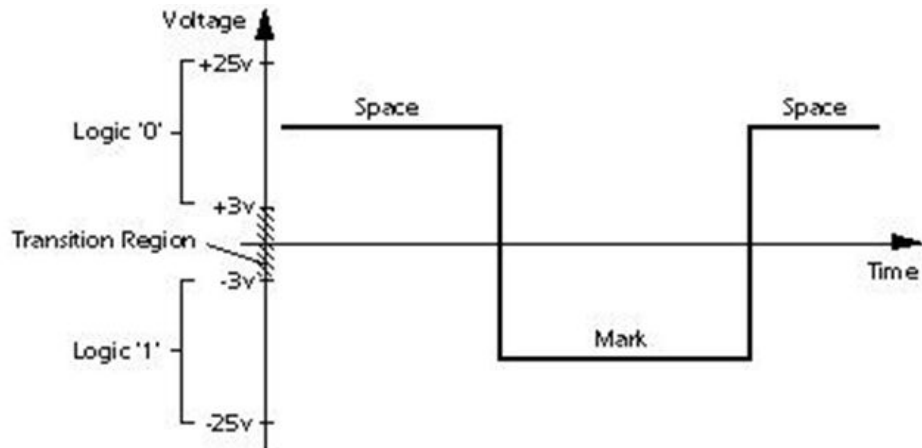
La norma eléctrica RS-232

Las especificaciones eléctricas del puerto serial están contenidas en el estándar RS232 del EIA que establece muchos parámetros, entre ellos:

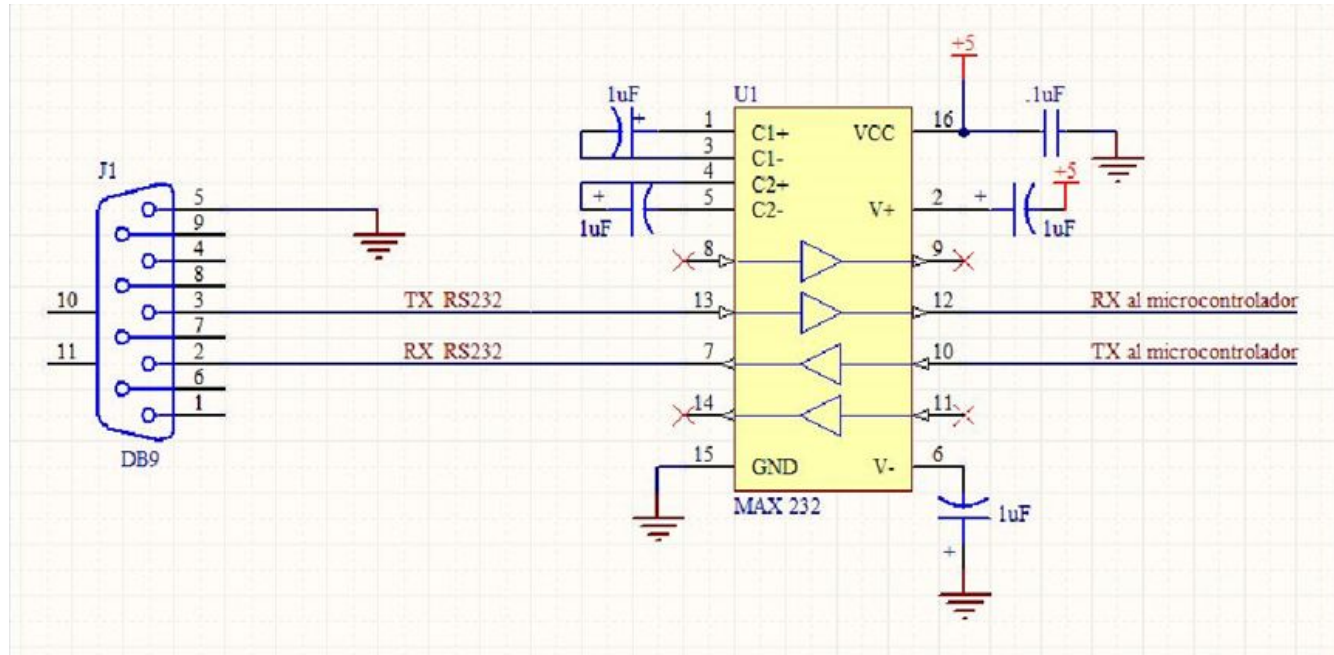
Un “Espacio” (0 lógico) está entre +3 y +25 volts.

Una “Marca” (1 lógico) estará entre -3 y -25 Volts

La región entre +3 y -3 volts es indefinida.

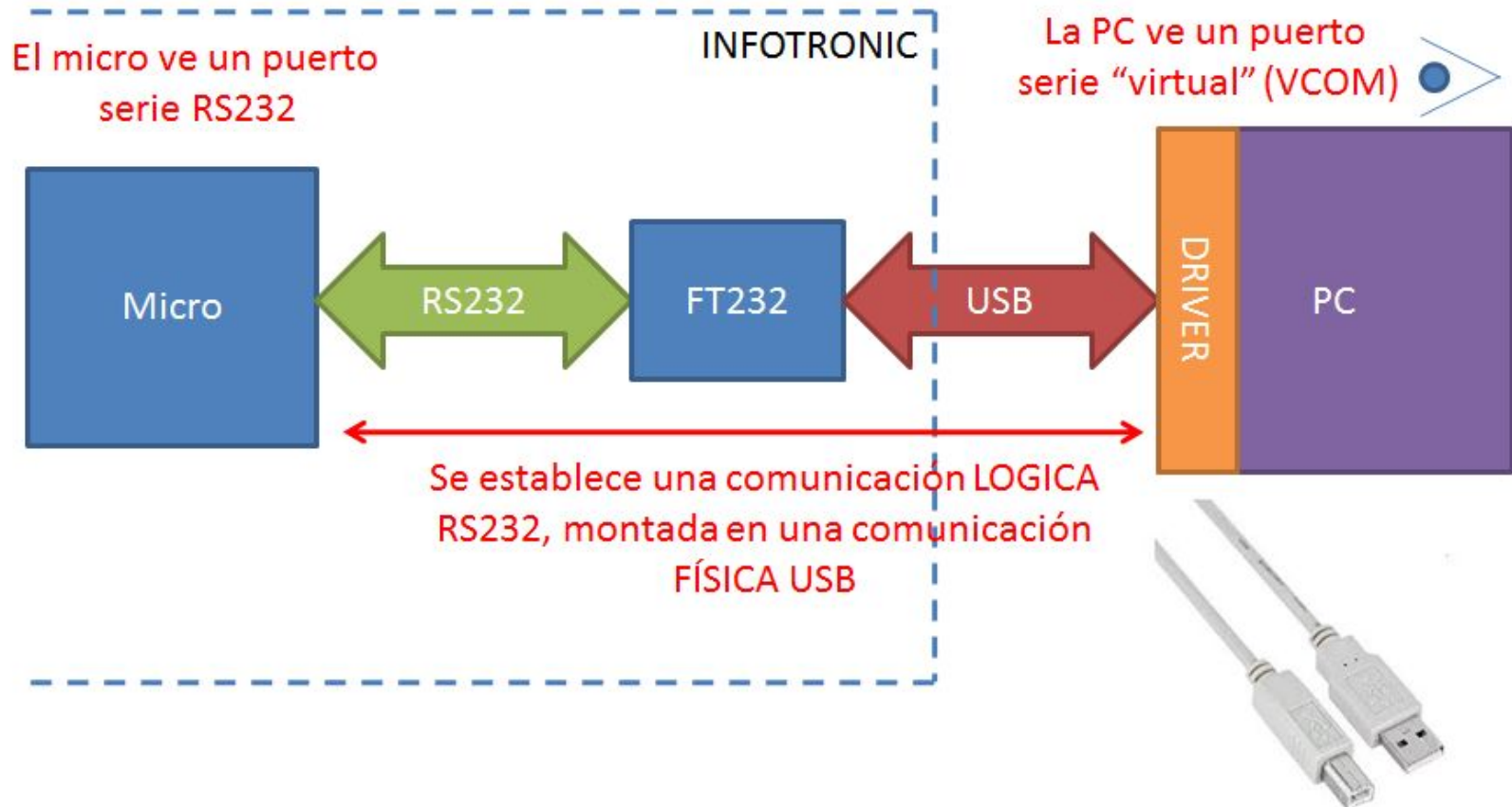


MAX 232

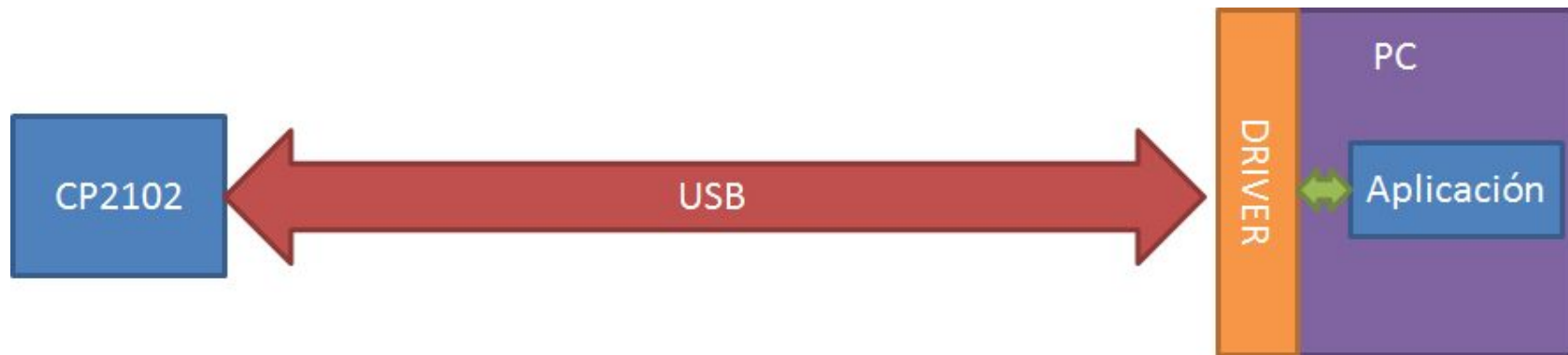


Adapta niveles RS232 y TTL

UART0 - Bridge RS232/USB



UART0 - Bridge RS232/USB



Al conectarse, el FT232 se “presentará” como un dispositivo USB, de tipo “USB to UART Bridge”. Por defecto, los SO no reconocen este tipo de dispositivos como estándar, por lo que hay que descargar el driver correspondiente para que el Sistema Operativo reconozca el dispositivo y se cree la “capa de software” que presentará a las aplicaciones un “puerto serie virtual”, con iguales características que un puerto serie común.

Link a la página de FTDI Chip con el driver:

<http://www.ftdichip.com/Support/Documents/InstallGuides.htm>