



Laboratorio 1 - Memoria RAM

Microprocesadores

Departamento de Ingeniería Eléctrica y Electrónica

Ing. Diego Gómez, M.Sc., dgomez@uninorte.edu.co

Abstract

En este documento se presenta el primer ejercicio de laboratorio de la asignatura Microprocesadores. Con ello se busca describir una memoria RAM, que será usada a futuro para albergar el programa de un sistema microprocesado, siendo este un concepto fundamental para el desarrollo y la operación del Proyecto Final de la materia.

Index Terms

VHDL, Memorias RAM (Random Access Memory).

I. OBJETIVO

Describir y sintetizar una memoria RAM mediante lenguaje descriptor de Hardware.

II. RESULTADOS DE APRENDIZAJE

1. Comprender y dominar el concepto de mapa de memoria y direccionamiento de bloques internos.
2. Derivar la circuitería requerida para interconectar al microprocesador con otros dispositivos, tales como memorias y periféricos de Entrada/Salida.

III. ENUNCIADO

1. Se debe desarrollar una memoria RAM que cuente con tres tipos de buses para su interconexión con un sistema microprocesado: direccionamiento, datos y control. A continuación, se relacionan los requerimientos mínimos para cada bus.
 - a. Líneas de direccionamiento: Bus unidireccional de 8 bits (A7:A0)
 - b. Líneas de datos: Bus bidireccional de 4 bits (D3:D0)
 - c. Líneas de control: Chip Select (CS), Read (RD), Write (WR), Output Enable (OE)
2. La memoria debe ser simulada en Proteus a través de componentes lógicos. Se debe tener en cuenta que la interfaz de usuario debe ser implementada, como mínimo, con: interruptores, pulsadores y LEDs, así:
 - a. Líneas de direccionamiento: 8 interruptores y 8 LEDs Rojos
 - b. Líneas de datos: 4 interruptores y 4 LEDs Azules
 - c. Líneas de control: 4 interruptores o pulsadores y 4 LEDs Verdes
3. Se debe diseñar el esquema de la PCB del inciso anterior en Proteus.

IV. ENTREGA

Este trabajo se realizará en parejas. No se aceptan entregas individuales. En una breve sustentación de 10 minutos, según el día y tiempo acordado en el Catálogo Web, se presentará el desarrollo según el siguiente protocolo de pruebas:

1. Comprobación de la capacidad de escritura a la memoria, mediante el correcto manejo de las líneas de control.
2. Comprobación de la capacidad de lectura de la memoria, mediante el correcto manejo de las líneas de control.

Todos los documentos correspondientes a esta entrega deberán subirse en una Página de One Note de uno de los miembros del grupo, rotulada como “Laboratorio 1”, siendo estos:

1. Los archivos con extensión asociada al software Proteus, correspondientes a los incisos 2 y 3.
2. Un archivo pdf (insertar como copia impresa) con el diseño de la PCB.