sdram_read

signal	waveform
clk	(clock)
rstn	
init_end	
rd_en	
rd_addr	{2'b00, 13'b0_0000_0000_0000, 9'b0_0000_0000}
rd_sdram_data	xxxx → rd_data[0] - rd_data[9] → xxxx
rd_burst_len	10
rd_sdram_data_reg	xxxx → rd_data[0] - rd_data[9] → xxxx
rd_state	RD_IDLE / RD_ACT / RD_TRCD / RD_REA / RD_CL / RD_DATA / RD_PREC / RD_TRP / RD_END / RD_IDLE
cnt_clk	0 / 1 -- N / 0 / 1 / 2 / 0 / 1 / 2 / 3 / 4 / 5 / 6 / 7 / 8 / 9 / 10 / 11 / 12 / 0 / 1 -- M / 0
cnt_clk_rst	
trcd_end	
tcl_end	
trd_end	
trp_end	
rd_ack	
rd_end	
rd_burst_end	
rd_cmd	NOP / ACT / NOP / READ / NOP / BUST / NOP / PREC / NOP
rd_bank	2'b11 / 2'b00 / 2'b11 / 2'b00 / 2'b11 / 2'b00 / 2'b11
rd_sdram_addr	13'h1fff / 'h0 / 13'h1fff / 'h0 / 13'h1fff / 13'h0400 / 13'h1fff
rd_data	xxxx / wr_data[0] - wr_data[9] / xxxx