fifo_ctrl

Signal	Value
clk	
rstn	
init_end	
wr_fifo_wr_clk	
wr_fifo_wr_req	
wr_fifo_wr_data	0 1 2 3 4 5 6 7 8 9 10 0
sdram_wr_b_addr	{2'b00, 9'd0, 13'd0}
sdram_wr_e_addr	{2'b00, 9'd0, 13'd10}
wr_burst_len	10
wr_rst/rd_rst	
wr_fifo_num	0 1 2 3 4 5 6 7 8 9 10 9 8 -- 1 0
sdram_wr_req	
sdram_wr_ack	
sdram_wr_data	0 1 2 -- 9 10
sdram_wr_addr	sdram_wr_addr+1'b1
sdram_wr_ack1	
sdram_wr_ack_ne	
clk	
rd_valid	
sdram_rd_req	
sdram_rd_ack	
sdram_rd_addr	sdram_rd_addr+1'b1
sdram_rd_data	1 2 -- 10 10
sdram_rd_ack1	
sdram_rd_ack_ne	
rd_fifo_num	1 2 -- 10 10 9 8 7 6 5 4 3 2 1 0
rd_fifo_rd_clk	
rd_sdram_b_addr	{2'b00, 9'd0, 13'd0}
rd_sdram_e_addr	{2'b00, 9'd0, 13'd10}
rd_burst_len	10
rd_fifo_rd_req	
rd_fifo_rd_data	0 1 2 3 4 5 6 7 8 9 10