Pmod ESP32 + Basys3

BERENGEA CRISTIAN GRUPA 30227

Cuprins

Introducere	2
Context	2
Obiective	2
Structura	2
Tabel de Acronime	2
Studiu Bibliografic	3
Fundamentare Teoretica	3
Universal Asynchronous Receiver Transmitter	3
Field Programmable Gate Array	3
Proiectare	4
Cerinte Functionale	4
Implementare	5
Echipament Utilizat	5
Manual de Utilizare	6
Concluzii	10
Dezvoltari Ulterioare	10

Introducere

În acest proiect se utilizează o plăcuta FPGA Basys3 și modulul de comunicație wireless Pmod ESP32. Plăcuta comunica cu dispozitivul la care este conectata, într-un terminal se afișează informații despre starea modulului ESP32 și despre comenzile care se trimit acestuia. De pe un alt dispozitiv se deschide în browser o pagina care continue 3 butoane. În funcție de butonul apăsat o să se aprindă pe plăcuta anumite leduri. De asemenea în pagina respectiva se găsește un link spre o alta pagina care afișează date primate de la plăcuta la apăsarea anumitor butoane.

Context

Proiectul este realizat în cadrul Universității Tehnice Cluj-Napoca, specializarea Calculatoare și Tehnologia informației pentru materia Structura Sistemelor de Calcul, anul universitar 2020-2021.

Objective

Obiectivele acestui proiect sunt:

- ✓ stabilirea unei conexiuni intre o plăcuta basys3 și un dispozitiv desktop cu ajutorul unui Pmod ESP32:
- ✓ plăcuta trebuie să trimiță și să primească date de la dispozitivul la care este conectat Pmod ESP32.

Structura

Proiectul are mai mule componente:

- ✓ pentru configurarea placutei s-au utilizat softwarele : Vivado 2018.2 Xilinx (Block Design),
 Xilinx SDK;
- ✓ pentru partea de web au fost create doua servere in Python.

Tabel de Acronime

Prescurtari	Descriere
FPGA	Field Programmable Gate Array

Tabel 1 – tabel de acronime

Studiu Bibliografic

Microcontroler controlat de la distanță dintr-un browser- Mitchell Orsucci, Sam Kristoff,
 Arthur Brown (1)

Autorii studiului [1] prezinta o aplicatie in care se utilizeaza placa Basys MX3 de la Digilent si modulul ESP32. Dintr-o pagina web utilizand HTTPS si un server Pythonse trimit date spre placa Basys.

Wireless FPGA Debugger and System Monitor- Mitchell Orsucci, Sam Kristoff, Arthur Brown(2)

In lucrarea [2] se prezinta o aplicatie in care utilizand placuta Arty S7-50 si modulul ESP32, se transmit prin wireless date referitoare la starea placutei (switches/butoane).

Fundamentare Teoretica

Universal Asynchronous Receiver Transmitter

Universal Asynchronous Receiver Transmitter (UART) este un standard de comunicatie seriala.

Transmission Control Protocol (sau **TCP**, în traducere liberă din engleză Protocolul de Control al Transmisiei) este un <u>protocol</u> folosit de obicei de aplicații care au nevoie de confirmare de primire a <u>datelor</u>. Efectuează o conectare virtuală full duplex între două puncte terminale, fiecare punct fiind definit de către o adresă IP și de către un port TCP.

Microblaze tradus din engleză este un miez soft de microprocesor conceput pentru matricile de poartă programabile Xilinx. Ca procesor soft-core, MicroBlaze este implementat în întregime în memoria generală și în tesătura logică a FPGA-urilor Xilinx.

Field Programmable Gate Array

FPGA (Field Programmable Gate Array) este un circuit integrat digital configurabil, de către utilizator, după ce a fost fabricat (spre deosebire de dispozivele a căror funcție este implementată in procesul de fabricație). FPGA este un tip de circuit logic programabil. Configurarea FPGA se face, în general, cu ajutorul unui limbaj de descriere hardware HDL, similar cu cel folosit pentru dispozivele ASIC, dezvoltându-se recent și compilatoare care traduc instrucțiuni din limbajul C în limbaje HDL. Un astfel de compilator este Impulse C. FPGA-urile sunt alcătuite din blocuri logice configurabile (programabile) legate între ele de o serie de conexiuni configurabile la rândul lor.

SSL Stands for secure sockets layer. Protocol pentru browsere și servere web care permite autentificarea, criptarea și decriptarea datelor trimise prin Internet

Proiectare

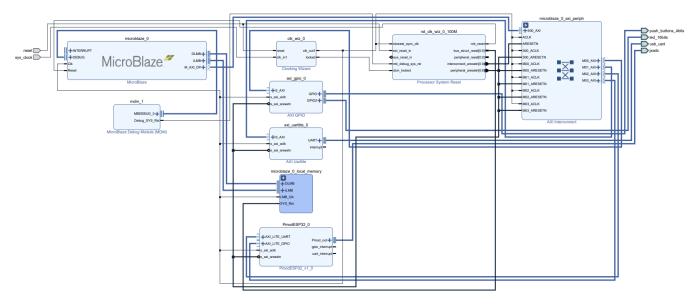


Figura 1

Cerinte Functionale

Pentru utilizarea programului trebuieinstalate urmatoarele softwareuri:

- ✓ Xilinx Vivado 2018.2
- ✓ Xilinx SDK 2018.2
- ✓ Tera Term
- ✓ Python 3
- ✓ Pycharm (optional)

Implementare

Placuta a fost configurata sa comunice prin interfata UART cu calculatorul la care este conectata. De asemenea interfata UART este folosita pentru comunicatia placutei cu modulul ESP32, acesta primeste comenzi AT pentru a realiza conexiunea la router si apoi la un server TCP. Serverul TCP face un request catre un server de tip SSL pentru a primi datele din fisierul basys.txt asociat acestuia.

Echipament Utilizat

- ✓ <u>Placa FPGA</u> <u>Basys3:</u>
- ✓ Pmod ESP32
- ✓ Cablu micro-USB to USB

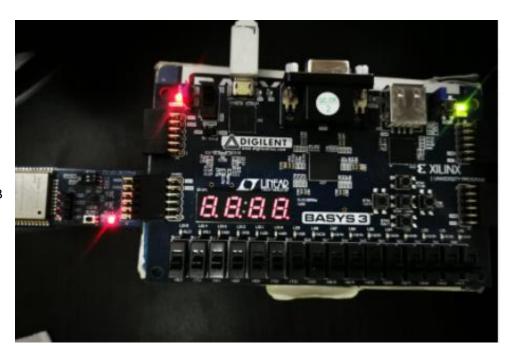


Figura 2

Basys 3 face parte din familia FPGA Artix-7, are 2 porturi pentru conectarea modulelor Pmod. Un astfel de port are 12 pini, 2 pentru VCC, 2 pentru GND, 8 pini pentru semnal. Semnalul intern de ceas (clock) are o frecventa de aproximativ 450MHz+;

Pmod ESP32 suporta conexiunile TCP, UDP, si SSL.

Manual de Utilizare

```
C:\Users\Cristi>ipconfig
Windows IP Configuration
Unknown adapter Local Area Connection:
  Media State . . . . . . . . : Media disconnected
  Connection-specific DNS Suffix .:
Ethernet adapter Ethernet:
  Media State . . . . . . . . : Media disconnected
  Connection-specific DNS Suffix . : local
Wireless LAN adapter Local Area Connection* 10:
  Media State . . . . . . . . : Media disconnected
  Connection-specific DNS Suffix .:
Wireless LAN adapter Local Area Connection* 11:
  Media State . . . . . . . . : Media disconnected
  Connection-specific DNS Suffix .:
Wireless LAN adapter Wi-Fi:
  Connection-specific DNS Suffix . : local
  Link-local IPv6 Address . . . . : fe80::992:cccd:f9f1:5f0c%5
  IPv4 Address. . . . . . . . . : 192.168.0.14
  Default Gateway . . . . . . . : 192.168.0.1
```

Figura 3

In comand line se ruleaza ipconfig pentru a obtine adresa IP.

Aceasta adresa ip trebuie setata in fisierele SSL_server, TCP_server si in proiectul SDK: esp32->src->main.c (este mentionat mai jos cum se ajunge acolo).

Se va deschide software-ul Tera Term apoi: Setup->Serial port.. se vor seta urmatoarele configurari (figura 4):

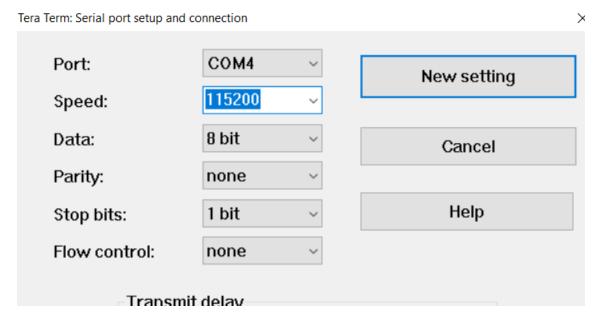


Figura 4

Se deschid in aceasta ordine programele SSI_server, TCP_server facand clik pe fisiere.

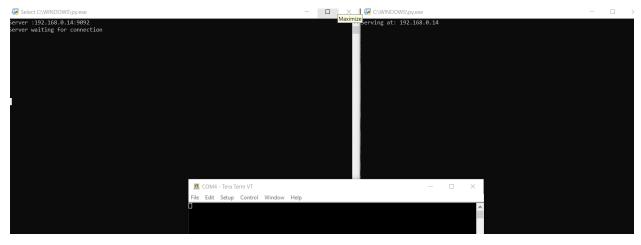


Figura 5

Dupa deschiderea proiectului in softwre-ul Xilinx Vivado: File->Launch SDK, se va deschide software-ul Xilinx SDK: Xilinx-> Program FPGA apoi: in Project Explorer click dreapta pe fisierul esp32: Run as-> Launch on Hardware. Uneori este necesara resetarea hardware a modulului ESP32 prin apasarea butonului de reset, iar apoi trebuie apasat butonul din mijloc de pe placuta Basys3.

```
File Edit Setup Control Window Help

AT CIPER APP "172.168.4.1"

AT CIPER APP "172.168
```

Figura 6

Daca se apasa buttonul 1 se va aprinde ultimul led, daca se apasa butonul 2 se va aprinde penultiml led, iar pentru butonul 3 ultimele 2 leduri.

Pagina web se deschide in browser la adresa $\frac{\text{https://192.168.0.14:9090/}}{\text{normal ip-ul specificat mai sus.}}$, aceasta adresa trebuie sa contina ip-ul specificat mai sus.

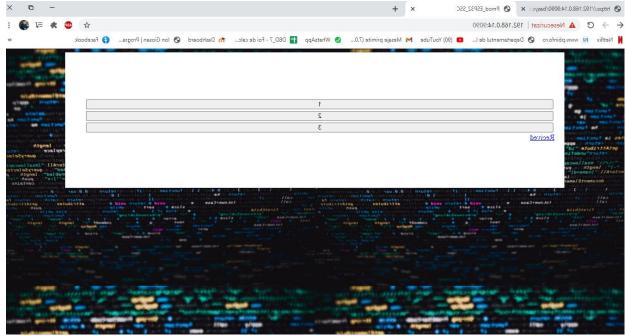


Figura 7

Daca se face click pe Recived se deschide o alta pagina web in care sa afiseaza datele primite de la placuta. Pentru a trimite date de la placuta trebuie apasat unul dintre butoanele sus,jos,stanga, dreapta, la apasarea fiecarui buton se trimit caracterele respective 'W', 'S', 'A', 'D' (figura 8) .

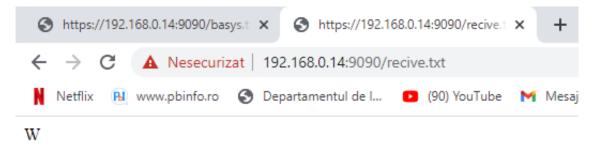


Figura 8

Concluzii

S-a realizat o comunicatie bidirectionala wireless intre placuta Basys3 si o pagina web(server python).

Dezvoltari Ulterioare

Ca dezvoltare ulterioara se poate cosidera transmitera unor date mai complexe cum ar fi string-uri, starea switch-urilor.

Bibliography

- 1. **Mitchell Orsucci, Sam Kristoff, Arthur Brown.** Remotely Controlled Microcontroller From a Browser. *Hackster.io Learning Hardware Community.* [Interactiv]
- 2. **Mitchell Orsucci, Sam Kristoff, Arthur Brown** .Wireless FPGA Debugger and System Monitor. *Hackster.io – Learning Hardware Community.* [Interactiv]

END OF DOCUMENT