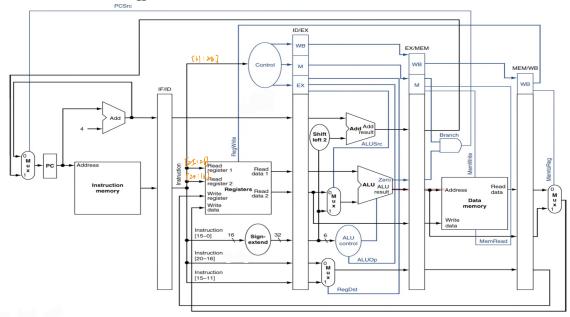
Computer Organization Lab3

Name:陳晶 ID:109700045

Architecture diagrams:



Hardware module analysis:

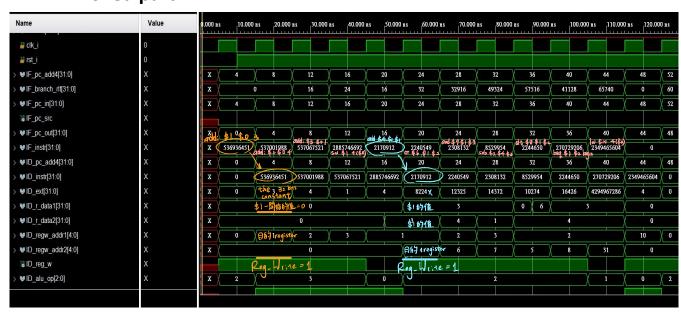
優:

- 1. 可以同時執行許多指令, 善用硬體資源
- 2. 可增加throughput
- 3. 相較於single cycle CPU, 儘管比單個指令有可能速度較慢, 但絕大部分時候都比較省時

缺:

- 1. 需要額外的flip flop儲存每個stage的結果
- 2. 實作時比single cycle CPU還複雜
- 3. 需要處理hazard的問題

Finished part:



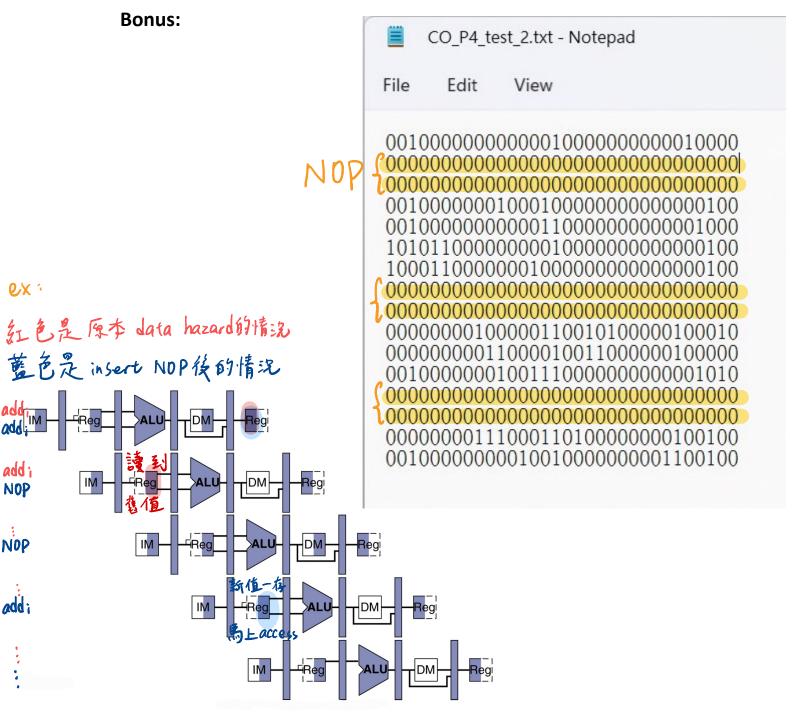
Problems you met and solutions:

因為都是照著課本的架構圖實作,所以沒有遇到甚麼太大的困難,只有太粗心大意導致浪費很多時間debug的問題。XD

在想bonus的部分時,因為誤解題目的意思,所以一直在想到底有什麼解決data hazard的方法不會需要用到hazard detection unit和forwarding unit,我想來想去都覺得需要。後來我才看懂題目的意思,原來可以直接改machine code。以後我會好好看題目的每一個字的!

Summary:

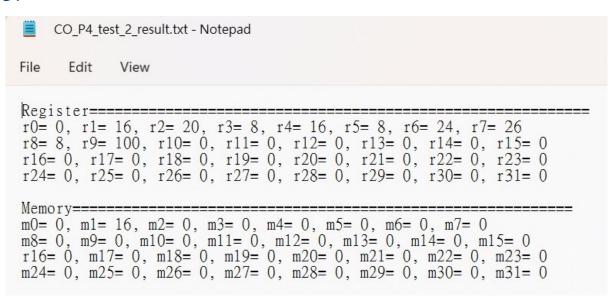
管線化處理器是個聰明的設計,可以提高Instruction-Level Parallelism,大幅提升處理器的效能。



my result:

1 - 1 - 1	Register=								
1	r0=	0, rl=	16, r2=	20, r3=	8, r4=	16, r5=	8, r6=	24, r7= 26	
	r8=	8, r9=	100, r10=	0, r11=	0, r12=	0, r13=	0, r14=	0, r15=	0
	r16=	0, r17=	0, r18=	0, r19=	0, r20=	0, r21=	0, r22=	0, r23=	0
	r24=	0, r25=	0, r26=	0, r27=	0, r28=	0, r29=	0, r30=	0, r31=	0
1 1 1 1 1 1 1	Memory-								
11111	m0=	0, m1=	16, m2=	0, m3=	0, m4= 0,	m5= 0,	мб= 0, м′	7= 0	
	m8=	0, m9=	0, m10=	0, m11=	0, m12=	0, m13=	0, m14=	0, m15= 0	
	r16=	0, m17=	0, m18=	0, m19=	0, m20=	0, m21=	0, m22=	0, m23= 0	
1 1 1 1 1	m24=	0, m25=	0, m26=	0, m27=	0, m28=	0, m29=	0, m30=	0, m31= 0	

answer:



Wave form:

