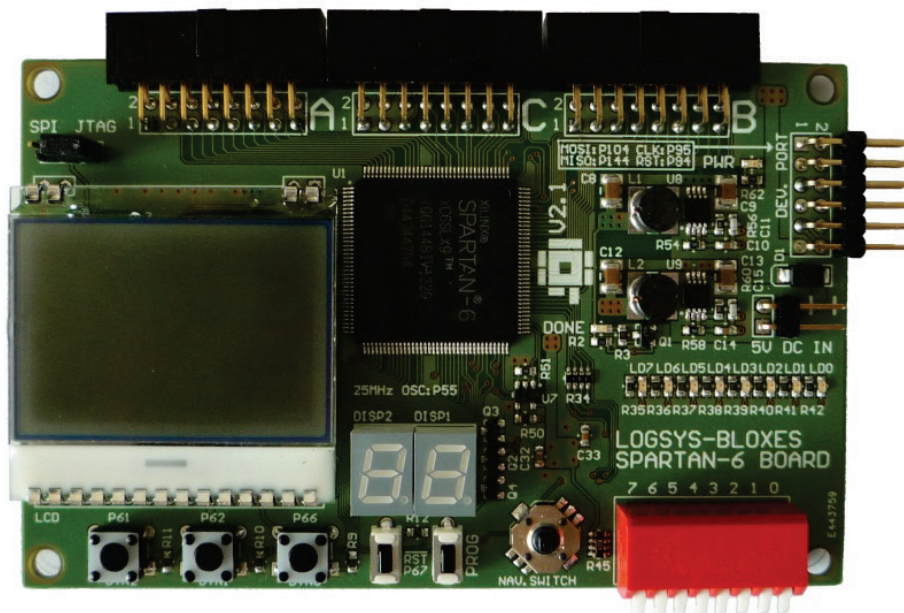


# LOGSYS SPARTAN-6 FPGA KÁRTYA (v2.1)

## FELHASZNÁLÓI ÚTMUTATÓ



# Tartalomjegyzék

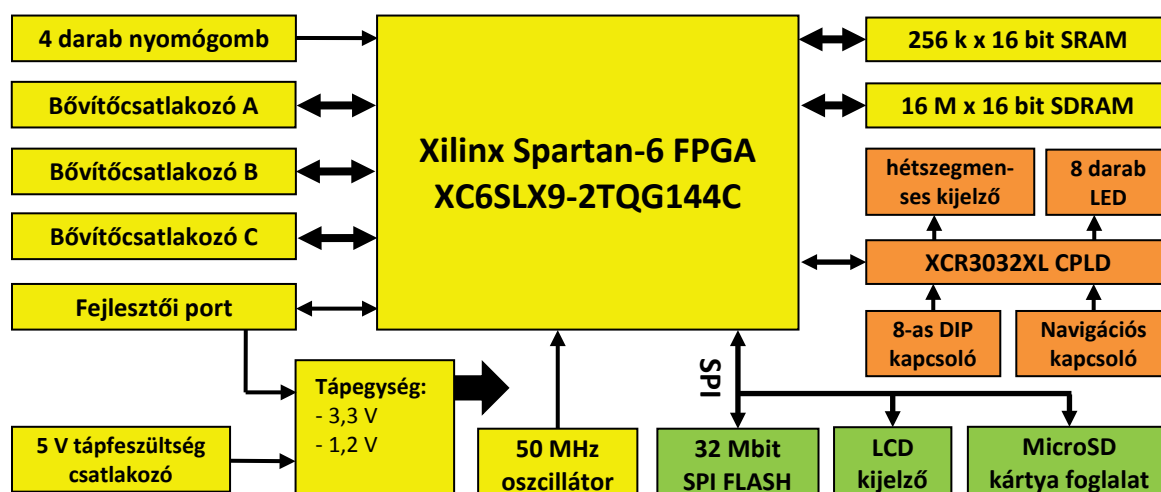
<b>1</b>	<b>Bevezetés.....</b>	<b>1</b>
<b>2</b>	<b>Memóriák .....</b>	<b>3</b>
<b>3</b>	<b>LED-ek, hétszegmenses kijelzők, kapcsolók.....</b>	<b>4</b>
<b>4</b>	<b>Az SPI buszra illeszkedő perifériák .....</b>	<b>5</b>
4.1	<i>Soros FLASH memória .....</i>	<i>6</i>
4.2	<i>Grafikus LCD kijelző.....</i>	<i>8</i>
4.3	<i>MicroSD kártya .....</i>	<i>9</i>
<b>5</b>	<b>Nyomógombok .....</b>	<b>10</b>
<b>6</b>	<b>Órajel források.....</b>	<b>10</b>
<b>7</b>	<b>FPGA konfigurációs módok .....</b>	<b>10</b>
<b>8</b>	<b>LOGSYS fejlesztői port.....</b>	<b>11</b>
<b>9</b>	<b>Tápellátás.....</b>	<b>11</b>
<b>10</b>	<b>Bővítőcsatlakozók .....</b>	<b>12</b>
<b>11</b>	<b>A kártya kapcsolási rajza .....</b>	<b>13</b>
11.1	<i>FPGA.....</i>	<i>13</i>
11.2	<i>Memóriák.....</i>	<i>15</i>
11.3	<i>Csatlakozók .....</i>	<i>16</i>
11.4	<i>LED-ek, kijelzők, kapcsolók, nyomógombok.....</i>	<i>17</i>
11.5	<i>Tápegység .....</i>	<i>18</i>
<b>12</b>	<b>A kártyához tartozó UCF fájl.....</b>	<b>19</b>
	<b>Változások a dokumentumban.....</b>	<b>22</b>

# 1 Bevezetés

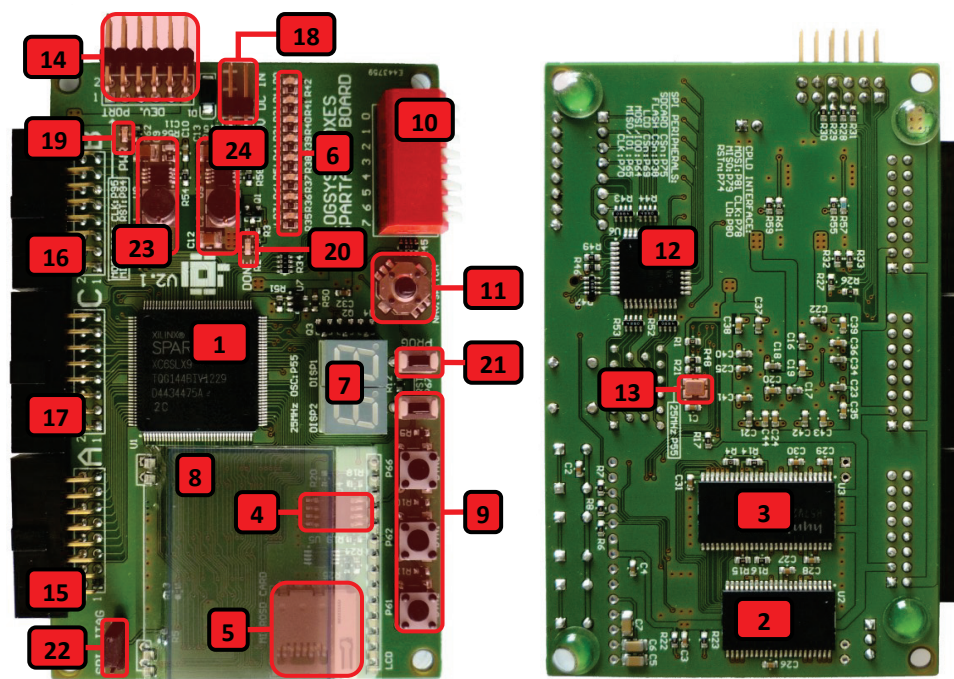
A LOGSYS Spartan-6 FPGA kártya nagyobb komplexitású logikák és processzoros rendszerek megvalósítására alkalmas. A fejlesztői kártya ennek megfelelő perifériakészlettel rendelkezik. A blokkvázlata az 1-1. ábrán látható, a felépítését az 1-2. ábra szemlélteti.

A kártyán az alábbi komponensek találhatók:

- Xilinx [XC6SLX9-2TQG144C](#) típusú FPGA, amely lehetővé teszi összetettebb logikák és mikroprocesszoros rendszerek megvalósítását. Az eszköz főbb jellemzői:
  - 5720 darab 6 bemenetű LUT és 11440 darab flip-flop
  - 32 darab 18 kbites blokk-RAM
  - 16 darab DSP48A1 blokk (elő összeadó, 18 x 18 bites előjeles szorzó és akkumulátor)
  - 4 darab DCM (Digital Clock Manager) és 2 darab PLL (Phase Locked Loop) modul
- Memóriák a program és az adatok tárolására:
  - Egy 256k x 16 bites (512 kB), 10 ns-os aszinkron SRAM (Cypress CY7C1041DV33-10ZSXI)
  - Egy 16M x 16 bites (32 MB), 166 MHz-es SDRAM (Hynix H57V2562GTR-60C)
  - Egy 32 Mbit SPI buszos soros FLASH memória (Atmel AT25DF321A), amely konfigurációs memóriaként is szolgál az FPGA számára
- Egy MicroSD memóriakártya foglalat
- Megjelenítő eszközök:
  - 8 darab LED, 2 digitális hétszegmenses kijelző
  - 102 x 64 pixeles grafikus LCD kijelző (Electronic Assembly EADOGS102N-6)
- Beviteli eszközök:
  - 4 darab nyomógomb, 8-as DIP kapcsoló, navigációs kapcsoló
- Egy 50 MHz-es oszcillátor
- Csatlakozó a LOGSYS fejlesztői kábel számára
- 3 darab csatlakozó a kiegészítő modulok számára:
  - 13 FPGA I/O láb, melyből 6 pár differenciális vonalként is használható
  - 5 V és 3,3 V tápfeszültség kimenet



1-1. ábra: A LOGSYS Spartan-6 FPGA kártya blokkvázlata.



1-2. ábra: A LOGSYS Spartan-6 FPGA kártya.

A LOGSYS Spartan-6 FPGA kártya felépítése:

1. Xilinx XC6SLX9-2TQG144C típusú FPGA
2. 256k x 16 bites (512 kB), 10 ns-os aszinkron SRAM (Cypress CY7C1041DV33-10ZSXI)
3. 16M x 16 bites (32 MB), 166 MHz-es SDRAM (Hynix H57V2562GTR-60C)
4. 32 Mbytes SPI buszos soros FLASH (Atmel AT25DF321A, az LCD kijelző alatt)
5. MicroSD kártya foglalat (az LCD kijelző alatt)
6. 8 darab LED
7. 2 digit-es hétszegmenses kijelző
8. 102 x 64 pixeles grafikus LCD kijelző (Electronic Assembly EADOGS102N-6)
9. 4 darab nyomógomb
10. 8-as DIP kapcsoló
11. Navigációs kapcsoló
12. Xilinx XCR3032XL-10VQG144C típusú CPLD
13. 50 MHz-es oszcillátor
14. Csatlakozó a LOGSYS fejlesztői kábel számára (fejlesztői port)
15. Csatlakozó a kiegészítő modulok számára (A)
16. Csatlakozó a kiegészítő modulok számára (B)
17. Csatlakozó a kiegészítő modulok számára (C)
18. 5 V tápfeszültség csatlakozó
19. A bekapcsolt tápfeszültséget jelző piros LED (PWR)
20. Az FPGA sikeres felkonfigurálását jelző zöld LED (DONE)
21. Az FPGA újrakonfigurálását elindító nyomógomb (PROG)
22. Az FPGA konfigurációs módját kiválasztó jumper
23. 3,3 V feszültséget előállító tápegység
24. 1,2 V feszültséget előállító tápegység

## 2 Memóriák

Az FPGA kártyán kétféle RAM található: egy Cypress CY7C1041DV33-10ZSXI típusú 256 k x 16 bites, 10 ns elérési idejű aszinkron SRAM, illetve egy Hynix H57V2562GTR-60C típusú 16 M x 16 bites, 166 MHz-es SDRAM. A memóriák bekötését a 2-1. táblázat mutatja. A memóriák közös címbusszal, adatbusszal, bájt maszk jelekkel és írás engedélyező jellel rendelkeznek, ezért az SRAM és az SDRAM egyszerre történő használata speciális, egyedi memóriavezérlőt igényel. Az SRAM CSn, WEn, OEn, LBN és UBN vezérlő jelei, illetve az SDRAM CSn, RASn, CASn, WEn, DQML és DQMH vezérlő jelei aktív alacsony szintűek. A nem használt memóriák CSn chip-select vonalait logikai magas szinttel hajtjuk meg. A chip-select vonalak közül egyszerre csak egy lehet aktív. A memória interfész LVTTTL I/O szabványt használ, az egyéb beállítandó paraméterek a mellékelt UCF fájlban találhatóak meg.

2-1. táblázat: Az SRAM és az SDRAM memóriák bekötése.

Címbusz									
SRAM	A0	A1	A2	A3	A4	A5	A6	A7	A8
SDRAM									
FPGA láb	P45	P46	P47	P48	P59	P58	P57	P56	P51
SRAM	A9	A10	A11	A12	A13	A14	A15	A16	A17
SDRAM					BA0	BA1	RASn	CASn	
FPGA láb	P50	P44	P41	P40	P39	P43	P33	P34	P60
Adatbusz és bájt maszk									
SRAM	D0	D1	D2	D3	D4	D5	D6	D7	LBn
SDRAM	DQ0	DQ1	DQ2	DQ3	DQ4	DQ5	DQ6	DQ7	DQML
FPGA láb	P6	P8	P10	P12	P15	P17	P22	P24	P27
SRAM	D8	D9	D10	D11	D12	D13	D14	D15	UBn
SDRAM	DQ8	DQ9	DQ10	DQ11	DQ12	DQ13	DQ14	DQ15	DQMH
FPGA láb	P23	P21	P16	P14	P11	P9	P7	P5	P26
Vezérlő jelek és órajel									
SRAM	CSn			WEn	OEn				
SDRAM		CSn				CLK		CKE	
FPGA láb	P1	P35		P29	P2		P30		P32

Az aszinkron SRAM és az SDRAM memóriák szabványos vezérlési felülettel rendelkeznek. Az SRAM memóriákkal összehasonlítva az SDRAM memóriák kezelése bonyolultabb, alapvetően parancsok kiadásával történik. Az SDRAM-ok inicializálásával és vezérlésével kapcsolatos részletek bármelyik SDRAM eszköz adatlapjában megtalálhatók. A kártyán lévő SDRAM kezeléséhez szükséges főbb időzítési paramétereket a 2-2. táblázat tartalmazza.

2-2. táblázat: A Hynix H57V2562GTR-60C SDRAM főbb időzítési paraméterei.

Paraméter		Szimbólum	Érték		Egység
			Min.	Max.	
Órajel frekvencia	CL=2 CLK	$f_{CLK}$	1	100 <sup>1</sup>	MHz
	CL=3 CLK		1	166	
Adat elérési idő	CL=2 CLK	$T_{AC}$	-	6	ns
	CL=3 CLK		-	5,4	
Várakozás a PRECHARGE parancs után		$T_{RP}$	18	-	ns
AUTO REFRESH parancs periódusidő		$T_{RFC}$	60	-	ns
Várakozás a mód regiszter írása után		$T_{MRD}$	2	-	CLK
RAS-CAS késleltetési idő		$T_{RCD}$	18	-	ns
RAS-RAS késleltetési idő		$T_{RC}$	60	-	ns
Bank aktív időtartama		$T_{RAS}$	42	100000	ns
Frissítési periódusidő		$T_{REF}$	-	64	ms

<sup>1</sup> Az eddigi tapasztalatok alapján CL=2 beállítás esetén az SDRAM 120 MHz-en is hibátlanul működik.

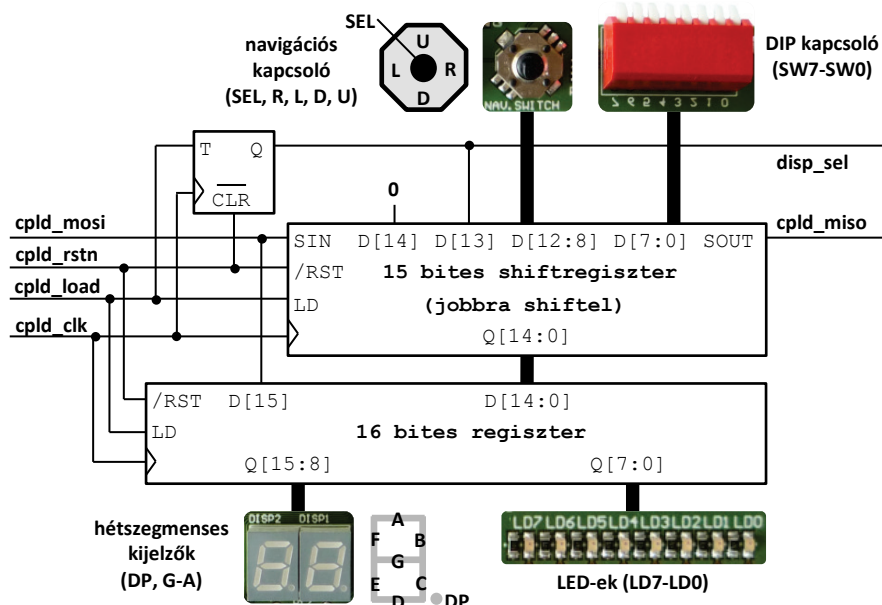
### 3 LED-ek, hétszegmenses kijelzők, kapcsolók

A kártyán található LED-ek, hétszegmenses kijelzők, a DIP kapcsoló és a navigációs kapcsoló egy egyszerű soros interfészen keresztül csatlakozik az FPGA-hoz. Az interfészhez tartozó jeleket a 3-1. táblázat foglalja össze, a jelek elnevezése a dokumentum végén található UCF fájl szerinti.

3-1. táblázat: A CPLD interfészhez tartozó jelek.

Jel neve	FPGA láb	Funkció
cpld_jtagen	P82	A CPLD programozását engedélyező jel. <b>Normál használat esetén logikai alacsony szinttel hajtsuk meg!</b>
cpld_rstn	P74	Aktív alacsony aszinkron reset jel. Az LCD kijelzőt is alapállapotba állítja.
cpld_clk	P78	A soros adatátvitelt ütemező órajel.
cpld_load	P80	A párhuzamos adatok betöltését engedélyező jel.
cpld_mosi	P81	Soros adatvonal az FPGA felől a CPLD felé.
cpld_miso	P79	Soros adatvonal a CPLD felől az FPGA felé.

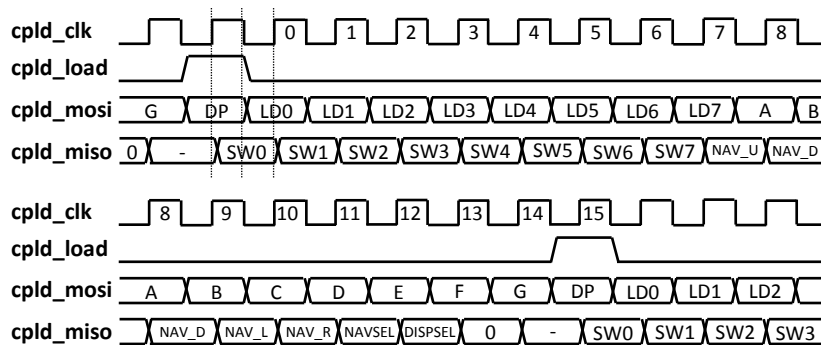
Az adatok soros-párhuzamos átalakítását végző egyszerű, shiftregiszter alapú logika egy CPLD segítségével van megvalósítva, ennek blokkvázlata a 3-1. ábrán látható. Egy periódusban 16 adatbit kerül továbbításra. Az utolsó adatbittel együtt kiadott *cpld\_load* betöltő jel hatására a kimeneti adatregiszterbe beíródik a LED-eken és az aktív hétszegmenses kijelzőn megjelenő adat, valamint a shiftregiszterbe betöltődik a DIP kapcsoló, a navigációs kapcsoló és a *disp\_sel* kijelző kiválasztó jel aktuális állapota. A két hétszegmenses kijelző időmultiplexelt vezérlését a CPLD végzi a *disp\_sel* jel segítségével. Ezt a jelet egy T flip-flop állítja elő, amely invertálja az állapotát, ha a *cpld\_load* jel aktív. A beolvasott *disp\_sel* jel értéke határozza meg, hogy a következő periódusban mely hétszegmenses kijelzőn megjelenő adatot kell elküldeni (*disp\_sel*=0: DISP2, *disp\_sel*=1: DISP1).



3-1. ábra: A CPLD-ben megvalósított logika blokkvázlata.

A soros kommunikáció idődiagramja a 3-2. ábrán látható. A CPLD-ben lévő regiszterek az órajel felfutó élére működnek, azaz a bemenetek mintavételezése és a következő adatbit kiadása az FPGA felé az órajel felfutó élének hatására történik.





3-2. ábra: A CPLD interfész idődiagramja.

## 4 Az SPI buszra illeszkedő perifériák

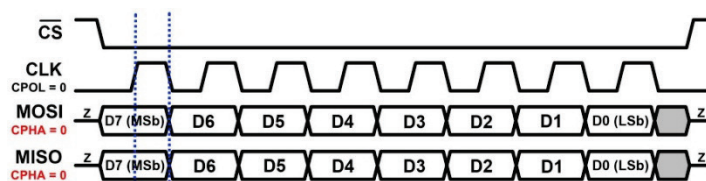
Az FPGA kártyán lévő Atmel AT25DF321A típusú FLASH memória, az Electronic Assembly EADOGS102N-6 típusú grafikus LCD kijelző, valamint a MicroSD kártya foglalat egy közös SPI buszon keresztül kapcsolódik a Spartan-6 FPGA-hoz. Az SPI interfészhez tartozó jelek a 4-1. táblázatban láthatóak, a jelek elnevezése a dokumentum végén található UCF fájl szerinti. A nem használt SPI perifériákhoz tartozó CS<sub>n</sub> chip-select vonalakat logikai magas szinttel hajtjuk meg. A chip-select vonalak közül egyszerre csak egy lehet aktív.

4-1. táblázat: Az SPI interfészhez tartozó jelek.

Jel neve	FPGA láb	Írány	Funkció
spi_sdcard_csn	P75	kimenet	A MicroSD kártya aktív alacsony kiválasztó jele.
spi_flash_csn	P38	kimenet	A FLASH memória aktív alacsony kiválasztó jele.
spi_lcd_csn	P69	kimenet	Az LCD kijelző aktív alacsony kiválasztó jele.
spi_clk	P70	kimenet	A soros adatátvitelt ütemező órajel.
spi_mosi	P64	kimenet	Soros adatvonal az FPGA felől az SPI perifériák felé.
spi_miso	P65	kétirányú	Soros adatvonal a FLASH memória és a MicroSD kártya felől az FPGA felé. <b>Az LCD kijelző esetén ez az FPGA láb kimenet, meghatározza, hogy az elküldött bájtot adatként vagy parancsként értelmezi a kijelző.</b>

Ha az LCD kijelzőt valamely másik SPI perifériával együtt szeretnénk használni, akkor speciális, egyedi SPI vezérlőre van szükség a MISO vonalnak a kiválasztott perifériától függő iránya miatt.

A kártyán található SPI perifériák a Mode 0 üzemmódot használják, melynek idődiagramja a 4-1. ábrán látható. Ebben az üzemmódban az adatok mintavételezése az SPI órajel felfutó élére történik, a következő adatbit pedig az órajel lefutó élének hatására kerül kiadásra. Az adatátvitel kezdete előtt az adott perifériához tartozó chip-select vonalat logikai alacsony szintre kell állítani. Ezután történik az adatok átvitele, mindig a legnagyobb helyiértékű bittel (MSb) kezdve. Az idődiagramon egy bájt átvitele látható, de természetesen lehetséges egymás után több bájt átvitele is. Az adatátvitel lezárásához az adott periféria kiválasztó jelét az inaktív, logikai magas szintre kell állítani.



4-1. ábra: A Mode 0 SPI adatátvitel idődiagramja.

## 4.1 Soros FLASH memória

A kártyán található Atmel AT25DF321A típusú, 32 Mbit kapacitású SPI buszos soros FLASH memória adattárolásra, valamint az FPGA számára konfigurációs memóriaként is szolgál. Konfigurációs memóriaként történő alkalmazás esetén a kb. 333 kB méretű konfigurációs bitfolyamot a FLASH memória elejére, a 0x000000 címtől kezdve kell beírni, a fennmaradó szabad terület pedig tetszőleges célra felhasználható. Az eszköz használatáról részletesen annak adatlapjában olvashatunk, a fontosabb parancsokat a 4-2. táblázat foglalja össze. A parancs kiadása előtt a chip-select jelet logikai alacsony szintre kell állítani. Az aktuális parancs végét a chip-select jel logikai magas szintre állítása jelzi, újabb parancs csak ezután adható ki az eszköznek.

4-2. táblázat: A FLASH memóriának kiadható fontosabb parancsok.

Parancs	Max. $f_{CLK}$ [MHz]	Elküldendő (MOSI) és beolvasott (MISO) adatok				
			Opkód	1. bájt	2. bájt	3. bájt
Adat olvasása	50	MOSI	0x03	Az adat kezdőcíme (MSB először)		
		MISO	-	-	-	-
4 kB-os blokk törlése	100	MOSI	0x20	A 4 kB-os blokk kezdőcíme (MSB először)		
32 kB-os blokk törlése	100	MOSI	0x52	A 32 kB-os blokk kezdőcíme (MSB először)		
64 kB-os blokk törlése	100	MOSI	0xD8	A 64 kB-os blokk kezdőcíme (MSB először)		
A teljes chip törlése	100	MOSI	0x60			
Bájt/lap (max. 256 bájt) írása	100	MOSI	0x02	A bájt/lap kezdőcíme (MSB először)		
Írás engedélyezés	100	MOSI	0x06			
Írás tiltás	100	MOSI	0x04			
64 kB-os blokk védelmének megszüntetése	100	MOSI	0x39	A 64 kB-os blokk kezdőcíme (MSB először)		
Státusz regiszter olvasás	100	MOSI	0x05	-	-	
		MISO	-	SREG 1. bájt	SREG 2. bájt	
Státusz regiszter írás (1. bájt)	100	MOSI	0x01	Adat		
Státusz regiszter írás (2. bájt)	100	MOSI	0x31	Adat		

A memória aktuális állapotáról a 2 bájtos státusz regiszter tartalma ad információt, melyet a *státusz regiszter olvasás parancssal* (0x05) olvashatunk ki. A státusz regiszter egyes bitjei írhatók is, az első és a második bájt írásához egy-egy *státusz regiszter írás parancs* (0x01 és 0x31) tartozik. A státusz regiszter bitjeinek értelmezése a 4-3. és a 4-4. táblázatban található.

4-3. táblázat: A státusz regiszter 1. bájtja.

Bit	Név	Típus	Funkció
7	SPRL	R/W	A szektorvédelem regiszterek zárolása. 0: A szektor védelem regiszterek módosíthatóak (alapértelmezett). 1: A szektor védelem regiszterek nem módosíthatóak.
6	RES	R	Fenntartott, olvasáskor 0 értékű.
5	EPE	R	Törlés vagy programozás hiba. 0: A törlés vagy programozás művelet sikeres volt. 1: A törlés vagy programozás során hiba történt.
4	WPP	R	Az eszköz írásvédelem lábának (/WP) állapota.
3:2	SWP	R	A szektorvédelem állapota. 00: Egyik szektor sem védett állapotú. 01: Vannak védett és nem védett szektorok is. 10: Fenntartott. 11: Minden szektor védett állapotú (alapértelmezett).
1	WEL	R	Az írás engedélyezés latch állapota. 0: Az írási vagy törlési műveletek tiltottak (alapértelmezett). 1: Az írási vagy törlési műveletek engedélyezettek.
0	RDY/BSY	R	0: Az eszköz nem hajt végre belső műveletet (írás vagy törlés). 1: Belső művelet végrehajtása van folyamatban.



4-4. táblázat: A státusz regiszter 2. bájtja.

Bit	Név	Típus	Funkció
7:5	RES	R	Fenntartott, olvasáskor 0 értékű.
4	RSTE	R/W	0: A reset parancs tiltott (alapértelmezett) 1: A reset parancs engedélyezett.
3	SLE	R/W	0: A végleges szektorvédelem parancs tiltott (alapértelmezett). 1: A végleges szektorvédelem parancs engedélyezett.
2	PS	R	A programozás felfüggesztés állapota. 0: Nincs szektor programozási művelet felfüggesztve. 1: Egy szektor programozása fel van függesztve.
1	ES	R	A törlés felfüggesztés állapota. 0: Nincs szektor törlési művelet felfüggesztve. 1: Egy szektor törlése fel van függesztve.
0	RDY/BSY	R	0: Az eszköz nem hajt végre belső műveletet (írás vagy törlés). 1: Belső művelet végrehajtása van folyamatban.

Minden programozással, törléssel, szektorvédelemmel és státusz regiszter írással kapcsolatos parancs előtt ki kell adni az *írás engedélyezés parancsot* (0x06), melynek hatására a státusz regiszter WEL bitje 1 értékű lesz. A WEL bit automatikusan törlődik a felsorolt parancsok sikeres vagy sikertelen végrehajtása után, valamint manuálisan is törölhető az *írás tiltás parancs* (0x04) kiadásával.

A felejtő szektorvédelem bitek a tápfeszültség bekapcsolása után 1 értékűek lesznek, azaz minden szektor alapértelmezésben védett állapotú. Programozás és törlés művelet csak nem védett szektorokon hajtható végre. Egy 64 kB méretű szektorhoz tartozó védelmi bitet a *szektor védelem megszüntetés parancs* (0x39) kiadásával tudunk törölni. Lehetőség van a chip összes védelmi bitjének egyszerre történő törlésére is a státusz regiszter első bájtjában az EPE, WPP és SWP bitekbe nullát írva. Azok a szektorok többé már nem törölhetők vagy programozhatók, amelyek esetén a végleges (nem felejtő) szektorvédelem aktiválva lett.

A programozás előtt az adott blokkot törölni kell a megfelelő törlési parancs kiadásával. Lehetőség van 4 kB, 32 kB vagy 64 kB méretű blokk, illetve a teljes tartalom törlésére is. A törlés időigényes művelet, a parancs kiadása után a státusz regiszter RDY/BSY bitje 1 lesz, a művelet befejeződésekor az RDY/BSY bit törlődik.

Az adatok programozása 256 bájtos laponként történik a *bájt/lap írás parancs* (0x02) segítségével. A beírt adatok egy 256 bájtos átmeneti tárolóba kerülnek. Ha a megadott kezdőcím nem esett 256 bájtos határra, akkor a címszámláló a túlcsordulásakor az aktuális lap elejére fog mutatni. A programozás során ténylegesen csak azok a bájtok módosulnak, amely pozíciókba írás történt, azaz lehetőség van akár egyetlen bájt beírására is. A programozás időigényes művelet, a parancs kiadása után a státusz regiszter RDY/BSY bitje 1 lesz, a művelet befejeződésekor az RDY/BSY bit törlődik.

Az egyes műveletek végrehajtási idejéről a 4-5. táblázat ad tájékoztatást.

4-5. táblázat: Az egyes műveletek időtartama.

Paraméter	Minimum	Tipikus	Maximum	Egység
Lap programozási idő (256 bájt)	-	1	3	ms
Bájt programozási idő	-	7	-	µs
Blokk törlési idő	4 kB	50	200	ms
	32 kB	250	600	
	64 kB	400	950	
Chip törlési idő	-	25	40	s
Státusz regiszter írási idő	-	-	200	ns

## 4.2 Grafikus LCD kijelző

A LOGSYS Spartan-6 FPGA kártyán lévő Electronic Assembly EADOGS102N-6 típusú 102 x 64 pixeles grafikus LCD kijelző kezelése az SPI buszon keresztül lehetséges. Az LCD kijelző CD bemenete az SPI interfész MISO vonalára kapcsolódik, a kijelzővel való kommunikáció esetén a MISO vonalat tehát az FPGA-nak kell meghajtania. A MISO vonal értéke határozza meg, hogy az elküldött bájtot a kijelző parancsként (0) vagy adatként (1) értelmezi. A MISO vonal értéke a legkisebb helyiértékű bit (D0) vételekor kerül beolvasásra. A parancs- és adatbájtok a chip-select jel visszavétele nélkül, folyamatosan küldhetők az eszköznek, az órajel frekvenciája legfeljebb 33 MHz lehet. A kijelzőben található UC1071 vezérlő IC parancskészlete a 4-6. táblázatban látható, az aláhúzással jelölt parancsok két bájtból állnak.

4-6. táblázat: Az LCD kijelző parancskészlete.

Parancs	MI	Parancs kódja								Funkció
		D7	D6	D5	D4	D3	D2	D1	D0	
Adatbájt beírás	1	adat								Egy adatbájtot beír az SRAM-ba.
Oszlopcím beállítás	0	0	0	0	0	CA[3:0]				Beállítja az SRAM oszlopcímet (CA: 0 – 131).
	0	0	0	0	1	CA[7:4]				
Tápellátás vezérlés	0	0	0	1	0	1	PC[2:0]			PC[0]: booster ki (0) vagy be (0) PC[1]: feszültség regulátor ki (0) vagy be (1) PC[2]: feszültségkövető ki (0) vagy be (1)
	0	0	0	1	0	0	PC[5:3]			A $V_{LCD}$ feszültség durva beállítása a kontraszt szabályozásához (PC[5:3]: 0 – 7). $V_{LCD} = PC[5:3] \cdot V_{EV} \cdot [1 + (T - 25) \cdot C_T\%]$
Függőleges görgetés	0	0	1	SL[5:0]					Beállítja a kezdő sor indexét (SL: 0 – 63).	
Lapcím beállítás	0	1	0	1	1	PA[3:0]				Beállítja az SRAM lapcímet (PA: 0 – 7).
<u>V<sub>EV</sub> beállítás</u>	0	1	0	0	0	0	0	0	1	A $V_{LCD}$ feszültség finom beállítása a kontraszt szabályozásához (PM: 0 – 63). $V_{REF} = 1,68$ V. $V_{EV} = \left(1 - \frac{63 - PM}{162}\right) \cdot V_{REF}$
		0	0	PM[5:0]						
Minden pixel be	0	1	0	1	0	0	1	0	C1	C1 = 0: az SRAM tartalom megjelenítése C1 = 1: minden pixel bekapcsolása
Inverz kijelzés	0	1	0	1	0	0	1	1	C0	C0 = 0: normál SRAM tartalom megjelenítése C0 = 1: inverz SRAM tartalom megjelenítése
Kijelző engedélyezés	0	1	0	1	0	1	1	1	C2	C2 = 0: a kijelző tiltva van (alvó állapot) C2 = 1: a kijelző engedélyezve van
SEG irány beállítás	0	1	0	1	0	0	0	0	MX	MX = 0: normál oszlopcímzés (0 – 131) MX = 1: fordított oszlopcímzés (131 – 0)
COM irány beállítás	0	1	1	0	0	MY	0	0	0	MY = 0: normál sorcímzés (0 – 63) MY = 1: fordított sorcímzés (63 – 0)
Reset	0	1	1	1	0	0	0	1	0	A kijelző alapállapotba állítása.
LCD bias beállítás	0	1	0	1	0	0	0	1	BR	BR = 0: 1/9, BR = 1: 1/7
<u>APC0 regiszter írás</u>	0	1	1	1	1	1	0	1	0	TC = 0: -0,05 %/°C hőmérséklet kompenzáció (C <sub>T</sub> ) TC = 1: -0,11 %/°C hőmérséklet kompenzáció (C <sub>T</sub> ) WC: oszlopcím átfordulás ki (0) vagy be (1) WP: lapcím átfordulás ki (0) vagy be (1)
		TC	0	0	1	0	0	WC	WP	

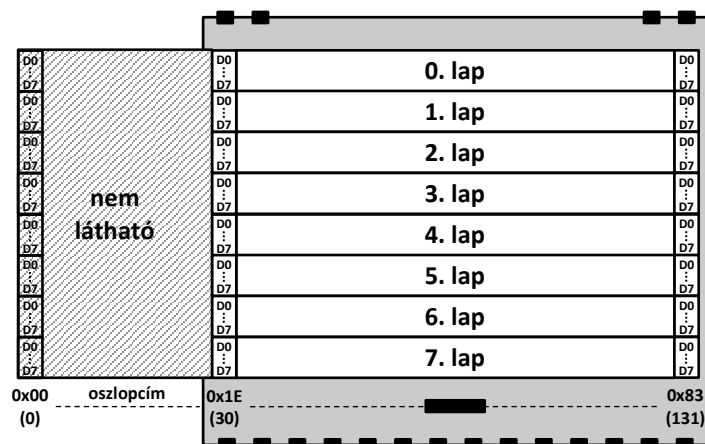
A CPLD interfész *cpld\_rstn* aktív alacsony reset jele nem csak a CPLD-ben megvalósított logikát, hanem az LCD kijelzőt is alapállapotba állítja.

Az LCD kijelző inicializálása során kiadandó parancsokat a 4-7. táblázat tartalmazza. Az FPGA kártyán a kijelző 180 fokkal elforgatva van beültetve, ezért az inicializálásnál normál irányú oszlopcímzést (SEG) és fordított irányú sorcímzést (COM) kell beállítani a kép helyes megjelenése érdekében.

4-7. táblázat: Az LCD kijelző inicializálása.

Parancs	MI	Parancs kódja									Megjegyzés
	SO	D7	D6	D5	D4	D3	D2	D1	D0	Hexa	
Függőleges görgetés	0	0	1	0	0	0	0	0	0	0x40	Az első megjelenített sor a 0. sor.
SEG irány beállítás	0	1	0	1	0	0	0	0	0	0xA0	Normál irányú oszlopcímzés.
COM irány beállítás	0	1	1	0	0	1	0	0	0	0xC8	Fordított irányú sorcímzés.
Minden pixel be	0	1	0	1	0	0	1	0	0	0xA4	Az SRAM tartalom megjelenítése.
Inverz kijelzés	0	1	0	1	0	0	1	1	0	0xA6	Az inverz megjelenítés tiltása.
LCD bias beállítás	0	1	0	1	0	0	0	1	0	0xA2	1/9 LCD bias.
Tápellátás vezérlés	0	0	0	1	0	1	1	1	1	0x2F	A tápellátás bekapcsolása.
Tápellátás vezérlés	0	0	0	1	0	0	1	1	1	0x27	A kontraszt beállítása.
V <sub>EV</sub> beállítás	0	1	0	0	0	0	0	0	1	0x81	
			0	0	0	1	0	0	0	0x10	
APC0 regiszter írás	0	1	1	1	1	1	0	1	0	0xFA	-0,11 %/°C hőmérséklet kompenzáció.
		1	0	0	1	0	0	0	0	0x90	
Kijelző engedélyezés	0	1	0	1	0	1	1	1	1	0xAF	A megjelenítés bekapcsolása.

A megjelenítendő pixel adatokat egy belső SRAM tárolja. A memória 8 lapra van osztva, mindegyik lap 8 sort tartalmaz. A beírt adatbájtok a lap egy oszlopához tartoznak. A legkisebb helyiértékű bit (D0) a lap legfelső sorának egy pixelét, a legnagyobb helyiértékű bit (D7) pedig a lap legsós sorának egy pixelét vezérli. Az inicializálás során megadott SEG és COM irány beállítások miatt a kijelző bal oldalához a 0x1E oszlopcím tartozik. Ezt szemlélteti a 4-2. ábra. A pixel adatok beírása előtt, amennyiben szükséges, először be kell állítani a lap címét, majd pedig az írni kívánt oszlop címét. Az adat beírása után az oszlopcím automatikusan eggyel növekszik. A laphatárt elérve a lapcím nem növekszik automatikusan.



4-2. ábra: A pixel adatokat tároló memória felosztása.

### 4.3 MicroSD kártya

Az FPGA kártyán lévő MicroSD kártya foglalat lehetővé teszi nagy adattároló kapacitást biztosító MicroSD memóriakártya illesztését az SPI interfészen keresztül. A memóriakártya a tápfeszültség bekapcsolása után SD módban indul el, az SPI módot külön engedélyezni kell az inicializálás során. Ezért a zavarok elkerülése végett egy buszmeghajtó IC segítségével leválasztásra kerülnek az SPI adatvonalak, ha a memóriakártya chip-select jele inaktív. Az SD memóriakártyák kezelése összetett, az ehhez szükséges információkat az SD Specifications<sup>2</sup> dokumentum tartalmazza.

<sup>2</sup> Az egyszerűsített specifikáció letölthető a [https://www.sdcard.org/downloads/pls/simplified\\_specs](https://www.sdcard.org/downloads/pls/simplified_specs) címről.

## 5 Nyomógombok

A LOGSYS Spartan-6 FPGA kártyán található 4 darab nyomógomb bekötését az 5-1. táblázat mutatja. A nyomógombok jelölése balról jobbra rendre BTN2-BTN0 és /RST. A BTN2-BTN0 gombok megnyomása esetén logikai magas szint (3,3 V), az /RST gomb megnyomása esetén logikai alacsony szint (0 V) kerül az adott FPGA lábba. A nyomógombok használatához engedélyezni kell az adott FPGA lábhoz tartozó lehúzó (BTN2-BTN0), illetve felhúzó (/RST) ellenállást. Az /RST gomb elsősorban az alaphelyzetbe állításra szolgál, de tetszőlegesen is felhasználható.

5-1. táblázat: A nyomógombok bekötése.

Nyomógomb	BTN2	BTN1	BTN0	/RST
FPGA láb	P61	P62	P66	P67

## 6 Órajel források

Az FPGA a kártyán lévő 50 MHz-es oszcillátortól és a fejlesztői port CLK vonaláról kaphat órajelet. Mindkettő az FPGA egy-egy órajel bemeneti lábára (GCLK) csatlakozik. Az oszcillátor 50 MHz-es órajeléből az FPGA-ban található DCM (Digital Clock Manager) és PLL (Phase Locked Loop) modulok segítségével egyéb frekvenciák is előállíthatók. Az órajel források bekötését a 6-1. táblázat mutatja.



6-1. táblázat: Az órajel források bekötése.

Órajel forrás	FPGA láb
50 MHz-es oszcillátor	P55
Fejlesztői port CLK vonala	P95

## 7 FPGA konfigurációs módok

A LOGSYS Spartan-6 FPGA kártya esetén kétféle konfigurációs mód lehetséges. Az FPGA felkonfigurálható a fejlesztői port JTAG interfészen keresztül, illetve az eszköz képes magát felkonfigurálni a kártyán lévő SPI buszos soros FLASH memóriából is. A konfigurációs mód egy jumperrel választható ki a 7-1. táblázatnak megfelelően. A JTAG interfész a kiválasztott módtól függetlenül mindig rendelkezésre áll.

7-1. táblázat: Az FPGA lehetséges konfigurációs módjai

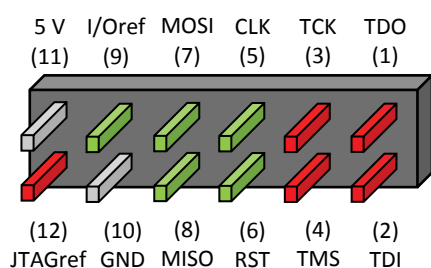
Jumper állása	Konfigurációs mód	Leírás
	JTAG	Az FPGA-t a JTAG interfészen keresztül kell felkonfigurálni.
	SPI	Az FPGA az SPI buszos soros FLASH memóriából konfigurálja fel magát a tápfeszültség bekapcsolása vagy a PROG gomb megnyomása után.

## 8 LOGSYS fejlesztői port

A LOGSYS fejlesztői kábel a fejlesztői porton keresztül illeszthető a kártyához. A fejlesztői port az alábbi interfészekkel rendelkezik:

- JTAG interfész: TDI, TDO, TCK és TMS vonalak
- Vezérlési interfész:
  - CLK órajel bemenet a fejlesztői kábeltől az FPGA felé
  - RST reset bemenet a fejlesztői kábeltől az FPGA felé
- Soros kommunikációs interfész:
  - MOSI soros adat bemenet a fejlesztői kábeltől az FPGA felé
  - MISO soros adat kimenet az FPGA-tól a fejlesztői kábel felé
- Tápellátás:
  - 5 V tápfeszültség bemenet
  - Referenciafeszültség kimenetek a fejlesztői kábel számára: I/Oref, JTAgref

A fejlesztői port tűsorosának lábkiosztása a 8-1. ábrán látható. A vezérlési és a soros kommunikációs vonalak bekötését a 8-1. táblázat mutatja. A CLK és az RST bemenetekre egy-egy 10 k $\Omega$ -os lehúzó ellenállás, a MOSI és a MISO vonalakra pedig egy-egy külső 10 k $\Omega$ -os felhúzó ellenállás van kötve.



8-1. ábra: A fejlesztői port tűsorosának lábkiosztása.

8-1. táblázat: A fejlesztői port bekötése.

Jel	Irány	FPGA láb
MOSI	bemenet	P104
MISO	kimenet	P144
CLK	bemenet	P95
RST	bemenet	P94

## 9 Tápellátás

Az FPGA kártya 5 V-os tápfeszültséget igényel. A tápellátás alapvetően a fejlesztői kábeltől történik, de lehetőség van egyéb külső 5 V-os egyenfeszültség forrás csatlakoztatására is. Az 5 V DC tápcsatlakozó védett a fordított polaritású bekötés ellen.

Az FPGA a működéséhez 3,3 V-os (I/O vonalak, konfiguráció, DCM és PLL) és 1,2 V-os (belső mag) tápfeszültséget igényel. Ezeket a feszültségeket az 5 V-os tápfeszültségből külön tápegységek állítják elő. A kártyán található perifériák és az I/O vonalak 3,3 V-ról működnek, a fejlesztői kábel 3,3 V-os I/O referenciafeszültséget (I/Oref) kap a fejlesztői porton keresztül. A JTAG interfész szintén 3,3 V-os feszültségről működik, a fejlesztői kábel 3,3 V-os JTAG referenciafeszültséget (JTAgref) kap a fejlesztői porton keresztül.

## 10 Bővítőcsatlakozók

A LOGSYS Spartan-6 FPGA kártyához a kiegészítő modulok illesztését három 16 pólusú csatlakozó teszi lehetővé. Mindhárom csatlakozó lábkiosztása azonos, ez a kártya szerinti nézetből a 10-1. ábrán látható. A csatlakozókra ki van vezetve a 3,3 V-os és az 5 V-os tápfeszültség is, azonban az adatvonalak 3,3 V-ról működnek és nem 5 V toleránsak. A 13 adatvonal mindegyike kétirányú. A csatlakozókon az 5-16 sorszámú kivezetések differenciális párként is használhatóak, az „A” és a „C” csatlakozó esetén kétirányú vonalként, a „B” csatlakozó esetén viszont csak bemenetként. A bővítőcsatlakozók bekötését a 10-1. táblázat mutatja. A globális órajel bemenetként (GCLK) használható FPGA lábak aláhúzással vannak jelölve a táblázatban.

(15) I/O	(13) I/O	(11) I/O	(9) I/O	(7) I/O	(5) I/O	(3) +3,3V	(1) GND
(16) I/O	(14) I/O	(12) I/O	(10) I/O	(8) I/O	(6) I/O	(4) I/O	(2) +5V

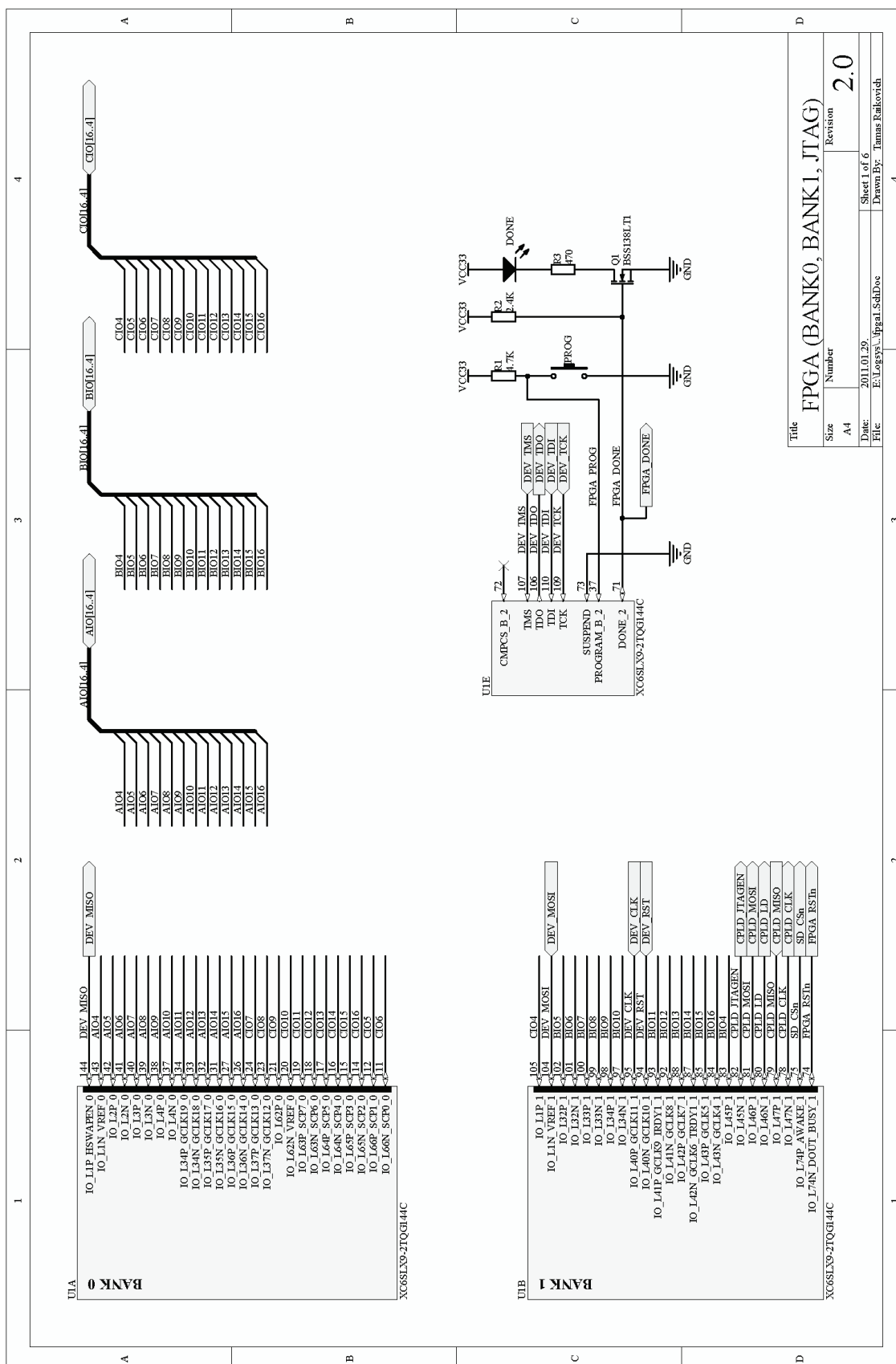
10-1. ábra: A bővítőcsatlakozók lábkiosztása.

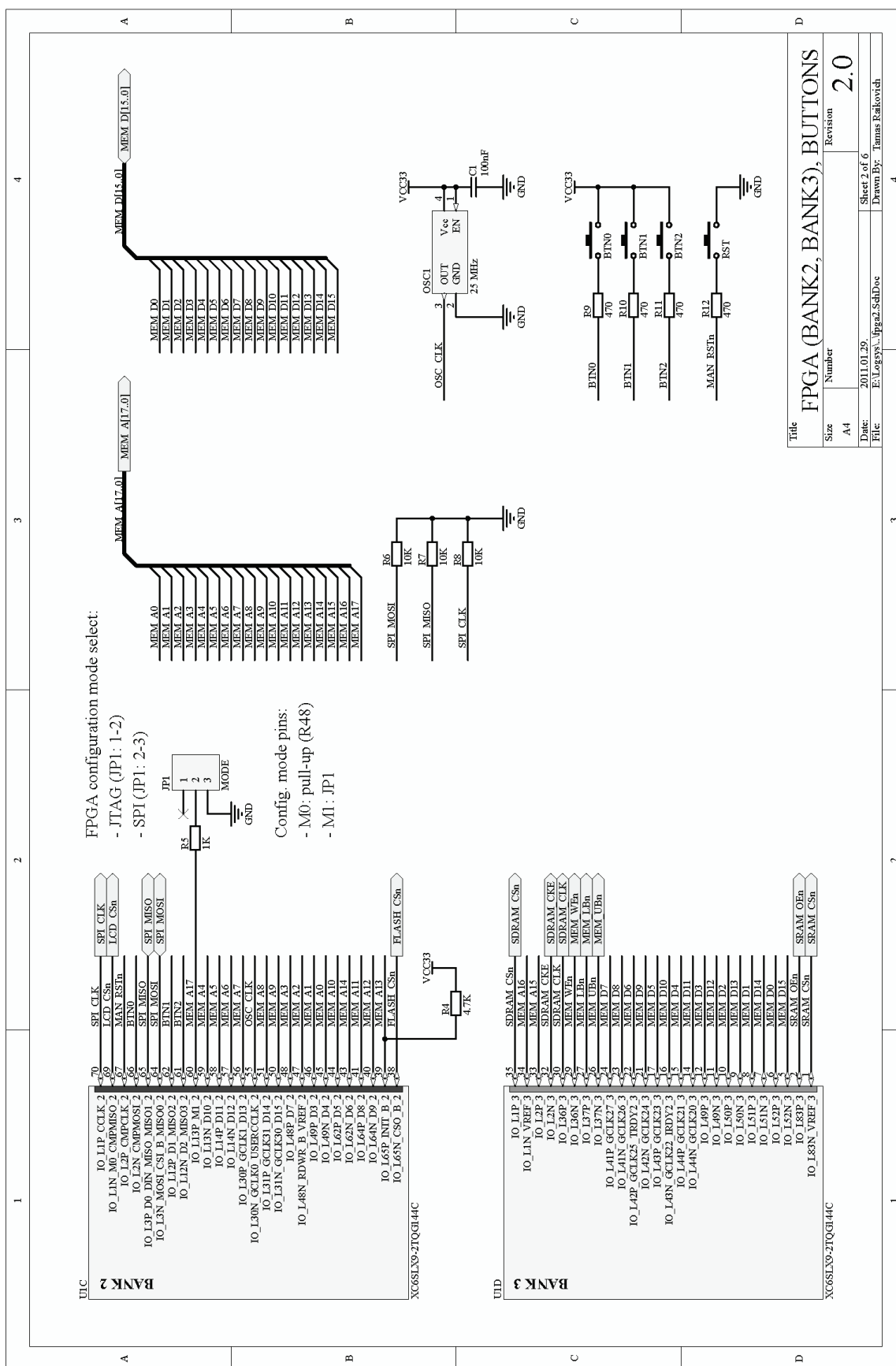
10-1. táblázat: A bővítőcsatlakozók bekötése

„A” bővítőcsatlakozó													
Kivezetés	AIO4	AIO5	AIO6	AIO7	AIO8	AIO9	AIO10	AIO11	AIO12	AIO13	AIO14	AIO15	AIO16
Differenciális párok		1P	1N	2P	2N	3P	3N	4P	4N	5P	5N	6P	6N
	kétirányú												
FPGA láb	P143	P142	P141	P140	P139	P138	P137	P134	P133	P132	P131	P127	P126
„B” bővítőcsatlakozó													
Kivezetés	BIO4	BIO5	BIO6	BIO7	BIO8	BIO9	BIO10	BIO11	BIO12	BIO13	BIO14	BIO15	BIO16
Differenciális párok		1P	1N	2P	2N	3P	3N	4P	4N	5P	5N	6P	6N
	differenciális párként csak bemenet												
FPGA láb	P83	P102	P101	P100	P99	P98	P97	P93	P92	P88	P87	P85	P84
„C” bővítőcsatlakozó													
Kivezetés	CIO4	CIO5	CIO6	CIO7	CIO8	CIO9	CIO10	CIO11	CIO12	CIO13	CIO14	CIO15	CIO16
Differenciális párok		1P	1N	2P	2N	3P	3N	4P	4N	5P	5N	6P	6N
	kétirányú												
FPGA láb	P105	P112	P111	P124	P123	P121	P120	P119	P118	P117	P116	P115	P114

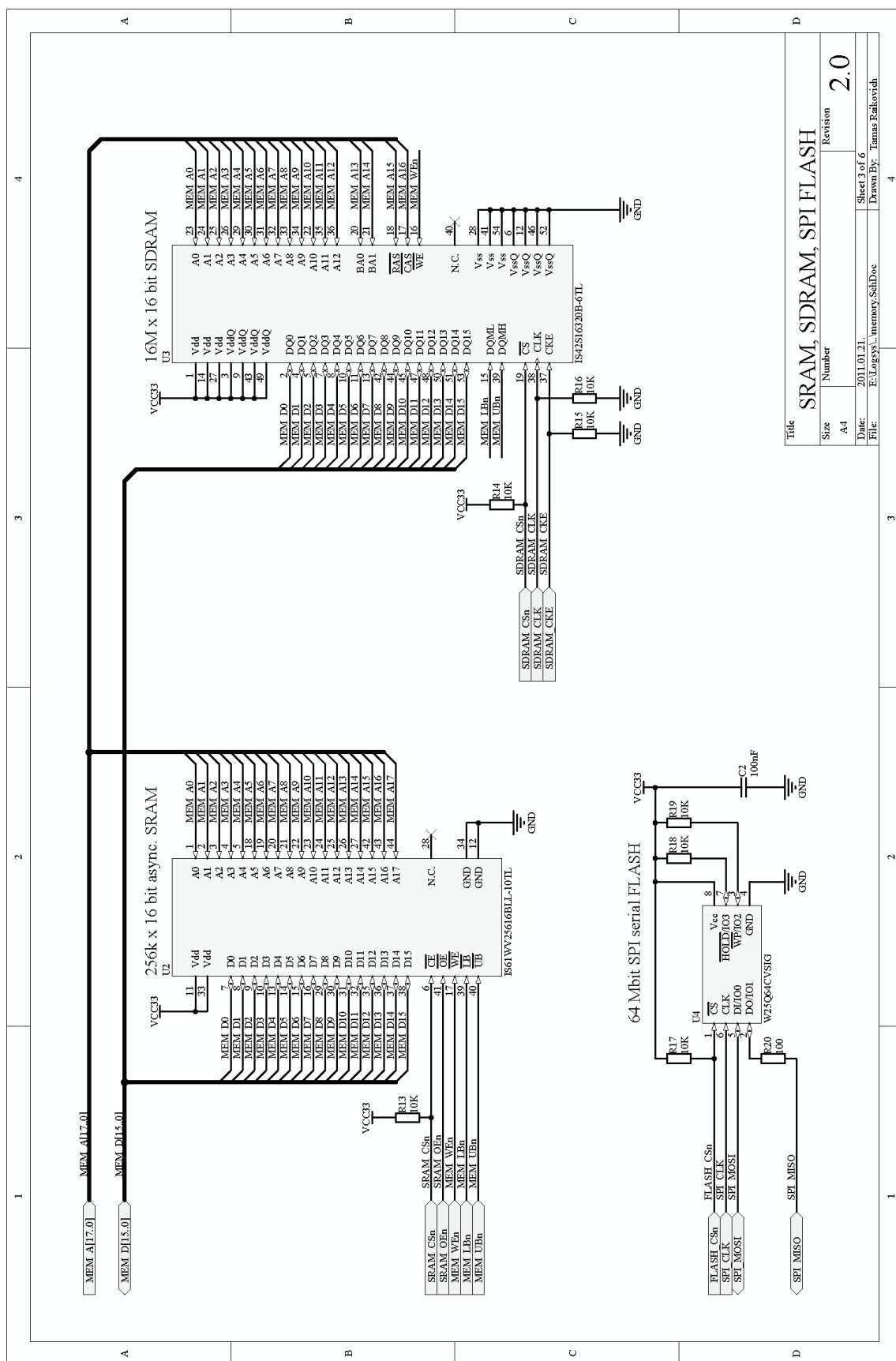


### 11.1 *FPGA*

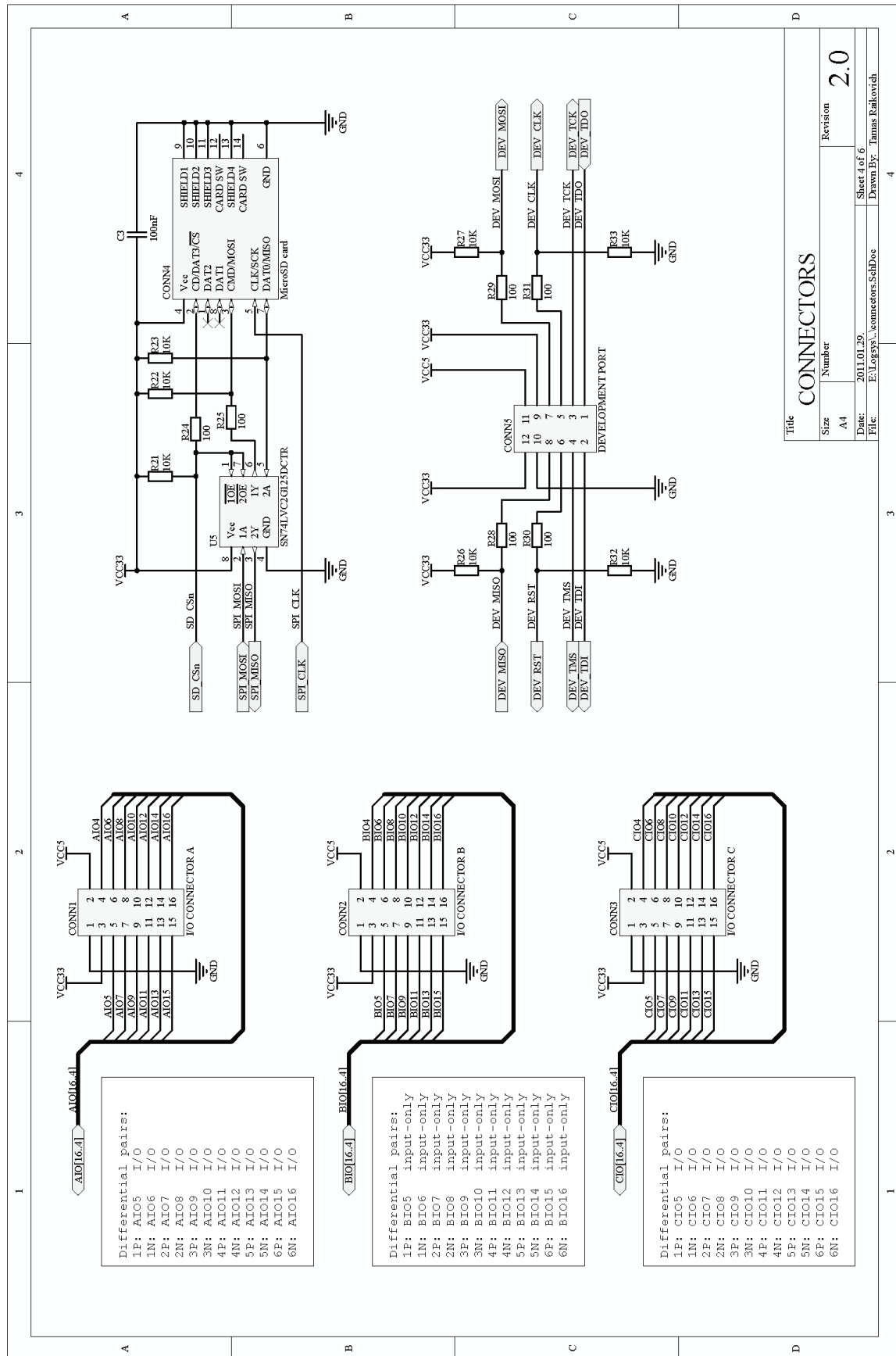




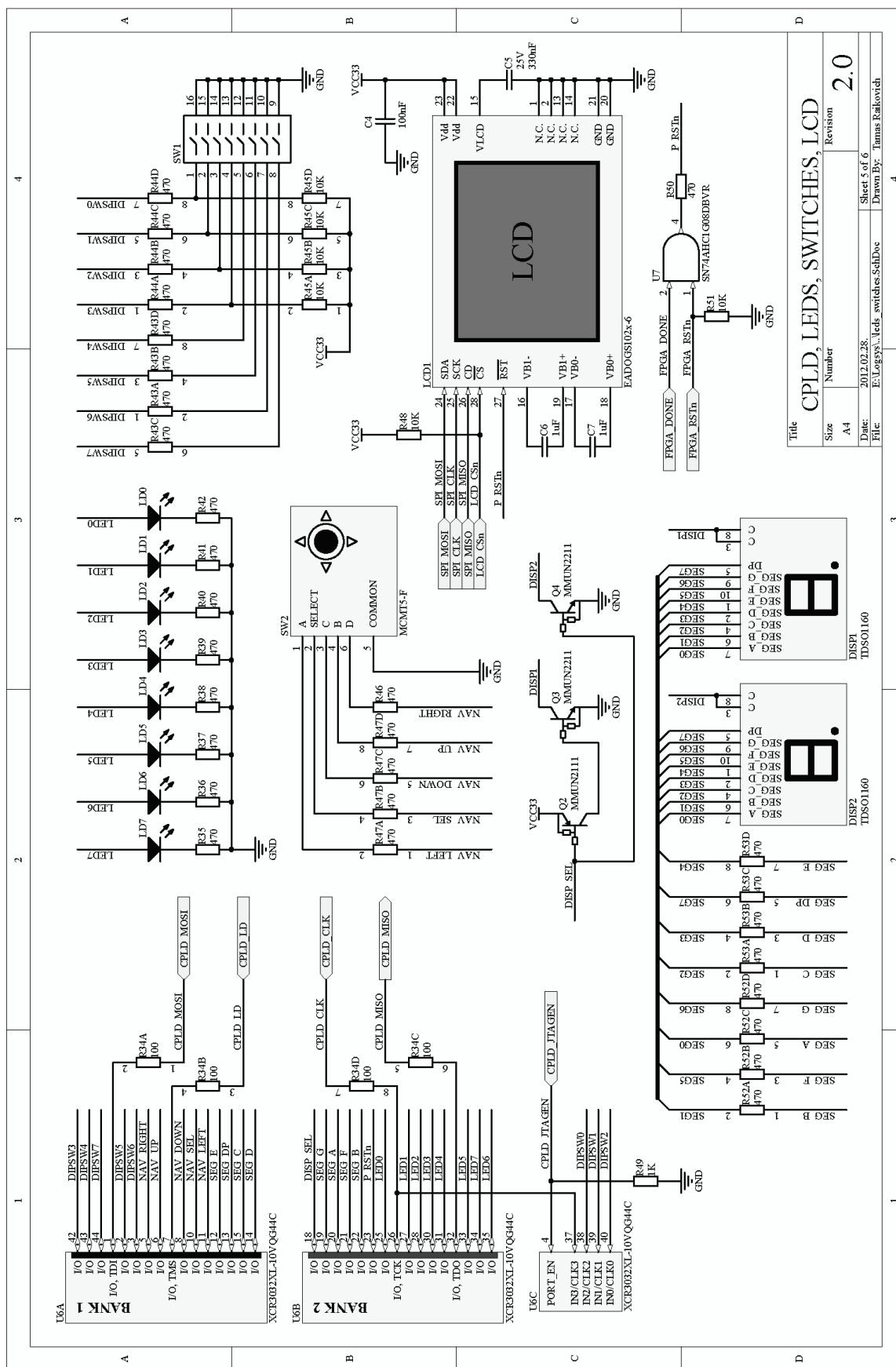
<http://logsys.mit.bme.hu>



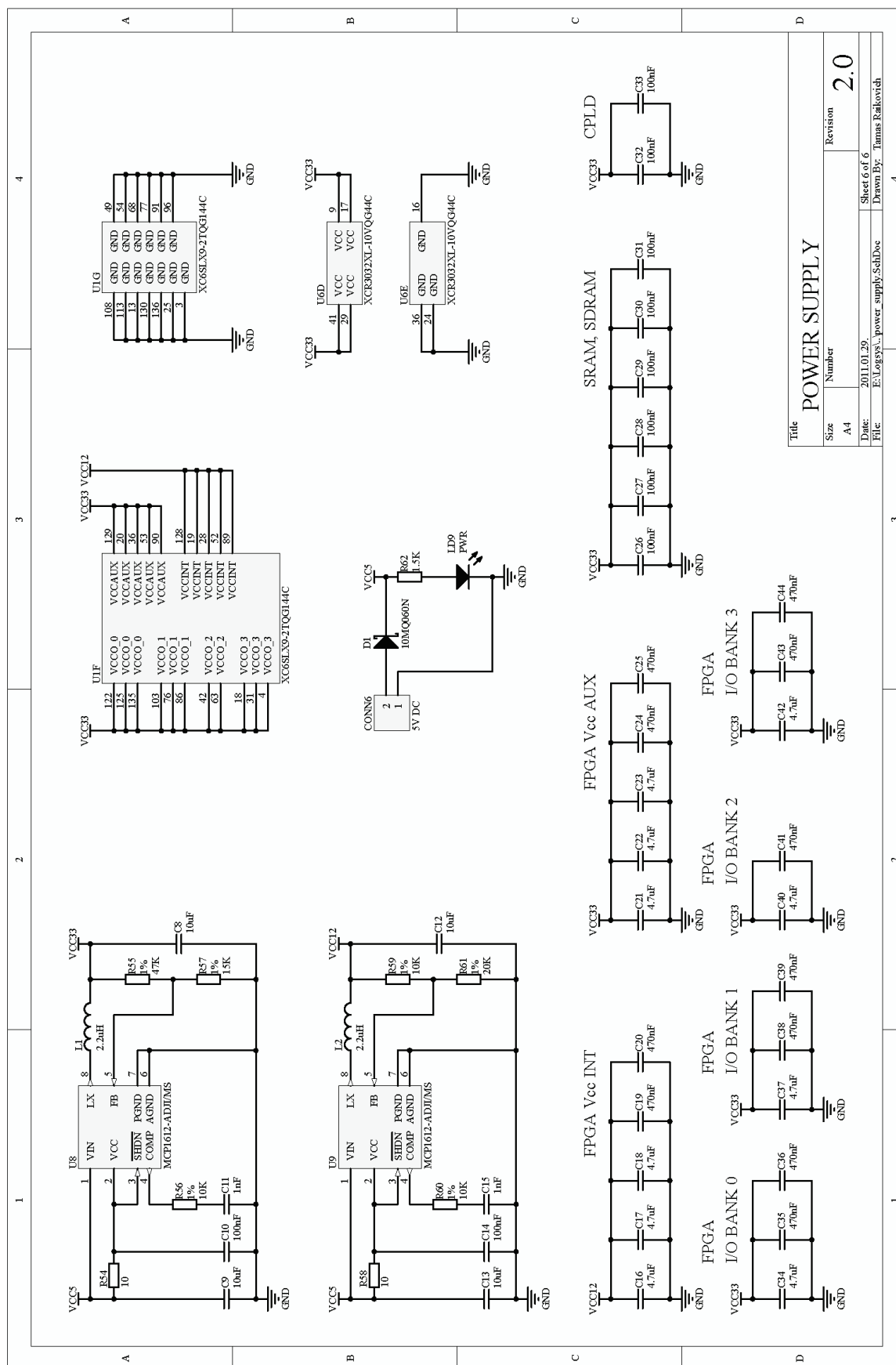
## 11.3 Csatlakozók



## 11.4 LED-ek, kijelzők, kapcsolók, nyomógombok



## 11.5 Tápegység





## 12 A kártyához tartozó UCF fájl

```
# LOGSYS XC6SLX9-2TQG144C Demo Board FPGA lábkiosztás v1.0
# A fájl az összes jelet tartalmazza, a kivezetés specifikációkat
# inaktív, megjegyzés állapotban tartva.
# Egy adott projektben csak a ténylegesen használt jeleket aktiváljuk,
# elkerülendő az ERROR és WARNING üzeneteket.

# A VccaUX tápfeszültség 3,3 V.
CONFIG VCCAUX=3.3;

# 50 MHz órajelgenerátor
#NET clk50M LOC=P55 | IOSTANDARD=LVCMOS33 | TNM_NET=tnm_clk50M;
#TIMESPEC TS_clk50M = PERIOD tnm_clk50M 50000 kHz;

# Manuális RST nyomógomb (aktív alacsony)
#NET rstbt LOC=P67 | IOSTANDARD=LVCMOS33 | PULLUP | TIG;

# A LOGSYS fejlesztői port vonalai.
#NET dev_mosi LOC=P104 | IOSTANDARD=LVCMOS33;
#NET dev_miso LOC=P144 | IOSTANDARD=LVCMOS33;
#NET dev_clk LOC=P95 | IOSTANDARD=LVCMOS33;
#NET dev_rst LOC=P94 | IOSTANDARD=LVCMOS33;

# 3 darab aktív magas nyomógomb, balról jobbra számozva.
#NET bt<2> LOC=P61 | IOSTANDARD=LVCMOS33 | PULLDOWN;
#NET bt<1> LOC=P62 | IOSTANDARD=LVCMOS33 | PULLDOWN;
#NET bt<0> LOC=P66 | IOSTANDARD=LVCMOS33 | PULLDOWN;

# A CPLD interfész vonalai. A cpld_jtagen jelet
# mindig logikai alacsony szinttel hajtsuk meg!
#NET cpld_jtagen LOC=P82 | IOSTANDARD=LVCMOS33;
#NET cpld_rstn LOC=P74 | IOSTANDARD=LVCMOS33;
#NET cpld_clk LOC=P78 | IOSTANDARD=LVCMOS33;
#NET cpld_load LOC=P80 | IOSTANDARD=LVCMOS33;
#NET cpld_mosi LOC=P81 | IOSTANDARD=LVCMOS33;
#NET cpld_miso LOC=P79 | IOSTANDARD=LVCMOS33;

# Az SPI interfész vonalai. A nem használt SPI perifériák
# kiválasztó jeleit logikai magas szinttel hajtsuk meg!
#NET spi_sdcard_csn LOC=P75 | IOSTANDARD=LVCMOS33;
#NET spi_flash_csn LOC=P38 | IOSTANDARD=LVCMOS33;
#NET spi_lcd_csn LOC=P69 | IOSTANDARD=LVCMOS33;
#NET spi_mosi LOC=P64 | IOSTANDARD=LVCMOS33;
#NET spi_miso LOC=P65 | IOSTANDARD=LVCMOS33;
#NET spi_clk LOC=P70 | IOSTANDARD=LVCMOS33;

# SRAM és SDRAM memóriák. A nem használt memóriák
# kiválasztó jeleit logikai magas szinttel hajtsuk meg!
#NET mem_addr<0> LOC=P45 | IOSTANDARD=LVTTL | DRIVE=8 | SLEW=FAST;
#NET mem_addr<1> LOC=P46 | IOSTANDARD=LVTTL | DRIVE=8 | SLEW=FAST;
#NET mem_addr<2> LOC=P47 | IOSTANDARD=LVTTL | DRIVE=8 | SLEW=FAST;
#NET mem_addr<3> LOC=P48 | IOSTANDARD=LVTTL | DRIVE=8 | SLEW=FAST;
#NET mem_addr<4> LOC=P59 | IOSTANDARD=LVTTL | DRIVE=8 | SLEW=FAST;
#NET mem_addr<5> LOC=P58 | IOSTANDARD=LVTTL | DRIVE=8 | SLEW=FAST;
#NET mem_addr<6> LOC=P57 | IOSTANDARD=LVTTL | DRIVE=8 | SLEW=FAST;
#NET mem_addr<7> LOC=P56 | IOSTANDARD=LVTTL | DRIVE=8 | SLEW=FAST;
#NET mem_addr<8> LOC=P51 | IOSTANDARD=LVTTL | DRIVE=8 | SLEW=FAST;
```

```
#NET mem_addr<9> LOC=P50 | IOSTANDARD=LVTTL | DRIVE=8 | SLEW=FAST;
#NET mem_addr<10> LOC=P44 | IOSTANDARD=LVTTL | DRIVE=8 | SLEW=FAST;
#NET mem_addr<11> LOC=P41 | IOSTANDARD=LVTTL | DRIVE=8 | SLEW=FAST;
#NET mem_addr<12> LOC=P40 | IOSTANDARD=LVTTL | DRIVE=8 | SLEW=FAST;
#NET mem_addr<13> LOC=P39 | IOSTANDARD=LVTTL | DRIVE=8 | SLEW=FAST; #SDRAM BA0
#NET mem_addr<14> LOC=P43 | IOSTANDARD=LVTTL | DRIVE=8 | SLEW=FAST; #SDRAM BA1
#NET mem_addr<15> LOC=P33 | IOSTANDARD=LVTTL | DRIVE=8 | SLEW=FAST; #SDRAM RASn
#NET mem_addr<16> LOC=P34 | IOSTANDARD=LVTTL | DRIVE=8 | SLEW=FAST; #SDRAM CASn
#NET mem_addr<17> LOC=P60 | IOSTANDARD=LVTTL | DRIVE=8 | SLEW=FAST;

#NET mem_data<0> LOC=P6 | IOSTANDARD=LVTTL | DRIVE=8 | SLEW=FAST | KEEPER;
#NET mem_data<1> LOC=P8 | IOSTANDARD=LVTTL | DRIVE=8 | SLEW=FAST | KEEPER;
#NET mem_data<2> LOC=P10 | IOSTANDARD=LVTTL | DRIVE=8 | SLEW=FAST | KEEPER;
#NET mem_data<3> LOC=P12 | IOSTANDARD=LVTTL | DRIVE=8 | SLEW=FAST | KEEPER;
#NET mem_data<4> LOC=P15 | IOSTANDARD=LVTTL | DRIVE=8 | SLEW=FAST | KEEPER;
#NET mem_data<5> LOC=P17 | IOSTANDARD=LVTTL | DRIVE=8 | SLEW=FAST | KEEPER;
#NET mem_data<6> LOC=P22 | IOSTANDARD=LVTTL | DRIVE=8 | SLEW=FAST | KEEPER;
#NET mem_data<7> LOC=P24 | IOSTANDARD=LVTTL | DRIVE=8 | SLEW=FAST | KEEPER;
#NET mem_data<8> LOC=P23 | IOSTANDARD=LVTTL | DRIVE=8 | SLEW=FAST | KEEPER;
#NET mem_data<9> LOC=P21 | IOSTANDARD=LVTTL | DRIVE=8 | SLEW=FAST | KEEPER;
#NET mem_data<10> LOC=P16 | IOSTANDARD=LVTTL | DRIVE=8 | SLEW=FAST | KEEPER;
#NET mem_data<11> LOC=P14 | IOSTANDARD=LVTTL | DRIVE=8 | SLEW=FAST | KEEPER;
#NET mem_data<12> LOC=P11 | IOSTANDARD=LVTTL | DRIVE=8 | SLEW=FAST | KEEPER;
#NET mem_data<13> LOC=P9 | IOSTANDARD=LVTTL | DRIVE=8 | SLEW=FAST | KEEPER;
#NET mem_data<14> LOC=P7 | IOSTANDARD=LVTTL | DRIVE=8 | SLEW=FAST | KEEPER;
#NET mem_data<15> LOC=P5 | IOSTANDARD=LVTTL | DRIVE=8 | SLEW=FAST | KEEPER;

#NET mem_wen LOC=P29 | IOSTANDARD=LVTTL | DRIVE=8 | SLEW=FAST;
#NET mem_lbn LOC=P27 | IOSTANDARD=LVTTL | DRIVE=8 | SLEW=FAST;
#NET mem_ubn LOC=P26 | IOSTANDARD=LVTTL | DRIVE=8 | SLEW=FAST;

#NET sram_csn LOC=P1 | IOSTANDARD=LVTTL | DRIVE=8 | SLEW=FAST;
#NET sram_oen LOC=P2 | IOSTANDARD=LVTTL | DRIVE=8 | SLEW=FAST;

#NET sdram_clk LOC=P30 | IOSTANDARD=LVTTL | DRIVE=8 | SLEW=FAST;
#NET sdram_cke LOC=P32 | IOSTANDARD=LVTTL | DRIVE=8 | SLEW=FAST;
#NET sdram_csn LOC=P35 | IOSTANDARD=LVTTL | DRIVE=8 | SLEW=FAST;

# LOGSYS "A" bővítőcsatlakozó (szemből nézve a 20 pólusú
# csatlakozó nem használható pontjait x-el jelölve).
# -----
# | x |aio15|aio13|aio11|aio9 |aio7 |aio5 | 3V3 |GND | x |
# -----
# | x |aio16|aio14|aio12|aio10|aio8 |aio6 |aio4 | 5V | x |
# -----

#NET aio<16> LOC=P126 | PULLUP | IOSTANDARD=LVCOS33; # Diff. 6N
#NET aio<15> LOC=P127 | PULLUP | IOSTANDARD=LVCOS33; # Diff. 6P
#NET aio<14> LOC=P131 | PULLUP | IOSTANDARD=LVCOS33; # Diff. 5N
#NET aio<13> LOC=P132 | PULLUP | IOSTANDARD=LVCOS33; # Diff. 5P
#NET aio<12> LOC=P133 | PULLUP | IOSTANDARD=LVCOS33; # Diff. 4N
#NET aio<11> LOC=P134 | PULLUP | IOSTANDARD=LVCOS33; # Diff. 4P
#NET aio<10> LOC=P137 | PULLUP | IOSTANDARD=LVCOS33; # Diff. 3N
#NET aio<9> LOC=P138 | PULLUP | IOSTANDARD=LVCOS33; # Diff. 3P
#NET aio<8> LOC=P139 | PULLUP | IOSTANDARD=LVCOS33; # Diff. 2N
#NET aio<7> LOC=P140 | PULLUP | IOSTANDARD=LVCOS33; # Diff. 2P
#NET aio<6> LOC=P141 | PULLUP | IOSTANDARD=LVCOS33; # Diff. 1N
#NET aio<5> LOC=P142 | PULLUP | IOSTANDARD=LVCOS33; # Diff. 1P
#NET aio<4> LOC=P143 | PULLUP | IOSTANDARD=LVCOS33;
```

```
# LOGSYS "B" bővítőcsatlakozó (szemből nézve a 20 pólusú
# csatlakozó nem használható pontjait x-el jelölve).
# -----
# | x |bio15|bio13|bio11|bio9 |bio7 |bio5 | 3V3 |GND | x |
# -----
# | x |bio16|bio14|bio12|bio10|bio8 |bio6 |bio4 | 5V | x |
# -----

#NET bio<16> LOC=P84 | PULLUP | IOSTANDARD=LVC MOS33; # Diff. 6N
#NET bio<15> LOC=P85 | PULLUP | IOSTANDARD=LVC MOS33; # Diff. 6P
#NET bio<14> LOC=P87 | PULLUP | IOSTANDARD=LVC MOS33; # Diff. 5N
#NET bio<13> LOC=P88 | PULLUP | IOSTANDARD=LVC MOS33; # Diff. 5P
#NET bio<12> LOC=P92 | PULLUP | IOSTANDARD=LVC MOS33; # Diff. 4N
#NET bio<11> LOC=P93 | PULLUP | IOSTANDARD=LVC MOS33; # Diff. 4P
#NET bio<10> LOC=P97 | PULLUP | IOSTANDARD=LVC MOS33; # Diff. 3N
#NET bio<9> LOC=P98 | PULLUP | IOSTANDARD=LVC MOS33; # Diff. 3P
#NET bio<8> LOC=P99 | PULLUP | IOSTANDARD=LVC MOS33; # Diff. 2N
#NET bio<7> LOC=P100 | PULLUP | IOSTANDARD=LVC MOS33; # Diff. 2P
#NET bio<6> LOC=P101 | PULLUP | IOSTANDARD=LVC MOS33; # Diff. 1N
#NET bio<5> LOC=P102 | PULLUP | IOSTANDARD=LVC MOS33; # Diff. 1P
#NET bio<4> LOC=P83 | PULLUP | IOSTANDARD=LVC MOS33;

# LOGSYS "C" bővítőcsatlakozó (szemből nézve a 20 pólusú
# csatlakozó nem használható pontjait x-el jelölve).
# -----
# | x |cio15|cio13|cio11|cio9 |cio7 |cio5 | 3V3 |GND | x |
# -----
# | x |cio16|cio14|cio12|cio10|cio8 |cio6 |cio4 | 5V | x |
# -----

#NET cio<16> LOC=P114 | PULLUP | IOSTANDARD=LVC MOS33; # Diff. 6N
#NET cio<15> LOC=P115 | PULLUP | IOSTANDARD=LVC MOS33; # Diff. 6P
#NET cio<14> LOC=P116 | PULLUP | IOSTANDARD=LVC MOS33; # Diff. 5N
#NET cio<13> LOC=P117 | PULLUP | IOSTANDARD=LVC MOS33; # Diff. 5P
#NET cio<12> LOC=P118 | PULLUP | IOSTANDARD=LVC MOS33; # Diff. 4N
#NET cio<11> LOC=P119 | PULLUP | IOSTANDARD=LVC MOS33; # Diff. 4P
#NET cio<10> LOC=P120 | PULLUP | IOSTANDARD=LVC MOS33; # Diff. 3N
#NET cio<9> LOC=P121 | PULLUP | IOSTANDARD=LVC MOS33; # Diff. 3P
#NET cio<8> LOC=P123 | PULLUP | IOSTANDARD=LVC MOS33; # Diff. 2N
#NET cio<7> LOC=P124 | PULLUP | IOSTANDARD=LVC MOS33; # Diff. 2P
#NET cio<6> LOC=P111 | PULLUP | IOSTANDARD=LVC MOS33; # Diff. 1N
#NET cio<5> LOC=P112 | PULLUP | IOSTANDARD=LVC MOS33; # Diff. 1P
#NET cio<4> LOC=P105 | PULLUP | IOSTANDARD=LVC MOS33;
```

## Változások a dokumentumban

Dátum	Verzió	Megjegyzés
2013. október 2.	1.0	Az első kiadás.