

2023年样卷

题量: 7 满分: 100.0 作答时间: 05-27 19:08 至 06-07 19:08

一. 简答题 (共7题, 100分)

1. (简答题)

校验编码考察

| | |
|-----|--|
| 分 数 | |
| 评卷人 | |

一、(14 分) (1) 码距是衡量编码可靠性的重要指标, 请问 2 个 4 位编码 0101,1010 的码距是 4, 奇偶校验编码的最小码距是 2, 可检测一位错的海明编码的最小码距是 3。 (3 分)

(2) 现采用可检一位错的海明编码对 4 位原始数据进行编码, 需要多少个偶校验组? (3 分)

需要 3 偶校验组

(3) 假设原始数据位 $D_4D_3D_2D_1=1011$, 最终的海明校验码为 $H_1H_6H_4H_3H_2H_1$, 原始数据位从左到右先后顺序不变放置到海明编码中, 请给出各校验位的逻辑表达式, 以及最终海明码的十六进制编码。(6 分)

$$P_1=D_1\oplus D_2\oplus D_4=1$$
$$P_2=D_1\oplus D_3\oplus D_4=0$$
$$P_3=D_2\oplus D_3\oplus D_4=0$$
 各 1 分

海明码为: $D_4D_3D_2P_3D_1P_2P_1=1010101=0x55$ 摆放位置对给 2 分, 算错扣 1 分。
海明码为: $P_1P_2D_4P_3D_3D_2D_1=0110011=0x33$ 摆放位置对给 2 分, 算错扣 1 分。

(4) 在数据表示海明编码流水传输实验中, 如在解码阶段检测出两位错, 简单描述以下流水线各段应该如何动作。 (2 分) 答对 1 个给 1 分, 3 个给 2 分

- 取数功能段: 地址回滚 (重新取数, 地址减 3, 会退, 取原始数据)
- 海明编码段: 数据清空清零 (重新开始, 插入气泡)
- 数据传输段: 数据清空清零 (重新开始, 插入气泡)
- 数据显示段: 数据锁存 (保持, 继续当前动作, 不变, 使能端关闭)

段落格式 字体 字号

2. (简答题)

运算器考察

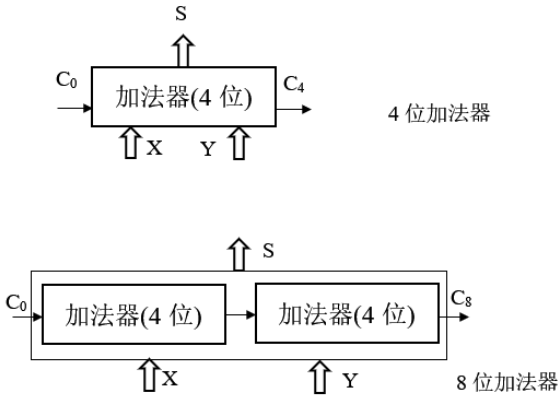
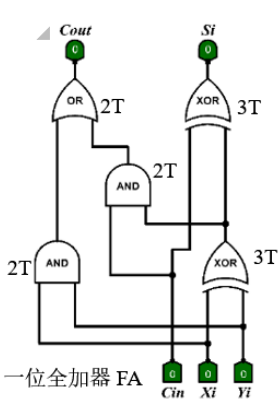
一. 简答题 (100分)

1 2 3 4 5

6 7

| | |
|-----|--|
| 分 数 | |
| 评卷人 | |

二、现有 4 位加法器,输入分别为被加数 $X=X_4\sim X_1$,加数 $Y=Y_4\sim Y_1$, 进位输入 C_0 ,输出 $S=S_4\sim S_1$, 第 4 位为最高位, C_4 为最高位进位,完成下列各题。
(14 分)



1)若 4 位加法器是由 4 个一位全加器 FA 串联构成, FA 内部结构如图所示,假设 OR、AND 门电路时间延迟均为 2T, XOR 门电路延迟为 3T, 则该全加器的关键时延为 7T。 (2 分)

2) 请用文字说明解释一下 4 位串行加法器中关键时延路径是什么 (2 分)

4 个一位全加器通过进位位产生逻辑先后关联（后一个全加器必须等待前一个全加器给出进位位后才能进一步通过一个 AND 和 OR 逻辑门生成正确进位输出）。显然，这条沿着进位输出的路径是时延最长的路径也即关键实验路径，具体为：XOR+AND+OR+AND+OR+AND+OR+AND+OR。

3) 上述 4 位串行加法器关键路径的具体时延为 19T。 (2 分) 对了不看第 2 问，不对看前面。

4) 将上述两个 4 位加法器串联为一个 8 位的加法器, 被加数、加数和输出分别为 X' 、 Y' 和 S' 。如果采用双符号补码, 则 S' 最大值为 3F (16 进制), 最小数为 C0 (16 进制)。 (2 分)

5) 仍采用双符号补码。如果 $X'=-0.110101$, $Y'=-0.100100$, 上述 8 位加法器输出 $S'=\underline{10100111(或 10.100111) A7}$ 。请写出简要的计算过程。 S' 是否溢出? 给出判断理由。 (3 分)

$$\begin{array}{r} 11.001011 \\ + 11.011100 \\ \hline 110.100100 \end{array}$$

S' 溢出，因为双符号位相异。 补码转换对给 2 分。

6)如果采用单符号补码, 能否有什么办法判断 S' 溢出? (3 分)

将最高数据位的进位 C_7 与进位输出位 C_8 进行异或得到 OF 标志位, OF 为 1 表示溢出, 为 0 表示不溢出。(给出异或门硬件电路)。 正正得负, 负负得正也可以。

段落格式

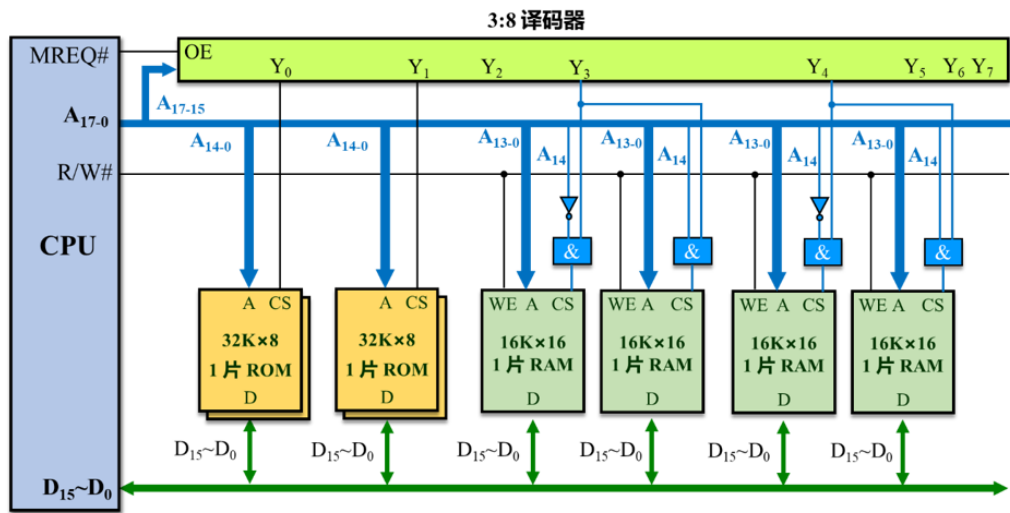
字体

字号

| | |
|-----|--|
| 分 数 | |
| 评卷人 | |

三、(12分) 某计算机字长为16位，主存容量为 $256K \times 16$ 位，按字编址，其地址空间分为四个部分： $00000H \sim 0FFFFH$ 是ROM区域， $10000H \sim 17FFFH$ 是保留区域， $18000H \sim 27FFFH$ 是RAM区域， $28000H \sim 3FFFFH$ 是保留区域。要求使用 $32K \times 8$ 位的ROM芯片和 $16K \times 16$ 位的RAM芯片为该计算机设计一个主存储器。请回答以下问题。

- 1) 该主存的地址寄存器的位数最少是 18 位，主存地址 $1DABCH$ 所在芯片的最小地址是 1C000 H。(4分)
- 2) 共需要 4 片ROM芯片和 4 片RAM芯片。(2分)
- 3) 请将CPU与存储芯片的连接电路示意图补充完整。(6分)



画图题：采用扣分的方式给分（共4分），重点关注以下几点，若某点不正确，扣一分。四个点都不对，但画出了整体框架，可酌情给一分总分。

(1) 芯片扩展方式：四个ROM芯片分两组，包括字长扩展、字数扩展，四个RAM芯片为字数扩展。

(2) 地址信号线连接：与译码器、各芯片地址引脚A相连接，需要注意地址位数标记。

(3) 译码器输出Y与芯片片选CS信号之间的连接： Y_0 、 Y_1 分别连接两组ROM， Y_3 、 Y_4 各连接两个RAM，其中 A_{14} 地址信号与 $Y_3/4$ 通过组合逻辑输出到RAM芯片CS引脚（也有同学使用多路选择器，可给分）。

(4) $R/W\#$ 信号线（ROM不连）、数据线D的连接。

段落格式 字体 字号

| | |
|-----|--|
| 分 数 | |
| 评卷人 | |

四、(16 分) 某 MIPS32 处理器，具有分离的指令 Cache 和数据 Cache，容量均为 16KB，块大小为 64B。指令 Cache 采用 8 路组相联，LRU 替换策略；数据 Cache 则采用直接映射方式，写策略采用写回法 (write back)。请问：

(1) 指令 Cache 包括 256 行，分为 32 组，内存地址中组索引字段需要 5 位，标记字段需要 21 位。数据 Cache 包括 256 组，标记字段需要 18 位。(9 分)

(2) 若不考虑用于 Cache 一致性维护和替换算法的控制位，则指令 Cache 和数据 Cache 的总容量分别是多少 bit? (1 分)

(3) 指令Cache的总容量 = 256行 x (21 + 1 + 64x8) = 136704位 = 17088字节 ≈ 16.69KB

(4) 数据Cache的总容量 = 256行 x (18 + 1 + 64x8) = 135936位 = 16992字节 ≈ 16.59KB

(5) 有下列 C 程序：

```
int sumaryrows(int A[128][128])
{
    int i,j,sum =0;
    for ( i =0; i< 128, i++)
        for ( j=0; j< 128, j++)
            sum += A[i][j];
    return sum;
}
```

假定程序编译时 i, j, sum 均分配在寄存器中，数组 A 按行优先方式存放，其地址为 100 (十进制数)，A[0][30] 自所在的主存块对应的 Cache 行号是 (注：Cache 行号从 0 开始) 5，A[127][1] 自所在的主存块对应的 Cache 行号是 250；该程序运行期间产生 256 次数据缓存缺失，进行了 192 次数据缓存替换，发生了 0 次脏数据逐出 (淘汰)，数据 Cache 的命中率为 93.75。(3 分)

(6) 简述能够采取什么措施来进一步提高上面程序运行时数据 Cache 的命中率。(3 分)

增大数据 Cache 块大小，进行数据预取，这二项回答一个给满分

增大数据 Cache，改变数据 Cache 映射方式，想办法增加程序局部性给 2 分

只要说了数据 Cache，不管对不对就给 1 分

段落格式 字体 字号

| | |
|-----|--|
| 分 数 | |
| 评卷人 | |

五、(12 分) 现有一款 24 位的处理器，拥有 24 个 24 位的寄存器，可访问 2^{24} 字节的内存空间，无浮点指令，指令集与 MIPS 指令集类似，包括 R 型、I 型、J 型三类指令，定长指令格式，其中分支指令使用 PC 相对寻址，跳转指令使用绝对地址（直接内存地址），指令集包含指令数目比 MIPS 32 少，所以指令格式中只有一个 Opcode 操作码字段，无 Funct 字段，具体指令格式如下图，参考 MIPS32 指令格式与功能，回答如下问题。

| | | | | | |
|------|--------------|-----------------------|----------|-----------|-------------|
| R 型： | Opcode (5 位) | Rs (5 位) | Rt (5 位) | Rd (5 位) | shamt (4 位) |
| I 型： | Opcode (5 位) | Rs (5 位) | Rt (5 位) | Imm (9 位) | |
| J 型： | Opcode (5 位) | Target Address (19 位) | | | |

- 1) 该指令集最多可以支持多少条指令，如果想增加R型指令为31条，如何在不增加指令字长的情况下进行调整。(3分)

32条，将shamt改成funct字段，将移位指令改成I型指令。

（挪用其他字段用做操作码） （解决方案1分）

- 2) R型指令中shamt字段只有4位会存在什么潜在的问题，如何解决这个问题使得相关指令功能能完整实现？(3分)

移位最多15位，可以去掉rd字段，扩充shamt字段 或 分两次实现

（解决方案1分）

- 3) 执行一条R型指令之后PC寄存器的值等于多少？，如果分支成功，执行一条I型分支指令后PC寄存器的值等于多少？(4分)

$PC=PC+3$, $PC=PC+imm*3$

没乘3扣一分，乘错扣一分

- 4) I型分支指令的最大跳转距离是多少字节？(2分)

9位补码负数最小10000 0000 *3 -256 *3 =-768

知道补码负数绝对值最大可以给1分。 算成256给1分

段落格式 字体 字号

| | |
|-----|--|
| 分 数 | |
| 评卷人 | |

六、某计算机字长 32 位，支持下表中的五条 MIPS32 指令，CPU 内部采用单总线结构，具体数据通路如图所示。除多路选择器选择控制信号外，图中所有控制信号为 1 时表示有效、为 0 时表示无效，控制信号功能说明见表。

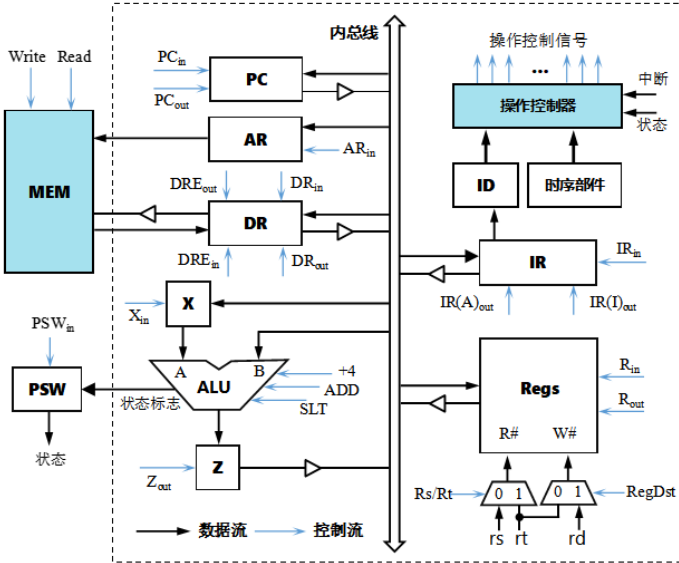


表 1、指令功能描述

| # | 指令 | 汇编代码 | 指令类型 | RTL 功能说明 |
|---|------|----------------|------|---|
| 1 | lw | lw rt,imm(rs) | I 型 | $R[rd] \leftarrow M[R[rs] + \text{SignExt}(imm)]$ |
| 2 | sw | sw rt,imm(rs) | I 型 | $M[R[rs] + \text{SignExt}(imm)] \leftarrow R[rt]$ |
| 3 | beq | beq rs,rt,imm | I 型 | $\text{if}(R[rs] == R[rt]) \quad PC \leftarrow PC + 4 + \text{SignExt}(imm) << 2$ |
| 4 | addi | addi rt,rs,imm | I 型 | $R[rt] \leftarrow R[rs] + \text{SignExt}(imm)$ |
| 5 | slt | slt rd,rs,rt | R 型 | $\text{If}(rs < rt) \quad R[rd] \leftarrow 1 \text{ else } R[rd] \leftarrow 0$ |

表 2、控制信号功能描述

| # | 控制信号 | 功能说明 |
|----|----------|---|
| 1 | PCin | 控制 PC 接收来自内总线的数据，需配合时钟控制 |
| 2 | PCout | 控制 PC 向内总线输出数据 |
| 3 | ARin | 控制 AR 接收来自内总线的数据，需配合时钟控制 |
| 4 | DRin | 控制 DR 接收来自内总线的数据，需配合时钟控制 |
| 5 | DRout | 控制 DR 向内总线输出数据 |
| 6 | DREin | 控制 DR 接收从主存读出的数据，需配合时钟控制 |
| 7 | DREout | 控制 DR 向主存输出数据，以便最后将该数据写入主存 |
| 8 | Xin | 控制暂存寄存器 X 接收来自内总线的数据，需配合时钟控制 |
| 9 | +4 | 将 ALU A 端口的数据加 4 输出 |
| 10 | ADD | 控制 ALU 执行加法，实现 A 端口和 B 端口的两数相加 |
| 11 | SLT | 控制 ALU 执行 SLT 小于置位运算 |
| 12 | PSWin | 控制状态寄存器 PSW 接收 ALU 的运算状态，需配合时钟控制 |
| 13 | Zout | 控制 Z 向内总线输出数据 |
| 14 | IRin | 控制 IR 接收来自内总线的指令，需配合时钟控制 |
| 15 | IR(A)out | 控制 IR 中的分支目标地址输出到内总线，指令字中的立即数要转换成目标地址需要相应逻辑 |

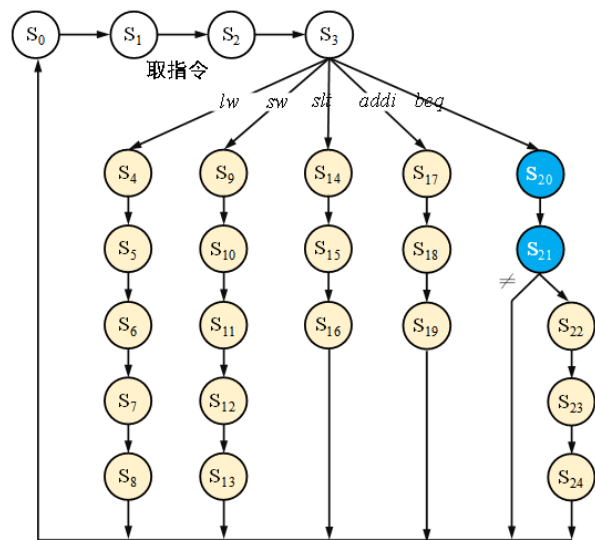
| # | 控制信号 | 功能说明 |
|----|----------|--|
| 16 | IR(I)out | 控制 IR 中的立即数输出到内部总线，指令字中的立即数符号扩展为 32 位才能输出 |
| 17 | Write | 存储器写命令，需配合时钟控制 |
| 18 | Read | 存储器读命令 |
| 19 | Rin | 控制寄存器堆接收来自内部总线的的数据，写入 W#端口对应的寄存器中，需配合时钟控制 |
| 20 | Rout | 控制寄存器堆输出指定编号 R#寄存器的数据，该寄存器组为单端口输出 |
| 21 | Rs/Rt | 控制多路选择器选择送入 R#的寄存器编号，为 0 时送入指令字中 rs 字段，为 1 时送入 rt |
| 22 | RegDst | 控制多路选择器选择送入 W#的寄存器编号，为 0 时送入指令字中的 rt 字段，为 1 时送入 rd |

当 ALU 两操作数相等时，equal 状态信号输出为 1，否则为零，equal 信号与运算无关。

1) 在单总线结构中能否去掉 PSW 寄存器，为什么？(2 分)

不能，判断相等和修改 PC 在单总线架构中无法同时进行。

2) 如果采用现代时序设计硬布线控制器，请完善下面的状态机，使其能支持表中五条指令的运行。5 分)



没有分支扣一分，没有回 S0 扣两分，多了状态扣 1 分

3) 假设状态寄存器输出为 Q3Q2Q1Q0，请给出硬布线控制器 Read 信号的逻辑表达式，可参考下一问中的信息。(3 分)

$$\text{Read} = S2 + S7 = \sim Q3 \sim Q2 Q1 \sim Q0 + \sim Q3 Q2 Q1 Q0$$

4) 采用微程序设计操作控制器，计数器法，取指微程序已经给出，请用 16 进制完成如下填空。
(7 分)

| | | <div>PC_{out} DR_{out} R_{out} IR(A)_{out} PC_{in} DRE_{in} X_{in} IR_{in} Rs/Rt ADD SUB Write P_{IR} P_{equal} Z_{out} IR(I)_{out} DRE_{out} AR_{in} DRin R_{in} PSW_{in} RegDst +4 Read P_{IR} P_{end}</div> | | | | | | | | | | | | | | | | | | | | | | | | |
|-----|-----|--|---|---|---|---|---|---|---|---|----|----|----|----|----|----|----|----|----|----|----|----|----|----------------|----------------|----------------|
| 功能 | 微地址 | 1 | 2 | 3 | 4 | 5 | 6 | 7 | 8 | 9 | 10 | 11 | 12 | 13 | 14 | 15 | 16 | 17 | 18 | 19 | 20 | 21 | 22 | P ₀ | P ₁ | P ₂ |
| 取指 | 0 | 1 | | | | | | | | 1 | | | 1 | | | | | | | | | | | | | |
| | 1 | | | | | | | | | | | | | | | | | | | 1 | | | | | | |
| | 2 | | | 1 | | | | | 1 | | 1 | | | | | | | | | | | 1 | | | | |
| | 3 | | 1 | | | | | | | | | | | | 1 | | | | | | | | | 1 | | |
| beq | 20 | | | | 1 | | | | | | | | 1 | | | | | | | | | | | | | |
| | 21 | | | | 1 | | | | | | | | | | | 1 | 1 | | | | | | | | 1 | 1 |
| | 22 | 1 | | | | | | | | | | | 1 | | | | | | | | | | | | | |
| | 23 | | | | | | 1 | | | | | | | | | | | | 1 | | | | | | | |
| | 24 | | | 1 | | | | | 1 | | | | | | | | | | | | | | | | | 1 |

取指微程序最后一条微指令 P 字段为 4
beq 指令第 1 条微指令控制字段为 40400，P 字段为 0
beq 指令第 2 条微指令控制字段为 400C0，P 字段为 3/2 400C4 也对
beq 指令第 5 条微指令控制字段为 84000，P 字段为 1 (16 进制填写)

取指微程序最后一条微指令 P 字段为 1
beq 指令第 1 条微指令控制字段为 808，P 字段为 0
beq 指令第 2 条微指令控制字段为 C008，P 字段为 6/2 8C008 也对
beq 指令第 5 条微指令控制字段为 84，P 字段为 4 (16 进制填写)

5) 如果需要支持中断，课程实验中如何保存断点？实验中采用了单级中断，如何实现开中断和关中断，具体是硬件实现还是软件实现？ (3 分)

保存在 EPC 寄存器中 (1 分)
中断响应阶段将 IE 设置为 0，硬件实现， (1 分)
中断返回时 ERET 指令将 IE 置为 1，软件实现。 (1 分)

段落格式 字体 字号

7. (简答题)
输入输出系统考察

| | |
|-----|--|
| 分 数 | |
| 评卷人 | |

七、有一台计算机 CPU 的主频为 2GHz，CPI 为 8。该计算机接有一台外部设备，以 64 位为传输单位。该外部设备实现数据传输有两种选择：中断方式和 DMA 方式。请完成下面各题。（12 分）

1) 请简述中断方式与 DMA 方式的差异。（4 分）

- 中断通过程序传送数据，DMA 靠硬件来实现。
- 中断时机为两指令之间，DMA 响应时机为两存储周期之间。
- 中断不仅具有数据传送能力，还能处理异常事件。DMA 只能进行数据传送。
- DMA 仅挪用了 一个存储周期，不改变 CPU 现场。
- DMA 请求的优先权比中断请求高。CPU 优先响应 DMA 请求，是为了避免 DMA 所连接的高速外设丢失数据。
- DMA 利用了中断技术 （一个点一分）

2) 假定该外设采用中断方式与主机进行数据传送。对应的中断服务程序包含 21 条指令，中断服务的其他开销相当于 4 条指令的执行时间。假设 CPU 有 10%的时间可用于 I/O，则可支持的最大数据传输率为是多少？（4 分）

方法 1:

每传输 64bit (8B)，需一次中断，

所需 CPU 开销 $T_{IO} = (21+4) \times CPI \times T = 25 \times 8 / 2GHz = 1 \times 10^{-7}$ 秒

所以可支持的最大数据传输率为： $8 / (T_{IO} / 0.1) = 8 / 1 \times 10^{-6} = 8MB/s$

方法 2:

1 秒钟可用于中断的指令条数： $N = (2 \times 10^9 / 8) \times 0.1$

1 秒钟可用中断传输的数据量： $(N / 25) \times 8 = 8MB$

所以可支持的最大数据传输率为：8MB/s

算对 (21+4) * 8 给 2 分

3) 如改用 DMA 方式,假设 CPU 只安排 1%的时间用于 I/O。DMA 传送块大小为 20KB，且 DMA 预处理和后处理的总开销为 800 个时钟周期，则可支持的最大数据传输率为是多少？（假定 DMA 与 CPU 之间没有访存冲突）（4 分）

段落格式 字体 字号