



# 数据编码器 和译码器



## 实验目的

- 掌握中规模集成电路编码器和译码器的工作原理以及逻辑功能；
- 熟悉编码器和译码器的级联方法；
- 能够利用译码器进行组合逻辑电路设计。



# 实验原理

## 编码器（Encoder）

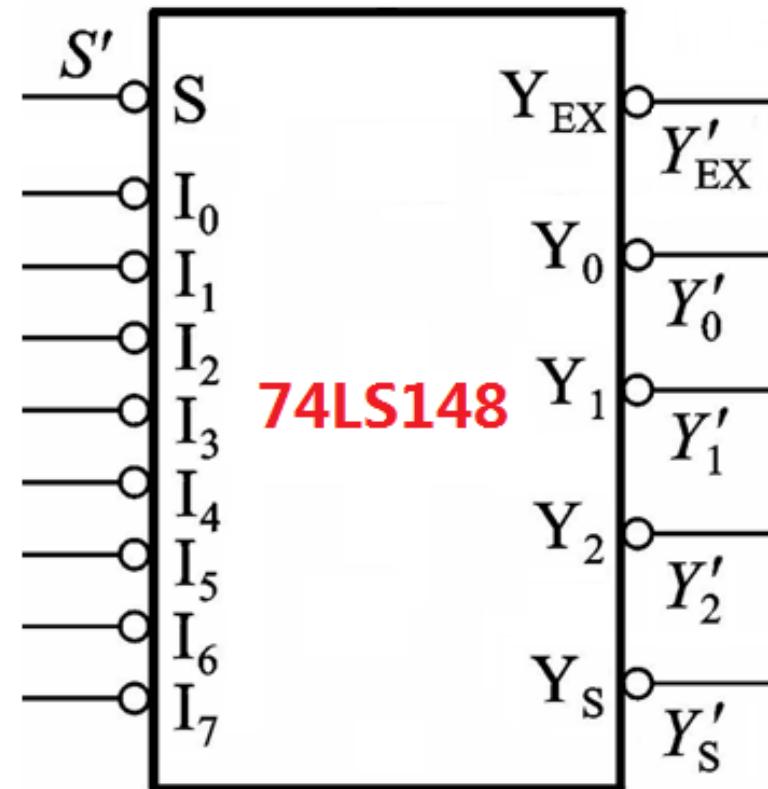
- 在数字系统中，常常需要将某一信息（输入）变换为某一特定的代码（输出）
- 把二进制码按一定的规律编排，例如**8421**码、格雷码等，使每组代码具有一个特定的含义（代表某个数或控制信号）称为**编码**
- 具有编码功能的逻辑电路称为**编码器**
- 它的逻辑功能是将输入的每一个高、低电平信号编成一个对应的二进制代码。



常用的编码器 { 普通编码器  
优先编码器



# 8线—3线优先编码器74LS148



$S'$ 为选通输入端， $S'=0$ ，编码器才能正常工作。

$Y'_S$ 为选通输出端， $Y'_S=0$ ，表示电路工作，无编码输入。

$Y'_E$ 为扩展端， $Y'_E=0$ ，表示电路工作，有编码输入。



## 优先编码器74LS148功能表

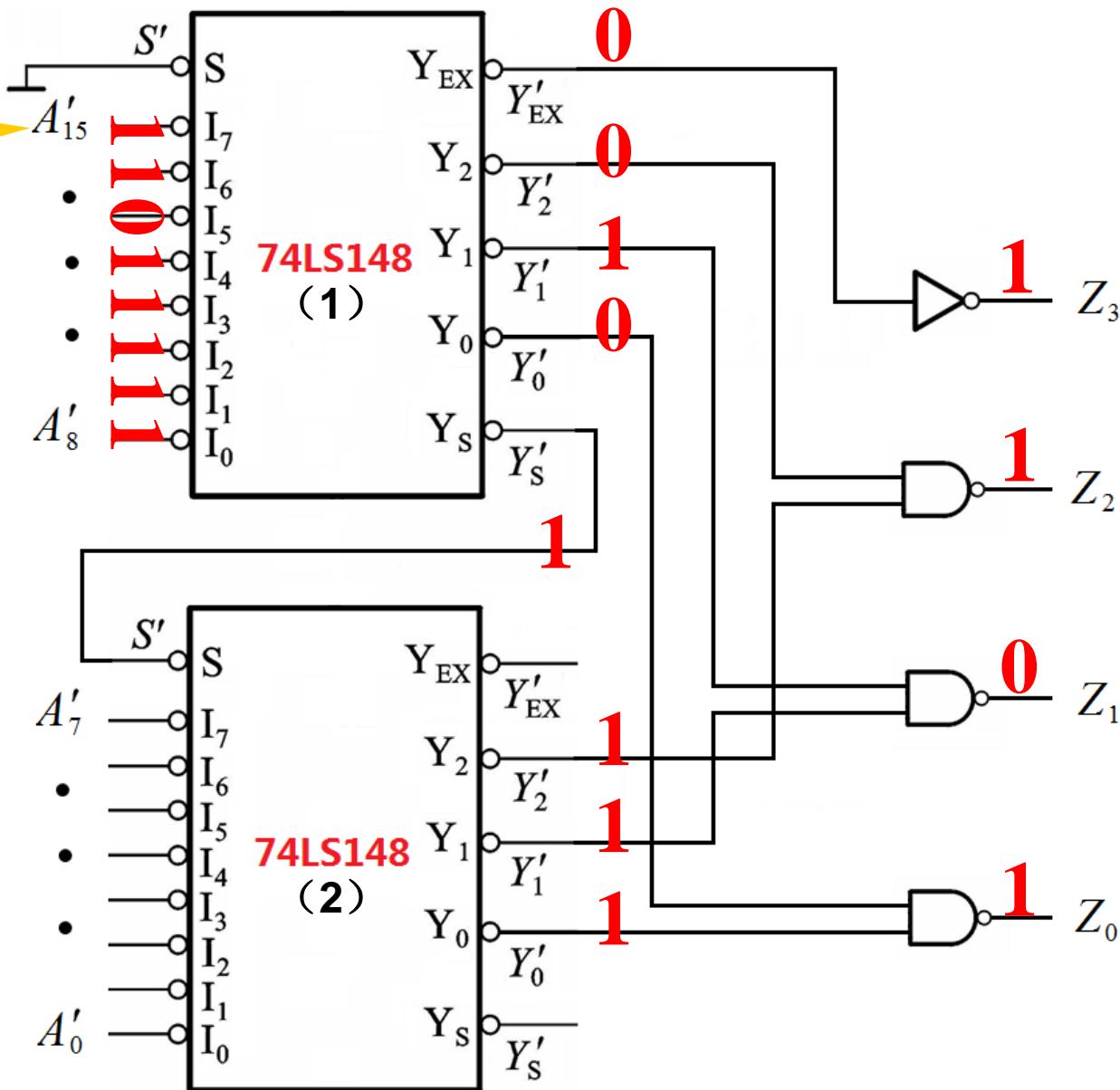
| 输入  |       |       |       |       |       |       |       |       | 输出    |       |       |       |          |
|-----|-------|-------|-------|-------|-------|-------|-------|-------|-------|-------|-------|-------|----------|
| $S$ | $I_0$ | $I_1$ | $I_2$ | $I_3$ | $I_4$ | $I_5$ | $I_6$ | $I_7$ | $Y_2$ | $Y_1$ | $Y_O$ | $Y_S$ | $Y_{EX}$ |
| 1   | X     | X     | X     | X     | X     | X     | X     | X     | 1     | 1     | 1     | 1     | 1        |
| 0   | 1     | 1     | 1     | 1     | 1     | 1     | 1     | 1     | 1     | 1     | 1     | 0     | 1        |
| 0   | X     | X     | X     | X     | X     | X     | X     | 0     | 0     | 0     | 0     | 1     | 0        |
| 0   | X     | X     | X     | X     | X     | X     | 0     | 1     | 0     | 0     | 1     | 1     | 0        |
| 0   | X     | X     | X     | X     | X     | 0     | 1     | 1     | 0     | 1     | 0     | 1     | 0        |
| 0   | X     | X     | X     | X     | 0     | 1     | 1     | 1     | 0     | 1     | 1     | 1     | 0        |
| 0   | X     | X     | X     | 0     | 1     | 1     | 1     | 1     | 1     | 0     | 0     | 1     | 0        |
| 0   | X     | X     | 0     | 1     | 1     | 1     | 1     | 1     | 1     | 0     | 1     | 1     | 0        |
| 0   | X     | 0     | 1     | 1     | 1     | 1     | 1     | 1     | 1     | 1     | 0     | 1     | 0        |
| 0   | 0     | 1     | 1     | 1     | 1     | 1     | 1     | 1     | 1     | 1     | 1     | 1     | 0        |

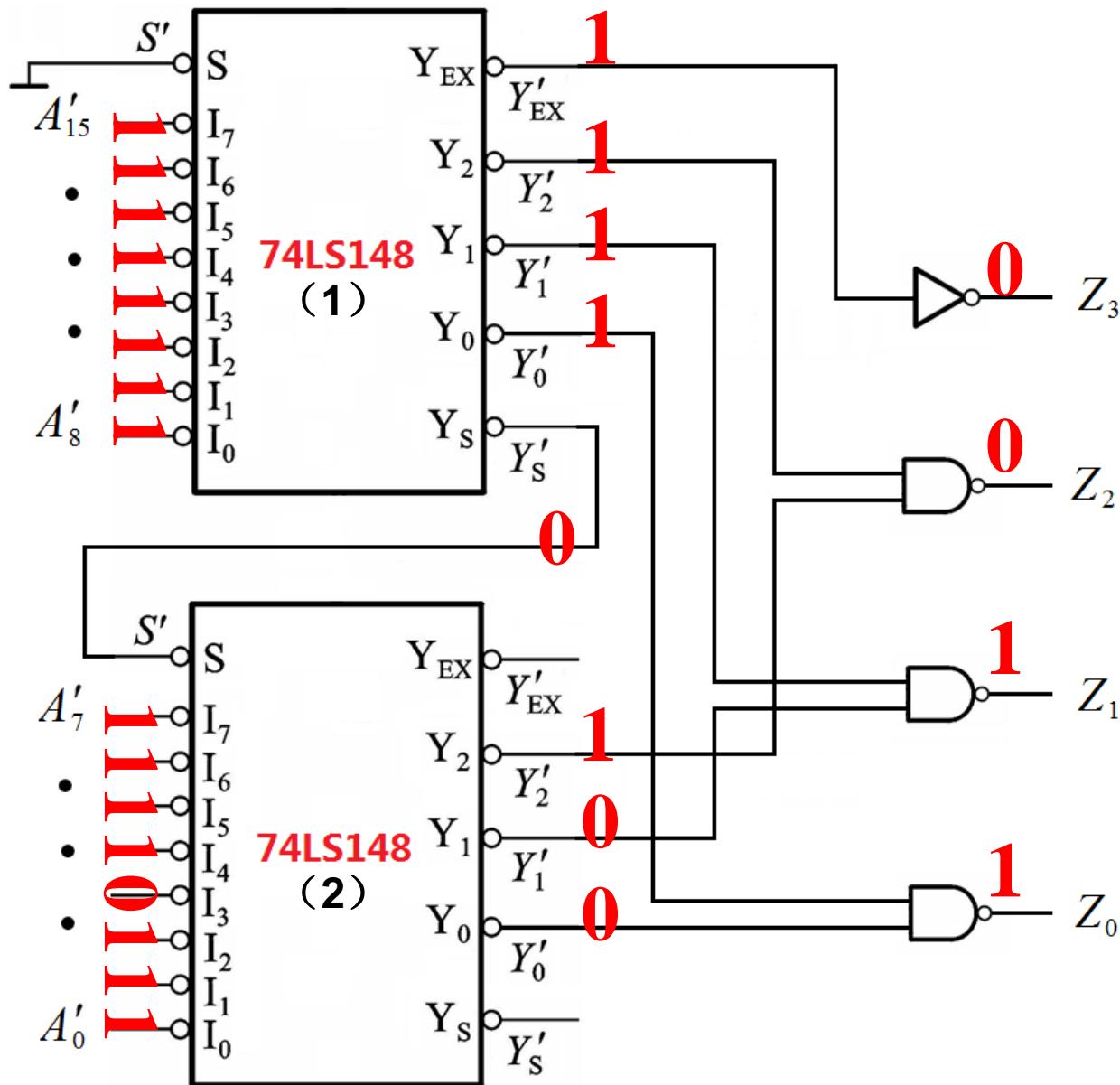
■ 输入、输出均为低电平有效



# 两片74LS148组成16线—4线优先编码器

优先权  
最高







# 译码器 (Decoder)

- 译码是编码的逆过程
- 译码器将每个二进制代码赋予的特定含义“翻译”过来，转换成相应的信息符号（输出信号）
- 具有译码功能的逻辑电路被称为**译码器**
- 它的逻辑功能是将每个输入的二进制代码译成对应的输出高、低电平信号或另一个代码。



常用的译码器

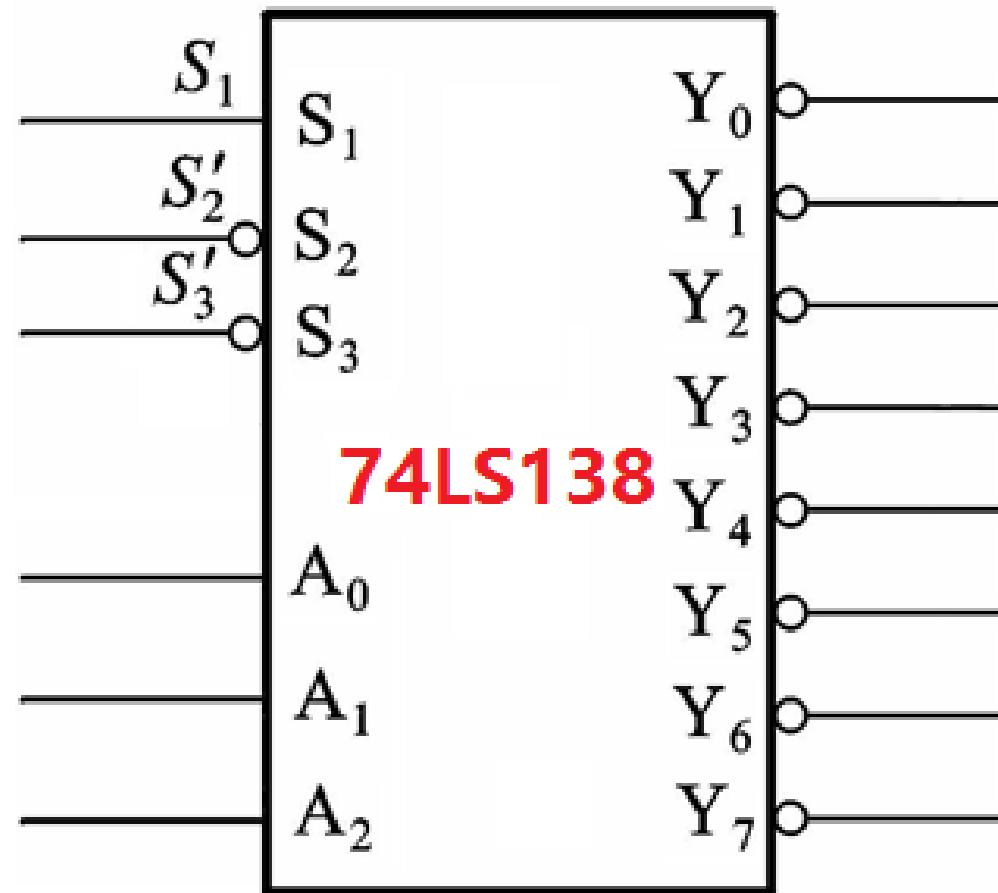
二进制译码器

二-十进制译码器

显示译码器



# 一、二进制译码器74LS138



$S_1$ 、 $S'_2$ 和 $S'_3$ 是三个片选输入端，当 $S_1=1$ ， $S'_2+S'_3=0$ 时，译码器工作。



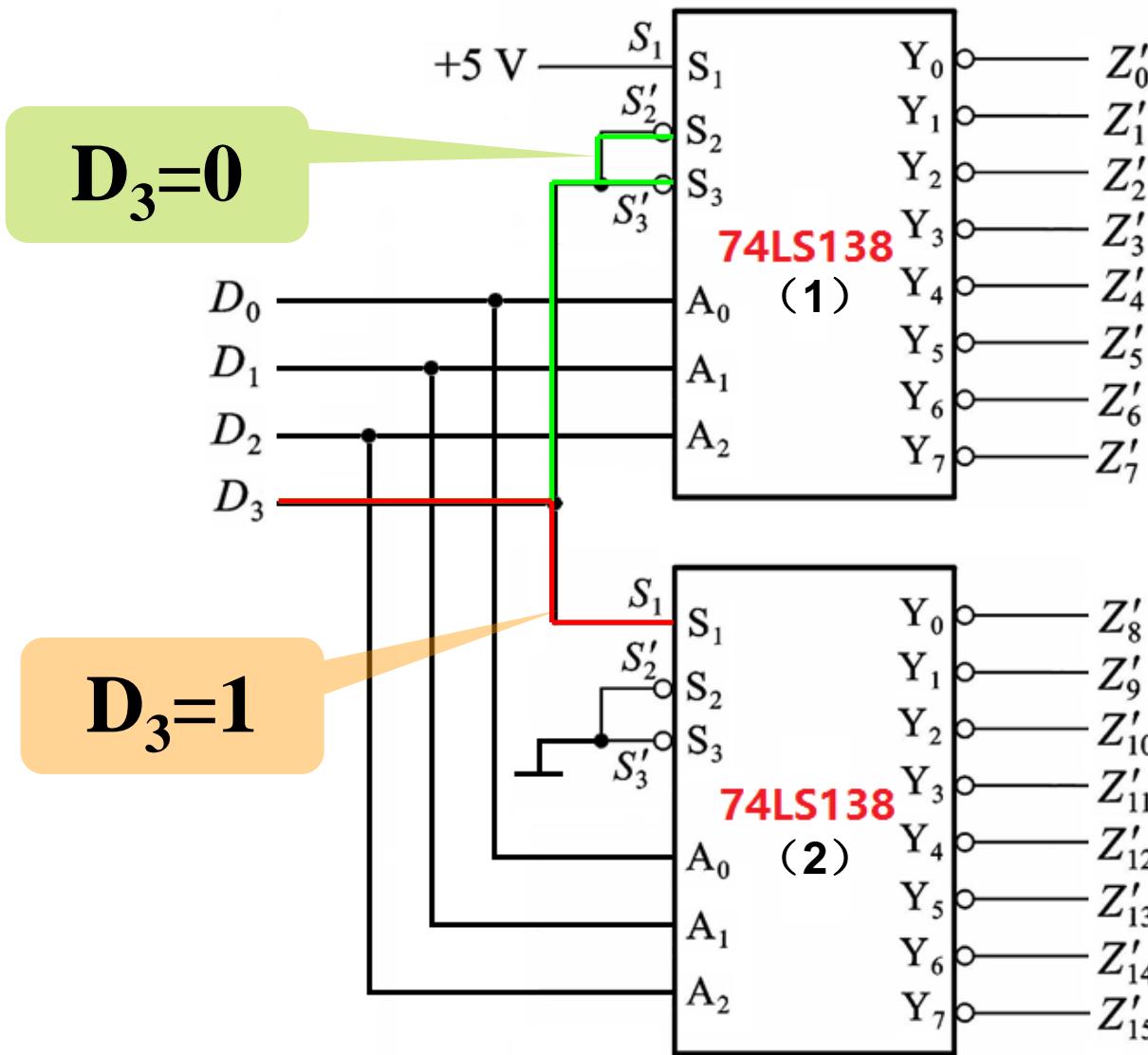
# 3线-8线译码器74LS138功能表

| 输入    |               |                   | 输出     |        |        |        |        |        |        |        |
|-------|---------------|-------------------|--------|--------|--------|--------|--------|--------|--------|--------|
| $S_1$ | $S_2' + S_3'$ | $A_2 \ A_1 \ A_0$ | $Y_0'$ | $Y_1'$ | $Y_2'$ | $Y_3'$ | $Y_4'$ | $Y_5'$ | $Y_6'$ | $Y_7'$ |
| 0     | X             | X X X             | 1      | 1      | 1      | 1      | 1      | 1      | 1      | 1      |
| X     | 1             | X X X             | 1      | 1      | 1      | 1      | 1      | 1      | 1      | 1      |
| 1     | 0             | 0 0 0             | 0      | 1      | 1      | 1      | 1      | 1      | 1      | 1      |
| 1     | 0             | 0 0 1             | 1      | 0      | 1      | 1      | 1      | 1      | 1      | 1      |
| 1     | 0             | 0 1 0             | 1      | 1      | 0      | 1      | 1      | 1      | 1      | 1      |
| 1     | 0             | 0 1 1             | 1      | 1      | 1      | 0      | 1      | 1      | 1      | 1      |
| 1     | 0             | 1 0 0             | 1      | 1      | 1      | 1      | 0      | 1      | 1      | 1      |
| 1     | 0             | 1 0 1             | 1      | 1      | 1      | 1      | 1      | 0      | 1      | 1      |
| 1     | 0             | 1 1 0             | 1      | 1      | 1      | 1      | 1      | 1      | 0      | 1      |
| 1     | 0             | 1 1 1             | 1      | 1      | 1      | 1      | 1      | 1      | 1      | 0      |

■ 输出低电平有效



# 两片74LS138组成4线—16线译码器

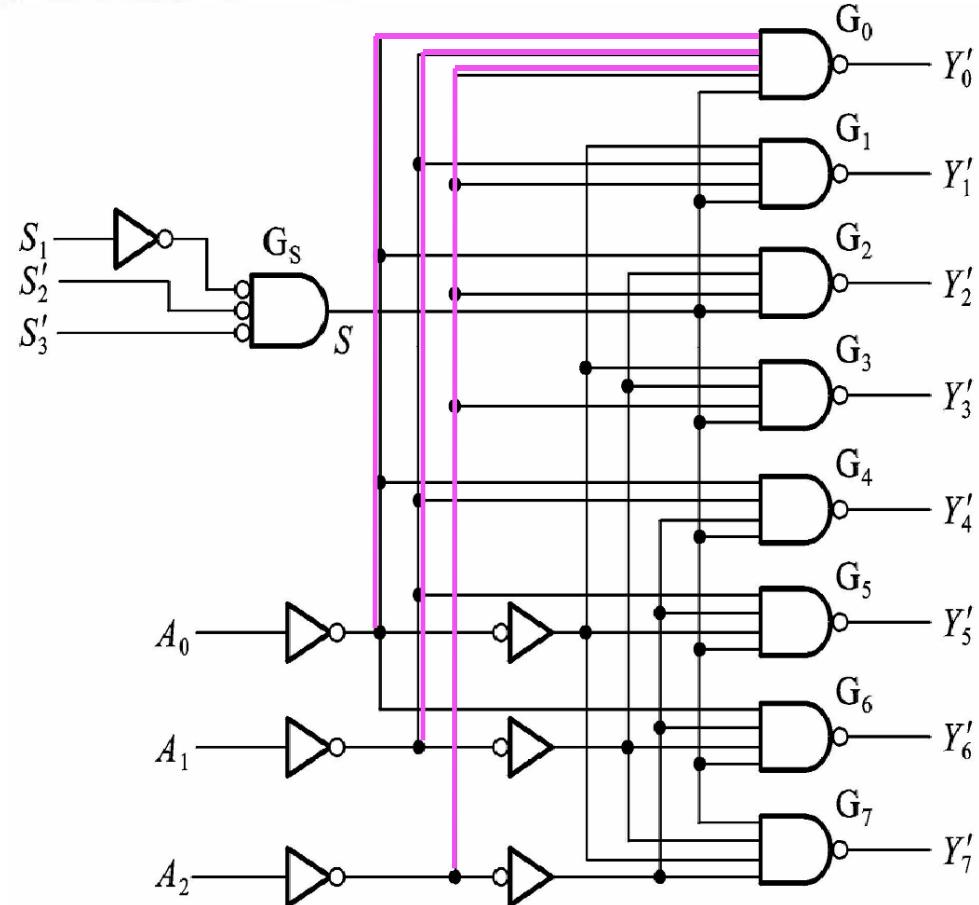




## (74LS138译码器)

$$\left\{ \begin{array}{l} Y'_0 = (A'_2 A'_1 A'_0)' = m'_0 \\ Y'_1 = (A'_2 A'_1 A_0)' = m'_1 \\ Y'_2 = (A'_2 A_1 A'_0)' = m'_2 \\ Y'_3 = (A'_2 A_1 A_0)' = m'_3 \\ Y'_4 = (A_2 A'_1 A'_0)' = m'_4 \\ Y'_5 = (A_2 A'_1 A_0)' = m'_5 \\ Y'_6 = (A_2 A_1 A'_0)' = m'_6 \\ Y'_7 = (A_2 A_1 A_0)' = m'_7 \end{array} \right.$$

$$Y'_i = m'_i$$



一个3线-8线译码器能产生三个变量的全部最小项，所以也将这种译码器称为**最小项译码器**。



# 译码器实现逻辑函数

例：用74LS138实现逻辑函数  $Y = A'B + AC'$

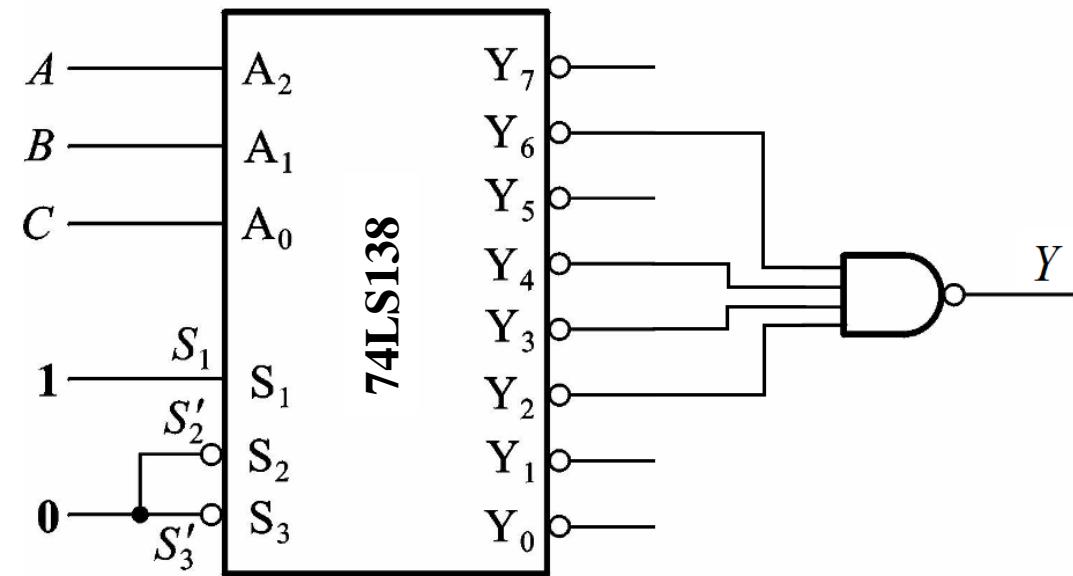
$$Y = A'B + AC'$$

$$= A'BC' + A'BC + AB'C' + ABC'$$

$$= m_2 + m_3 + m_4 + m_6$$

$$= (m'_2 \ m'_3 \ m'_4 \ m'_6)'$$

$$= (Y'_2 \ Y'_3 \ Y'_4 \ Y'_6)'$$

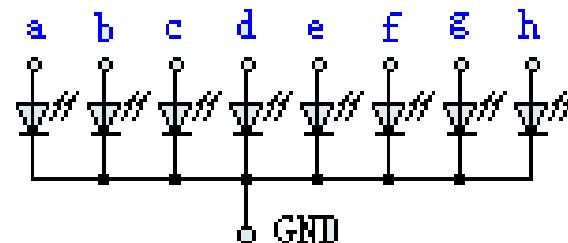




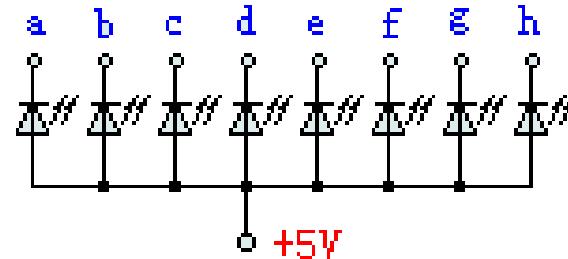
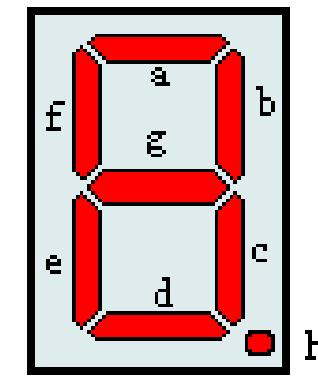
## 二、显示译码器

能直接驱动数字显示器或能同显示器配合使用的译码器称为**显示译码器**。

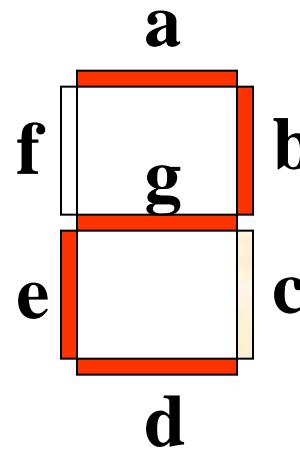
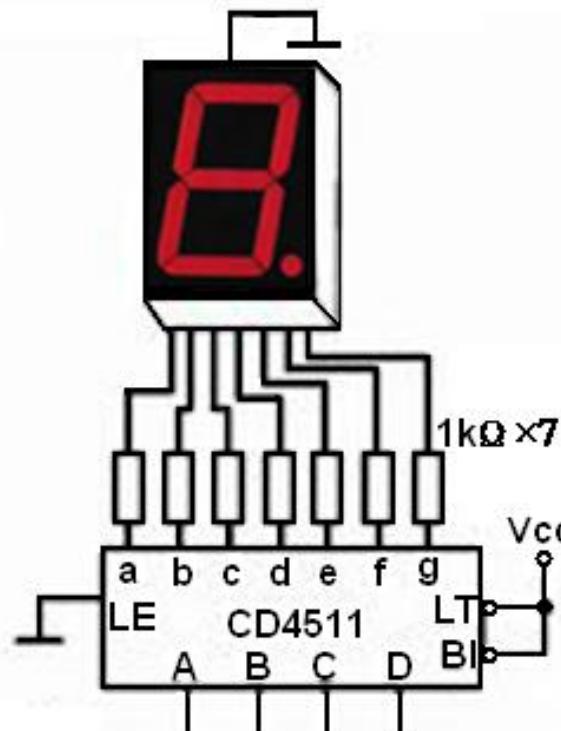
常用的显示译码器能驱动七段字符显示器。



共阴极7段数码管



共阳极7段数码管



| 输入       |                 |                 |          |          |          |          | 输出 |   |   |   |   |   |   | 显示字形 |
|----------|-----------------|-----------------|----------|----------|----------|----------|----|---|---|---|---|---|---|------|
| LE       | $\overline{BI}$ | $\overline{LT}$ | D        | C        | B        | A        | a  | b | c | d | e | f | g |      |
| $\times$ | $\times$        | 0               | $\times$ | $\times$ | $\times$ | $\times$ | 1  | 1 | 1 | 1 | 1 | 1 | 1 | 8    |
| $\times$ | 0               | 1               | $\times$ | $\times$ | $\times$ | $\times$ | 0  | 0 | 0 | 0 | 0 | 0 | 0 | 消隐   |
| 0        | 1               | 1               | 0        | 0        | 0        | 0        | 1  | 1 | 1 | 1 | 1 | 1 | 0 | 0    |
| 0        | 1               | 1               | 0        | 0        | 0        | 1        | 0  | 1 | 1 | 0 | 0 | 0 | 0 | 1    |
| 0        | 1               | 1               | 0        | 0        | 1        | 0        | 1  | 1 | 0 | 1 | 1 | 0 | 1 | 2    |
| 0        | 1               | 1               | 0        | 0        | 1        | 1        | 1  | 1 | 1 | 0 | 0 | 1 | 1 | 3    |
| 0        | 1               | 1               | 0        | 1        | 0        | 0        | 0  | 1 | 1 | 0 | 0 | 1 | 1 | 4    |
| 0        | 1               | 1               | 0        | 1        | 0        | 1        | 1  | 0 | 1 | 1 | 0 | 1 | 1 | 5    |
| 0        | 1               | 1               | 0        | 1        | 1        | 0        | 0  | 0 | 1 | 1 | 1 | 1 | 1 | b    |
| 0        | 1               | 1               | 0        | 1        | 1        | 1        | 1  | 1 | 1 | 0 | 0 | 0 | 0 | 7    |
| 0        | 1               | 1               | 1        | 0        | 0        | 0        | 1  | 1 | 1 | 1 | 1 | 1 | 1 | 8    |
| 0        | 1               | 1               | 1        | 0        | 0        | 1        | 1  | 1 | 1 | 0 | 0 | 1 | 1 | 9    |
| 0        | 1               | 1               | 1        | 0        | 1        | 0        | 0  | 0 | 0 | 0 | 0 | 0 | 0 | 消隐   |
| 0        | 1               | 1               | 1        | 0        | 1        | 1        | 0  | 0 | 0 | 0 | 0 | 0 | 0 | 消隐   |
| 0        | 1               | 1               | 1        | 1        | 0        | 0        | 0  | 0 | 0 | 0 | 0 | 0 | 0 | 消隐   |
| 0        | 1               | 1               | 1        | 1        | 1        | 0        | 0  | 0 | 0 | 0 | 0 | 0 | 0 | 消隐   |
| 0        | 1               | 1               | 1        | 1        | 1        | 1        | 0  | 0 | 0 | 0 | 0 | 0 | 0 | 消隐   |
| 1        | 1               | 1               | $\times$ | $\times$ | $\times$ | $\times$ | 锁存 |   |   |   |   |   |   | 锁存   |



# 实验内容

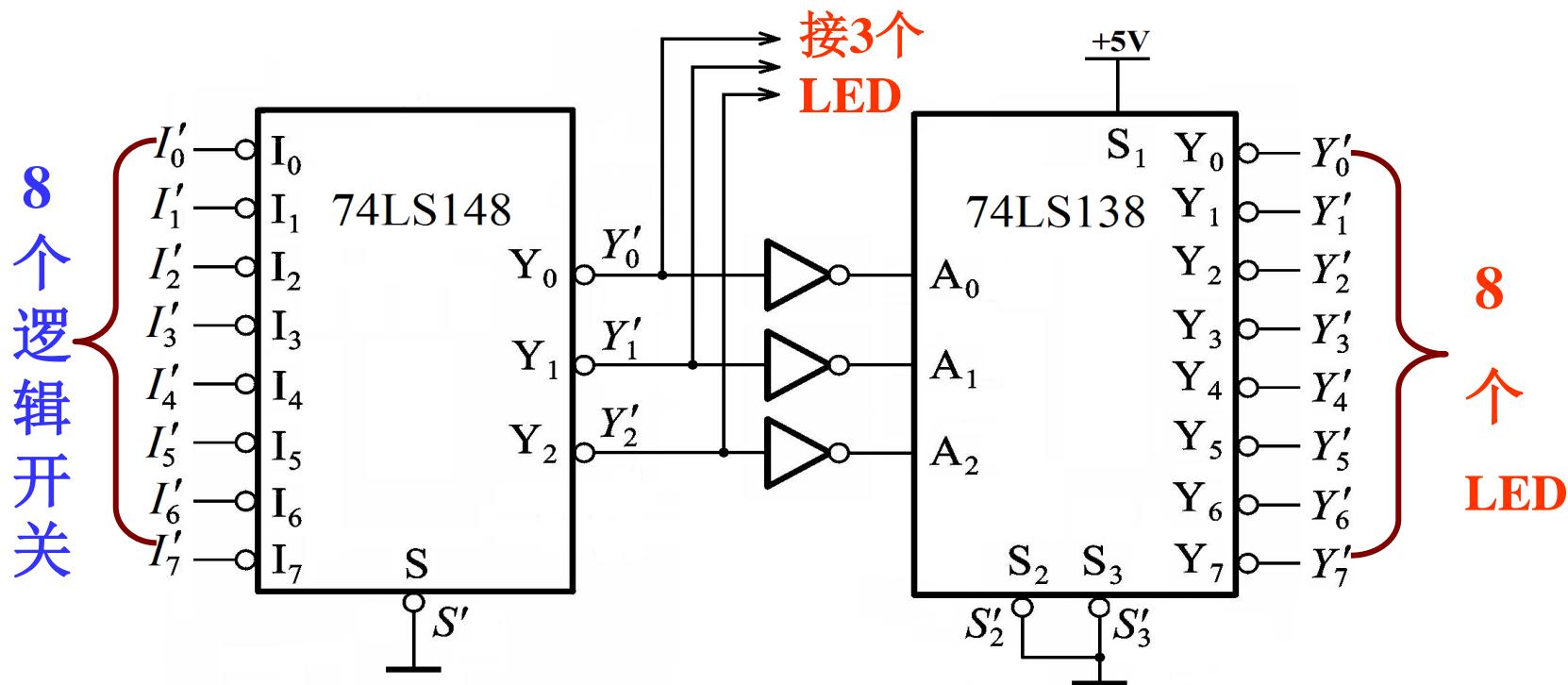
## 一、试用逻辑门设计一个4线-2线的优先编码器。

用小规模逻辑门芯片设计一个4线-2线的优先编码器，  
要求输入端高电平有效（输出原码表示）。将输入端接  
逻辑开关，输出端 $Y_0 \sim Y_1$  分别接 2 个发光二极管，拨动  
逻辑开关，根据发光二极管显示的变化，逐项验证 4-2  
线编码器的功能。自拟表格记录实验数据。

要求：用与非门、反相器



## 二、验证编码器74LS148和译码器74LS138的逻辑功能（验收）



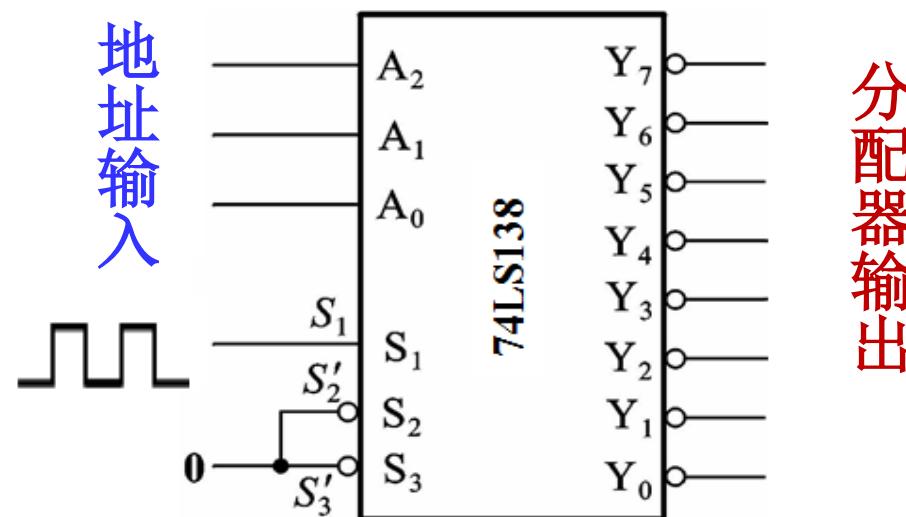


根据74LS148和74LS138的输出状态，填写下表，并分析结果。

| 74LS148 (编码器) |        |        |        |        |        |        |        | 74LS138 (译码器) |        |        |       |       |       |        |        |        |        |        |        |        |        |
|---------------|--------|--------|--------|--------|--------|--------|--------|---------------|--------|--------|-------|-------|-------|--------|--------|--------|--------|--------|--------|--------|--------|
| $I'_0$        | $I'_1$ | $I'_2$ | $I'_3$ | $I'_4$ | $I'_5$ | $I'_6$ | $I'_7$ | $Y'_2$        | $Y'_1$ | $Y'_0$ | $A_2$ | $A_1$ | $A_0$ | $Y'_0$ | $Y'_1$ | $Y'_2$ | $Y'_3$ | $Y'_4$ | $Y'_5$ | $Y'_6$ | $Y'_7$ |
| 1             | 1      | 1      | 1      | 1      | 1      | 1      | 1      |               |        |        |       |       |       |        |        |        |        |        |        |        |        |
| 0             | 1      | 1      | 1      | 1      | 1      | 1      | 1      |               |        |        |       |       |       |        |        |        |        |        |        |        |        |
| x             | 0      | 1      | 1      | 1      | 1      | 1      | 1      |               |        |        |       |       |       |        |        |        |        |        |        |        |        |
| x             | x      | 0      | 1      | 1      | 1      | 1      | 1      |               |        |        |       |       |       |        |        |        |        |        |        |        |        |
| x             | x      | x      | 0      | 1      | 1      | 1      | 1      |               |        |        |       |       |       |        |        |        |        |        |        |        |        |
| x             | x      | x      | x      | 0      | 1      | 1      | 1      |               |        |        |       |       |       |        |        |        |        |        |        |        |        |
| x             | x      | x      | x      | x      | 0      | 1      | 1      |               |        |        |       |       |       |        |        |        |        |        |        |        |        |
| x             | x      | x      | x      | x      | x      | x      | 0      |               |        |        |       |       |       |        |        |        |        |        |        |        |        |
| x             | x      | x      | x      | x      | x      | x      | x      |               |        |        |       |       |       |        |        |        |        |        |        |        |        |



三、试将74LS138用作数据分配器，逻辑电路如下图所示，将1Hz连续脉冲信号加到电路的控制输入端，输出接发光二极管，改变输入地址码A<sub>2</sub>、A<sub>1</sub>、A<sub>0</sub>的值，观察实验现象，记录实验结果。





## 四、设计一个具有3路报警信号的报警装置（验收）

当第一路有报警信号时，数码管显示“1”；当第二路有报警信号时，数码管显示“2”；当第三路有报警信号时，数码管显示“3”；当有两路或两路以上有报警信号时，数码管显示“8”；当无报警信号时，数码管显示“0”。

要求：用74LS138、CC4511和逻辑门等器件设计该电路。



五、**(选做)** 试用两片74LS138和74LS20双与非门设计逻辑电路实现下列多输出函数。

$$\begin{cases} Y_1 = A'BC'D' + A'B'C'D + AB'C'D' + ABCD' \\ Y_2 = BC \end{cases}$$

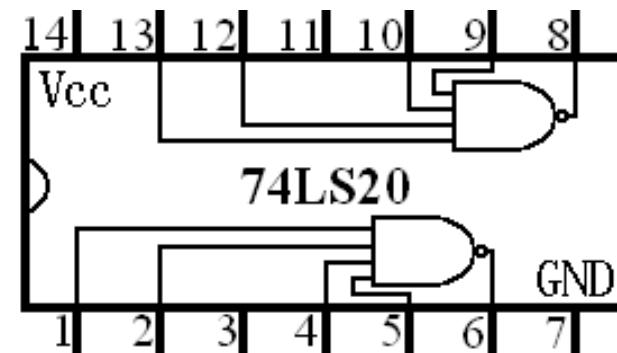
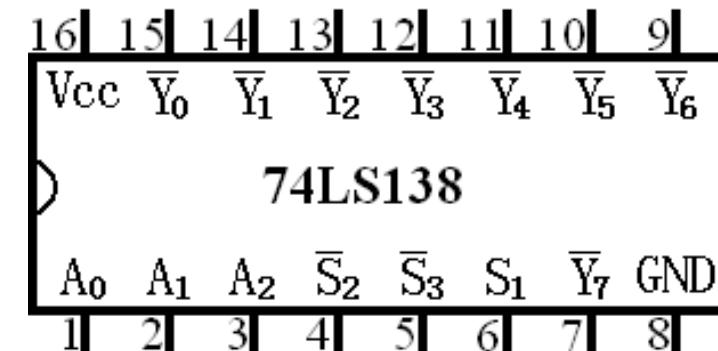
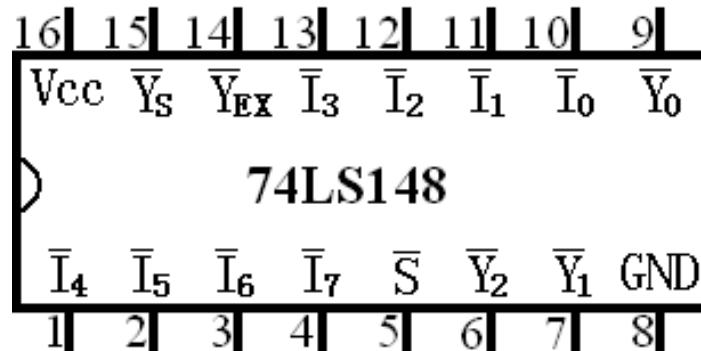


## 思考题

1. 如何判断一个数码管的好坏？
2. 共阴极和共阳极数字显示器有什么区别？能否用CC4511直接驱动共阳极数字显示器？
3. 为什么用二进制译码器可以设计任意的组合逻辑电路？
4. 总结用集成电路进行功能扩展的方法。



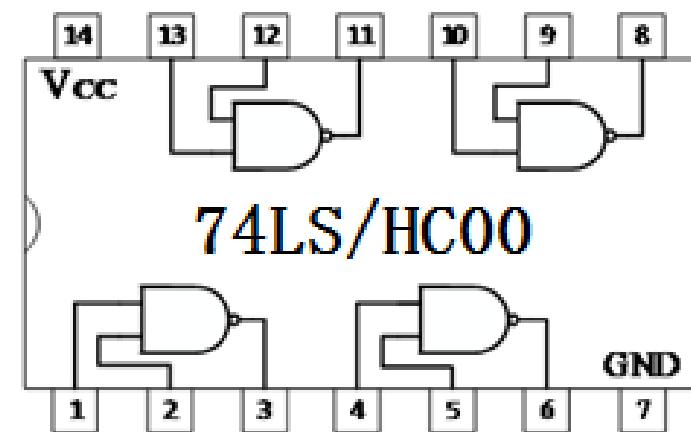
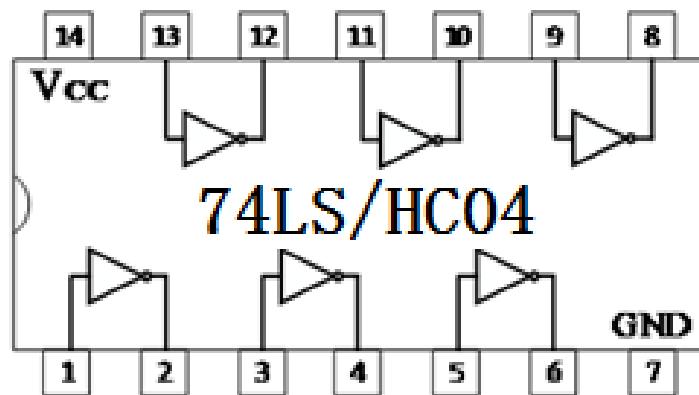
**Note:** 所有芯片的Vcc需接+5V，GND需接地。

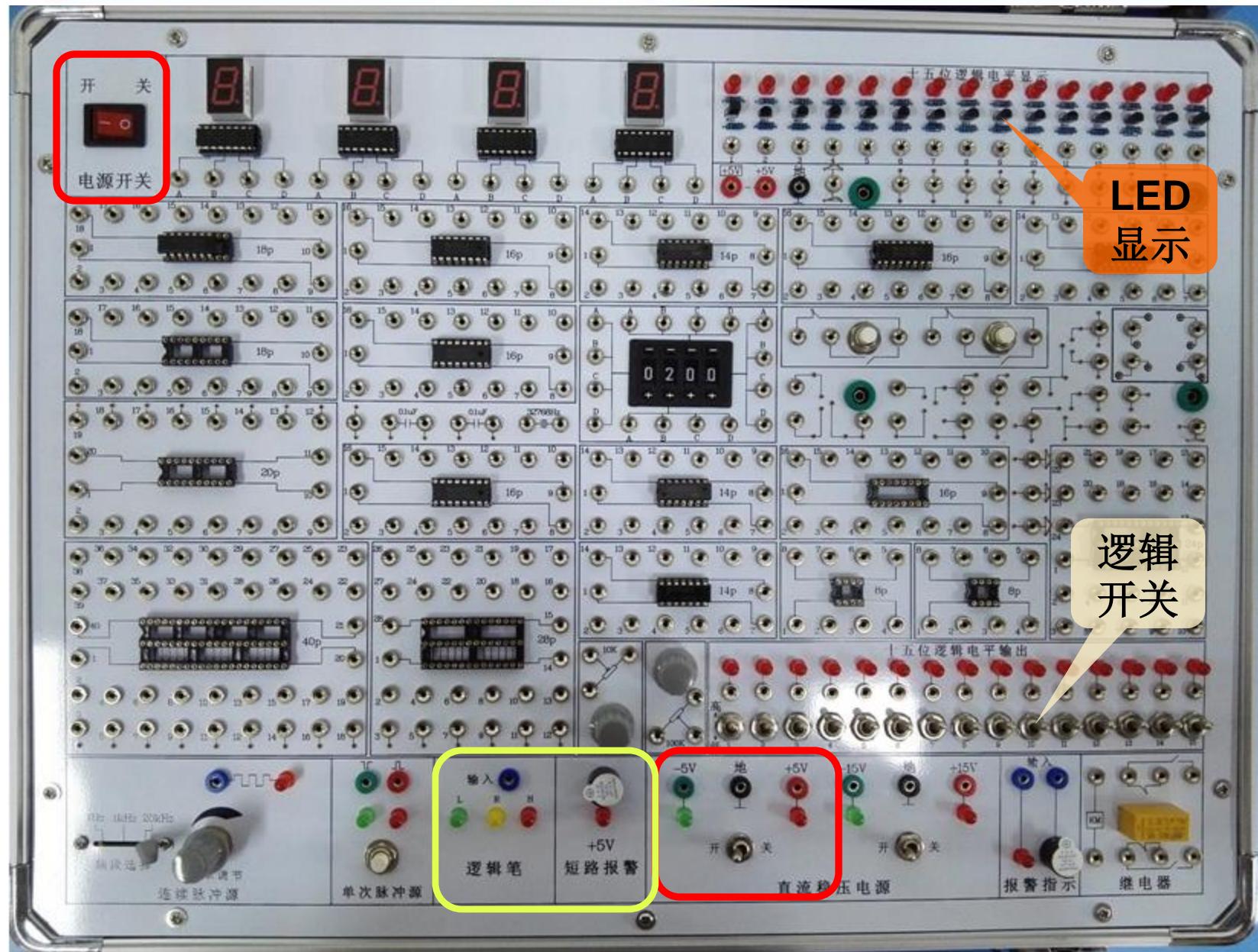


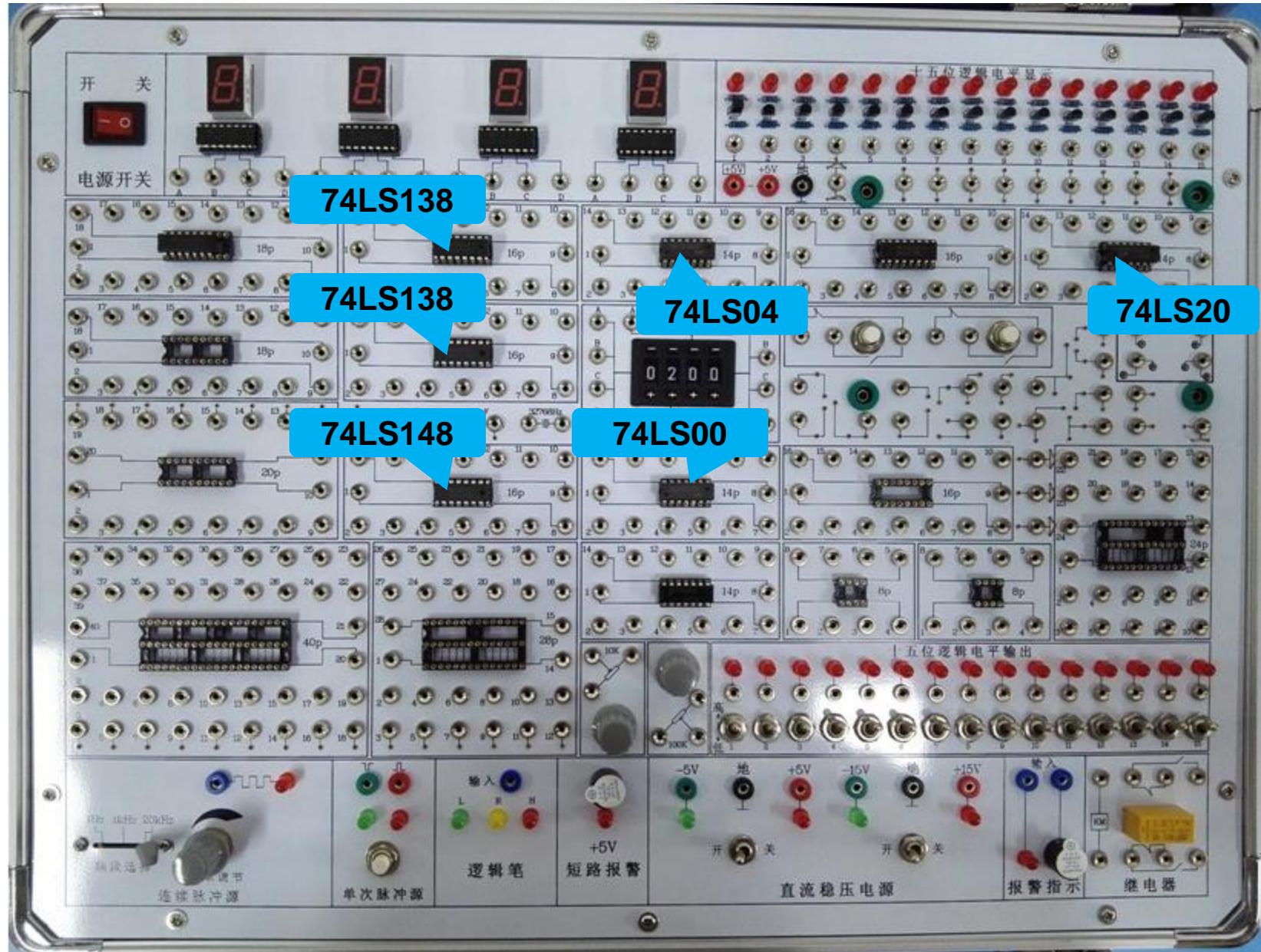
芯片引脚图

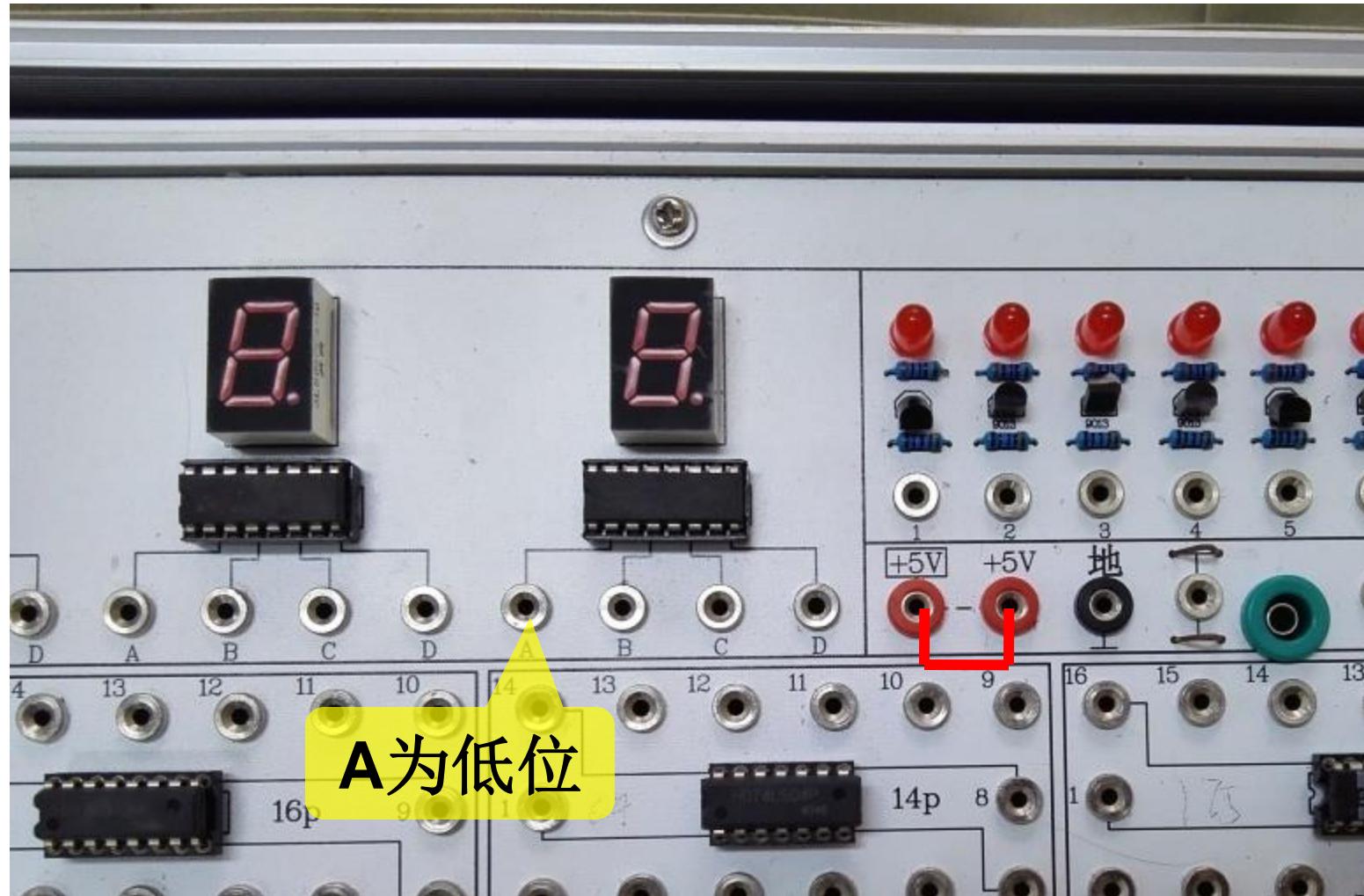


**Note:** 所有芯片的Vcc需接+5V，GND需接地。









A为低位



## 后续实验安排

第(2)组 16周 112室 抢答器

第(1)组 17周 101室 考试