

第一章

填空

- 1.完整的计算机系统应包括配套的硬件设备和软件系统。
- 2.计算机硬件包括运算器，控制器，存储器，输入设备和输出设备。其中运算器，控制器和存储器组成主机，运算器和控制器可统称为 CPU。
- 3.基于存储程序原理的冯·诺伊曼计算机工作方式的基本特点是按地址访问并顺序执行指令。
- 4.计算机硬件是指计算机系统的实体部分，它由看得见摸得着的各种电子元器件及各类光、电、机设备的实物组成，包括主机、外部设备等;软件是指人们事先编制的具有各类特殊功能的程序，是无形的;固件是指具有某种软件功能的硬件，一般用 ROM 实现。
- 5.系统程序是指用来对整个计算系统进行调度、管理、监视及服务的各种软件;应用程序是指用户在各自的系统中开发和应用的各種程序。
- 6.计算机与日常使用的袖珍计算器的本质区别在于自动化程度的高低。
- 7.为了更好地发挥计算机效率和方便用户,20 世纪 50 年代发展了操作系统技术,通过它对计算机进行管理和调度。
- 8.指令和数据都存放在存储器中，控制器能自动识别它们。
- 9.计算机系统没有系统软件中的操作系统,就什么工作都不能做。
- 10.在用户编程所用的各种语言中，与计算机本身最为密切的语言是汇编语言。
- 11.计算机唯一能直接执行的语言是机器语言。
- 12.电子计算机问世至今，计算机类型不断推陈出新，但依然保存“存储程序”的特点，最早提出这种观念的是冯·诺伊曼。
- 13.汇编语言是一种面向机器的语言，对机器依赖性强，用汇编语言编制的程序执行速度比高级语言快。
- 14.有些计算机将一部分软件永恒地存于只读存储器中，称为固件。
- 15.计算机将存储、算术逻辑运算和控制三个部分合称为主机,再加上输入设备和输出设备就组成了计算机硬件系统。
- 16.1 μ s 是 10^{-6} s,其时间是 1ns 的 1000 倍。
- 17.计算机系统的软件可分为系统软件和应用软件,文本处理属于应用软件，汇编程序属于系统软件。
- 18.指令的解释是由计算机的控制器来完成的，运算器用来完成算术和逻辑运算。
- 19.软件是各种指挥计算机工作的程序总称，可大致分为系统软件和应用软件两大类。前者的主要作用是充分发挥硬件功能及方便用户，最典型的如操作系统。
- 20.若以电视来比喻计算机硬件和软件的关系，则电视机好比硬件，电视节目好比软件。
- 21.存储器分为主存和辅存，程序必须存于主存内，CPU 才能执行其中的指令。
- 22.常用的辅助存储器有磁盘和磁带（或光盘）等。
- 23.存储器的容量可以用 KB,MB 和 GB 表示，它们分别代表 2^{10} 字节, 2^{20} 字节和 2^{30} 字节。
- 24.计算机硬件的主要技术指标包括机器字长、存储容量、运算速度。

问答题

1.什么是计算机系统？说明计算机系统的层次结构。

1.计算机系统包括硬件和软件。从计算机系统的层次结构来看,它通常可有5个以上的层次,在每一层次(级)上都能进行程序设计。由下至上可排序为:

第1级微程序机器级,微指令由硬件直接执行;

第2级传统机器级,用微程序解释机器指令;

第3级操作系统级,一般用机器语言程序解释作业控制语句;

第4级汇编语言机器级,这一级由汇编程序支持和执行;

第5级高级语言机器级,采用高级语言,由各种高级语言编译程序支持和执行。

还可以有第6级应用语言机器级,采用各种面向问题的应用语言。

2.画出计算机硬件基本组成框图,通过解题过程说明每一功能部件的作用及它们之间的信息流向。

2.计算机硬件系统由5大部件组成,如图1.3所示。控制器指挥各部件协调工作;运算器能完成算术运算和逻辑运算;存储器用来存放程序和数据;输入设备可将人们熟悉的信息转换成机器能识别的信息;输出设备可将机器运行结果转换成人们能接受的信息。

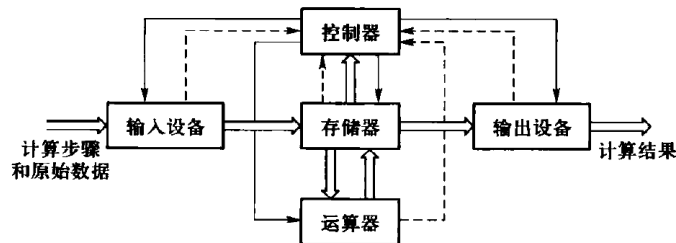


图 1.3 第 2 题答图

解题过程说明如下:事先将需要解决的问题编制成解题程序,在控制器的指挥下,经输入设备输入至存储器,然后启动机器运行程序,控制器从存储器中自动、逐条地取出指令,经分析,发出各种不同的命令,执行指令,直至最终将运行结果通过输出设备显示或打印出来。部件之间的信息流向如图中所示,其中实线表示控制信号,虚线表示反馈信号,宽线表示数据流(包括数据和指令)。

3.什么是主机?什么是CPU?什么是存储器?简述它们的功能。

3.主机包括运算器、控制器和存储器。其功能是在控制器的指挥下,逐条地从存储器中取出指令,分析指令,发出各种不同的命令,在运算器中完成各种算术逻辑运算,并将结果存于存储器中。

CPU包括运算器和控制器,又称为中央处理器,它具有运算器和控制器的功能。

存储器用来存放程序和数据。

4.计算机系统软件包括哪几类?各有何作用?

4.计算机系统软件包括:

(1)标准程序库,如监控程序,用于监视计算机工作。

(2)服务性程序,如连接、编辑、调试、诊断。

(3)语言处理程序,如编译程序、汇编程序、解释程序,将各种语言转换成机器语言。

(4)操作系统，用来控制和管理计算机。

(5)数据库管理系统。

(6)各种计算机网络软件。

5.什么是硬件？什么是软件？两者谁更重要？为什么？

5.硬件是计算机系统的实体部分，它由看得见摸得着的各种电子元器件及各类光、电、机设备的实物组成，包括主机和外部设备等。

软件是看不见摸不着的，由人们事先编制的具有各类特殊功能的程序组成。

硬件和软件是不可分割的统一体，前者是后者的物质基础，后者是前者的“灵魂”，它们相辅相成，互相促进。

6.什么是指令？什么是程序？

6.指令是机器完成某种操作的命令，典型的指令通常包括操作码和地址码两部分。操作码用来指出执行什么操作（如加、传送），地址码用来指出操作数在什么地方。

程序是有序指令的集合，用来解决某一特定问题。

7.机器语言、汇编语言、高级语言有何区别？

7.机器语言由代码“0”、“1”组成，是机器能直接识别的一种语言。

汇编语言是面向机器的语言，它用一些特殊的符号表示指令。

高级语言是面向用户的语言，它是一种接近于人们使用习惯的语言，直观，通用，与具体机器无关。

8.计算机硬件的主要技术指标有哪些？

8.计算机的硬件指标主要有：

(1)机器字长：CPU 一次能处理数据的位数，通常与 CPU 的寄存器位数有关。

(2)存储容量：包括主存容量和辅存容量，是存放二进制代码的总位数，可用位(bit)或字节(byte)来衡量。

(3)运算速度：可用 MIPS(每秒执行的百万条指令数)、CPI(每执行一条指令所需的时钟周期数)或 FLOPS(每秒浮点运算次数)来衡量运算速度。

9.解释英文缩写的含义：MIPS、CPI、FLOPS。

9.MIPS(Million Instruction Per Second)即每秒执行百万条指令数，如每秒能执行 300 万条指令，则记为 3MIPS。

CPI(Cycle Per Instruction)即执行一条指令所需的时钟周期（时钟频率的倒数）数。

FLOPS(Floating Point Operation Per Second)即每秒浮点运算次数。

10.什么是机器字长、指令字长、存储字长？

10.机器字长是指 CPU 一次能处理数据的位数，通常与 CPU 的寄存器位数有关。

指令字长是指机器指令中二进制代码的总位数。

存储字长是指存储单元中存放二进制代码的总位数。

三者可以相等也可以不等，视不同机器而定。

11.如何理解计算机体系结构和计算机组成？

11.计算机体系结构是指能够被程序员所见到的计算机系统的属性，即概念性的结构与功能

特性。通常是指用机器语言编程的程序员(也包括汇编语言程序设计者和汇编程序设计者)所看到的传统机器的属性, 包括指令集、数据类型、存储器寻址技术、I/O 机理等, 大都属于抽象的属性。

计算机组成是指如何实现计算机体系结构所体现的属性, 它包含了许多对程序员来说是透明的(即程序员不知道的)硬件细节。例如, 一台机器是否具备乘法指令是一个结构问题, 而实现乘法指令采用什么方式是一个组成问题。

12.解释英文缩写的含义: CPU、PC、IR、CU、ALU、ACC、MQ、X、MAR、MDR、MM、I/O。

12.CPU Central Processing Unit)中央处理器, 包括控制器和运算器

PC(Program Counter) 程序计数器

IR(Instruction Register)指令寄存器

CU (Control Unit)控制单元

ALU (Arithmetic Logic Unit)算术逻辑单元

ACC (Accumulator)累加器

MQ(Multiplier-Quotient Register)乘商寄存器

X 操作数寄存器

MAR (Memory Address Register)存储器地址寄存器

MDR (Memory Data Register)存储器数据寄存器

MM (Main Memory)主存储器

I/O (Input/Output Equipment)输入输出设备

13.解释存储元件、存储元、存储基元、存储单元、存储字的概念。

13.存储元件(又称存储基元、存储元)用来存放一位二进制信息。

存储单元由若干个存储元件组成, 能存放多位二进制信息。许多个存储单元可组成存储矩阵(又称存储体)。

每个存储单元中二进制代码的组合即为存储字, 它可代表数值、指令、地址或逻辑数等。每个存储单元中二进制代码的位数就是存储字长。

第三章

填空

- 1.在做手术过程中, 医生经常将手伸出, 等护士将手术刀递上, 待医生握紧后, 护士才松手。如果把医生和护士看作是二个通信模块, 上述一系列动作相当于异步通信中的全互锁方式。
- 2.按连接部件不同, 总线通常可分为片内总线、系统总线和通信总线三种。
- 3.系统总线是连接 CPU、主存、I/O(通过 I/O 接口)之间的信息传送线, 按传输内容不同, 又可分为地址线、数据线和控制线, 分别用来传送地址、数据和控制信号、响应信号和时序信号。
- 4.Plug and Play 的含义是即插即用。PCI 和 USB 总线标准具有这种功能。
- 5.一个总线传输周期包括申请分配阶段、寻址阶段、传输阶段和结束阶段四个阶段。
- 6.总线上的主模块是指对总线有控制权的模块, 从模块是指被主模块访问的模块, 只能响应

- 从主模块发来的各种总线命令。
- 7.总线的通信控制主要解决通信双方如何获知传输开始和传输结束,以及通信双方如何协调如何配合。通常有同步通信、异步通信、半同步通信和分离式通信四种。
 - 8.同步通信的主要特点是通信双方由统一时钟控制数据的传输,一般用于总线长度较短,总线上各部件存取时间比较一致的场合;异步通信的特点是通信双方没有公共的时钟标准,采用应答方式通信,一般用于总线上各部件速度不一致的场合。
 - 9.每个总线部件一般都配有三态门电路,以避免总线访问冲突,当某个部件不占用总线时,由该电路禁止向总线输出信息。
 - 10.总线同步通信影响总线效率的原因是必须按最慢速度的部件来设计公共时钟周期。
 - 11.在总线的异步通信方式中,通信的双方可以通过不互锁、半互锁和全互锁三种类型联络。
 - 12.ISA 总线的最大数据宽度是 16 位,EISA 总线的最大数据宽度是 32 位,PCI 总线的数据宽度为 32 位,可扩充 64 位。
 - 13.USB 总线便于实现 PC 与外设的简单快速连接,AGP 总线有利于多媒体计算机处理三维数据。
 - 14.总线宽度是指数据线的宽度,总线带宽是指单位时间内总线上传输数据的位数。
 - 15.按数据传送方式不同,总线可分为串行传输总线和并行传输总线
 - 16.单向总线只能将信息从总线的一端传到另一端,不能反向传输。
 - 17.总线的判优控制可分为集中式和分布式两种。
 - 18.在同步通信中,设备之间没有应答信号,数据传输在公共时钟信号的控制下进行。
 - 19.在异步通信中,没有固定的总线传输周期,通信双方通过应答(握手)信号联络。
 - 20.在计数器定时查询方式下,采用每次从上一次计数的终止点开始计数的方式,可使每个设备使用总线的优先级相等。
 - 21.总线复用技术是指不同的信号(如地址信号和数据信号)共用同一组物理线路,分时使用。此时需配置相应的电路。
 - 22.半同步通信既有统一的时钟信号,又允许不同速度的模块和谐工作。为此需增设一条“等待”(WAIT)响应信号线。
 - 23.假设总线的时钟频率为 100MHz,总线的传输周期为 4 个时钟周期,总线的宽度为 32 位,则总线的数据传输率为 100 MBps。若在不改变总线时钟频率的前提下,使总线的数据传输率提高一倍,可采取总线的数据线宽度改为 64 位的措施。
 - 24.设总线的时钟频率为 100MHz,总线的传输周期为 1 个时钟周期,总线的宽度为 16 位,则总线的数据传输率为 200 MBps。若想提高一倍数据传输率,可采用不改变总线的时钟频率,使数据线宽度改为 32 位和保持数据线宽度为 16 位,使总线的时钟频率增加到 200MHz 的措施。
 - 25.分离式通信充分地利用了总线的有效占用,总线上所有模块都成为主模块。
 - 26.在异步串行传输系统中,欲传送十六进制数据 A4H,则起始位后面紧跟的二进制位是 0

问答题

- 1.解释下列概念
 - (1)总线
 - (2)系统总线
 - (3)通信总线
 - (4)总线主设备
 - (5)总线从设备

(6)总线仲裁

- 1.(1)总线是连接多个部件（模块）的信息传输线，是各部件共享的传输介质。
- (2)系统总线是指 CPU、主存、I/O 设备（通过 I/O 接口）各大部件之间的信息传输线。按传输内容的不同，又分数据总线、地址总线和控制总线。
- (3)通信总线是连接计算机系统之间或计算机系统与其他系统（如控制仪表、移动通信等）之间的信息传输线。
- (4)总线主设备是指获得总线控制权的设备。
- (5)总线从设备是指被主设备访问的设备，只能响应从主设备发来的各种总线命令。
- (6)总线仲裁即总线判优，主要解决在多个主设备申请占用总线时，由总线控制器仲裁出优先级别最高的设备，允许其占用总线。

2.总线管理包括哪些内容？简要说明各种管理措施。

- 2.总线管理主要包括判优控制和通信控制。判优控制又分集中式和分布式两种，集中式总线判优逻辑有链式查询、计数器定时查询和独立请求三种方式。

链式查询方式只需 1 根总线请求线(BR)、1 根总线忙线(BS)和 1 根总线同意线(BG),BG 线像链条一样，串联所有的设备，设备的优先级是固定的，结构简单，容易扩充设备，但对电路故障十分敏感，一旦第 i 个设备的接口电路有故障，则第 i 个设备以后的设备都不能进行工作。

计数器定时查询方式的总线请求(BR)和忙(BS)线是各设备共用的，但还需 $\lg N$ (N 为设备数)根设备地址线实现查询。设备的优先级可以不固定，控制比链式查询复杂，电路故障不如链式查询方式敏感。

独立请求方式控制线数量多， N 个设备共有 N 根总线请求线和 N 根总线同意线。总线仲裁线路更复杂，但响应速度快，且设备优先级的次序控制灵活，可以预先固定，也可通过程序来改变优先次序，还可在必要时屏蔽某些设备的请求。

通信控制有四种方式：同步通信、异步通信、半同步通信和分离式通信。

同步通信采用公共时钟，有统一的传输周期。

异步通信没有公共时钟，采用应答方式通信，没有固定的传输周期。

半同步通信既有公共时钟，又允许速度不同的模块和谐工作，采用插入等待周期的措施来协调通信双方的配合问题。

分离式通信总线上的每个模块都可以成为主模块，将总线传输周期分为两个子周期，每个子周期可供不同模块占用，总线上无空闲等待时间，最充分地发挥了总线的有效占用。

3.什么是总线判优？为什么需要总线判优？

- 3.总线判优就是当总线上各个主设备同时要求占用总线时，通过总线控制器，按一定的优先等级顺序确定某个主设备可以占用总线。

因为总线传输的特点就是在某一时刻，只允许一个部件向总线发送信息，如果有两个以上的部件同时向总线发送信息，势必导致信号冲突传输无效，故需用判优来解决。

4.什么是总线通信控制？为什么需要总线通信控制？

- 4.总线通信主要解决通信双方如何获知传输开始和传输结束，以及通信双方如何协调配合。

因为总线是众多部件共享的，在传送时间上只能用分时方式来解决，所以通信双方必须按某种约定的方式进行通信。

5.什么是总线标准？为什么要制定总线标准？

5.总线标准是国际公布或推荐的互联各个模块的标准，这个标准为各模块互联提供一个标准界面（接口），这个界面对它两端的模块都是透明的，即界面的任一方只需根据总线标准的要求来完成自身一方接口的功能，而不必考虑对方与界面的接口方式。

制定总线标准使系统设计简化，便于模块生产批量化，确保其性能稳定，质量可靠，实现可移化，便于维护等，较好地解决了系统、模块、设备与总线之间不适应、不通用及不匹配等问题。

6.异步通信与同步通信的主要区别是什么？说明通信双方如何联络。

6.同步通信和异步通信的主要区别是前者有公共时钟，总线上的所有设备按统一的时序、统一的传输周期进行信息传输，通信双方按约定好的时序联络；后者没有公共时钟，没有固定的传输周期，采用应答方式通信，具体的联络方式有不互锁、半互锁和全互锁三种。不互锁方式通信双方没有相互制约关系；半互锁方式通信双方有简单的制约关系；全互锁方式通信双方有完全的制约关系。其中全互锁通信可靠性最高。

7.在高档 PC 中，流行使用三总线（系统总线，PCI 总线、ISA 或 EISA 总线）结构。说明这三种总线的连接关系，并举例说明每种总线上所连接的部件。

7.在高档 PC 机中，系统总线主要连接 CPU 和存储器；PCI 总线主要连接多媒体卡、高速局域网适配器、高性能图形板等高速部件；ISA 或 EISA 总线连接图文传真机、调制解调器、打印机等低速部件。系统总线和 PCI 总线通过 PCI 桥路相连，PCI 总线又通过标准总线控制器与 ISA 和 EISA 总线相连。

8.计算机中采用总线结构有何优点？

8.计算机中采用总线结构便于故障诊断与维护，便于模块化结构设计和简化系统设计，便于系统扩展和升级，便于生产各种兼容的软、硬件。

9.串行传输和并行传输有何区别？各应用于什么场合？

9.串行传输是指数据在一条线路上按位依次进行传输，线路成本低，但速度慢，适合于远距离的数据传输。并行传输是每个数据位都有一条独立的传输线，所有的数据位同时传输，其传输速度快、成本高，适合于近距离、高速传输的场合。

10.某总线在一个总线周期中可并行传送 8 个字节数据，假设一个总线周期等于一个时钟周期，总线的时钟频率为 66MHz,求总线的带宽。

10.设总线的时钟频率为 f ,则总线的时钟周期 $T=1/f$,根据在一个总线周期（即一个时钟周期）内并行传输 8B,得总线带宽为 $8B/T=8B \times f=8B \times 66 \times 10^6 \text{Hz}=528 \times 10^6 \text{Bps}$

第四章

填空

- 1.主存、快速缓冲存储器、通用寄存器、磁盘、磁带都可用来存储信息，按存取时间由快至慢排列，其顺序是通用寄存器、快速缓冲存储器、主存、磁盘、磁带。
- 2.缓存、主存和辅存组成三级存储系统，分级的目的是提高访存速度、扩大存储容量
- 3.半导体静态 RAM 依据触发器原理存储信息，半导体动态 RAM 依据电容存储电荷原理存储信息。
- 4.动态 RAM 依据电容存储电荷的原理存储信息，因此一般在 2ms 时间内必须刷新一次，刷新与行地址有关，该地址由刷新地址计数器给出。
- 5.RAM 的速度指标一般用存取周期表示，而磁盘存储器的速度指标一般包括寻找时间（寻道时间）、等待时间和数据传输时间三项。
- 6.动态半导体存储器的刷新一般有集中刷新、分散刷新和异步刷新三种方式，之所以刷新是因为存储电荷的电容放电。
- 7.半导体静态 RAM 进行读/写操作时，必须先接受地址信号，再接受片选和读/写信号。
- 8.欲组成一个 32K×8 位的存储器，当分别选用 1K×4 位，16K×1 位，2K×8 位的三种不同规格的存储芯片时，各需 64、16 和 16 片。
- 9.欲组成一个 64K×16 位的存储器，若选用 32K×8 位的存储芯片，共需 4 片；若选用 16K×1 位的存储芯片，则需 64 片；若选用 1K×4 位的存储芯片共需 256 片。
- 10.用 1K×1 位的存储芯片组成容量为 16K×8 位的存储器共需 128 片，若将这些芯片分装在几块板上，设每块板的容量为 4K×8 位，则该存储器所需的地址码总位数是 14,其中 2 位用于选板，2 位用于选片，10 位用于存储芯片的片内地址。
- 11.用 1K×4 位的存储芯片组成容量为 64K×8 位的存储器，共需 128 片，若将这些芯片分装在几块板上，设每块板的容量为 16K×8 位，则该存储器所需的地址线总位数是 16,其中 2 位用于选板，4 位用于选片，10 位用于存储芯片的片内地址。
- 12.磁表面存储器的记录方式总体上可分为归零制和不归零制两大类，前者的特点是不论记录的代码是 0 还是 1，在记录下一个信息之前，记录电流要恢复到零电流,后者的特点是磁头线圈中始终有电流。
- 13.最基本的数字磁记录方式有归零制(RZ)、不归零制(NRZ)、见“1”就翻的不归零制(NRZI)、调相制(PM)、调频制(FM)和改进型调频制(MFM)六种。
- 14.对活动头磁盘组来说，磁盘地址由记录面号（磁头号）、磁道号和扇段号三部分组成，每个扇段存储一个记录块,其中包括头尾空白段、序标段、数据段、校验字段几部分。
- 15.沿磁盘半径方向单位长度的磁道数称为道密度,而单位长度磁道上记录二进制代码的位数称为位密度或线密度,两者总称为记录密度。
- 16.单位时间从磁盘存储器读出或写入的二进制位数称为磁盘存储器的数据传输率,如果不考虑寻道时间和等待时间，假设位密度为 T b/mm(位/毫米)，并且以 Vcm/s 的速度通过读/写磁头，则数据传输率为 10 VT,其单位是 bps。
- 17.读/写磁头从一个磁道移到另一个磁道所需要的平均时间称为磁盘存储器的寻道时间。当读/写磁头完成定位后，所要读/写的存储元可能在旋转磁道的其他地方，要等待一段时间才能位于读/写磁头下面进行数据读/写，这种旋转等待所需的平均时间称为磁盘存储器的等待时间。

- 18.主存可以和缓存、辅存和 CPU 交换信息,辅存可以和主存交换信息,快速缓存可以和主存、CPU 交换信息。
- 19.缓存是设在 CPU 和主存之间的一种存储器,其速度与 CPU 速度匹配,其容量与缓存中数据的命中率有关。
- 20.存储器由 $m(m=1,2,4,8,\dots)$ 个模块组成,每个模块有自己的地址和数据寄存器,若存储器采用模 m 编址,存储器带宽可增加到原来的 m 倍。
- 21.设有八体并行低位交叉存储器,每个模块的存储容量是 $64K \times 32$ 位,存取周期是 $500ns$,则在 $500s$ 内,该存储器可向 CPU 提供 256 位二进制信息,比单个模块存储器的速度提高了 7 倍。
- 22.使用高速缓冲存储器是为了解决 CPU 和主存的速度匹配问题,提高访存速度,缓存的地址对用户是透明的,存储管理主要由硬件实现。使用虚拟存储器是为了解决扩大存储器容量问题,存储管理主要由硬件和操作系统实现。后一种情况下,CPU 不直接访问第二级存储器。
- 23.主存储器容量通常以 KB 为单位,其中 $K=1024$ 。硬盘的容量通常以 GB 为单位,其中 $G=2^{30}$
- 24.主存储器为 1MB 即等于 1024KB,又可表示为 $2^{20}B$ 。
- 25.当人们说 16 位微机的存储器容量是 640KB 时,表示存储器有 655360 字节存储空间,地址号从 0 到 655359 (本题均要求写出十进制各位数值)。
- 26.将主存地址映射到缓存中定位称为地址映射,将主存地址变换成缓存地址称为地址变换,当新的主存块需要调入缓存中,而它的可用位置又被占用时,需根据替换算法解决调入问题。
- 27.主存和缓存的地址映射方法很多,常用的有直接映射、全相联映射和组相联映射三种,在存储管理上常用的替换算法是先进先出算法(FIFO)和近期最少使用算法(LRU)。
- 28.缓存的命中率是指 CPU 要访问的信息已在缓存中的比率,命中率与缓存的块长和容量有关。
- 29.Flash Memory 具有高性能、低功耗、高可靠性以及瞬时启动的能力,常作为固态硬盘,用于便携式电脑中。
- 30.在缓存-主存层次的存储系统中,存储管理常用的替换算法是 LRU 和 FIFO,前者命中率高。
- 31.虚拟存储器指的是主存-辅存层次,它可给用户提供一个比实际主存空间大得多的虚拟地址空间。
- 32.Cache 是一种高速缓冲存储器,用来解决 CPU 与主存之间速度不匹配的问题。现代的缓存可分为片载缓存和片外缓存两级,并将指令缓存和数据缓存分开设置。
- 33.计算机系统中常用到的存储器有:①SRAM,②DRAM,③Flash Memory,④EPROM,⑤硬盘存储器,⑥软盘存储器。其中非易失的存储器有③④⑤⑥;具有在线能力的有①②③⑤⑥;可以单字节修改的有①②;可以快速读出的存储器包括①②③④。
- 34.反映存储器性能的三个指标是速度、容量和价格/位,为了解决这三方面的矛盾,计算机采用多级存储体系结构。
- 35.主存储器的技术指标有存储容量、存取周期和存储器带宽;磁表面存储器的技术指标有记录密度、存储容量、平均寻址时间、数据传输速率和误码率。
- 36.如果缓存的容量为 128 块,在直接映射方式下,主存中第 i 块映射到缓存第 $i \bmod 128$ 块。
- 37.一个完整的磁盘存储器由三部分组成,其中磁盘控制器是磁盘机与主机的接口部件;磁盘驱动器是独立于主机的一个完整的设备;盘片用于保存信息。
- 38.硬磁盘机的磁头可分为固定磁头和可移动磁头,盘片结构可分为固定盘片和可换盘片。

39. 设有一个四体低位交叉的存储器，每个体的容量为 $256K \times 64$ 位，存取周期为 200 ns 。则数据总线的宽度为 **64** 位，总线传送周期的最大值是 **50** ns。CPU 连续读 4 个字所需的最多时间是 **350** ns。
40. 存储器的带宽是指**每秒从存储器中读出或写入的二进制代码位数**。如果存储周期为 T_m ，存储字长为 n 位，则存储器带宽为 n/T_m ，常用的单位是 **bps 或 Bps 或 字/秒**。为了增加存储器的带宽可采用**单体多字结构**和**低位交叉多体并行结构**。
41. 虚拟存储器通常由**主存**和**辅存**两级组成。为了要运行某个程序，必须把**逻辑地址**映射到主存的**物理地址**空间上，这个过程叫**地址映射**。
42. 计算机的存储系统通常采用层次结构。在选择各层次所用的器件时，应综合考虑**速度、容量、成本、密度、能耗**。
43. 在缓存-主存的地址映射中，**全相联映射**灵活性强，**全相联映射**成本最高。
44. 在写操作时，对缓存与主存单元同时修改的方法称为**写直达法**，若每次只暂时写入缓存，直到替换时才写入主存的方法称为**写回法**。
45. 一个 n 路组相联映射的缓存中，共有 M 块数据。当 $n=1$ 时，该缓存变为**直接映射**；当 $n=M$ 时，该缓存成为**全相联映射**。
46. 由容量为 16KB 的缓存和容量为 16MB 的主存构成的存储系统的总容量为 **16MB**。
47. 层次化存储器结构设计的依据是**程序访问的局部性原理**。
48. 一个四路组相连的缓存共有 64 块，主存共有 8192 块，每块 32 个字。则主存地址中的主存字块标记为 **9** 位，组地址为 **4** 位，字块内地址为 **5** 位。
49. 在虚拟存储器系统中，CPU 根据指令生成的地址是**逻辑地址（或虚拟地址）**，经过转换后的地址是**物理地址（或实际地址）**。
50. 高位交叉编址的存储器能够提高访存速度的原因是**各个体分别响应不同请求源的请求，实现多体并行**，其地址的高位部分用于**选择体号**，低位部分用于**选择存储体内的字**。
51. 低位交叉编址的存储器能够提高访存速度的原因是**不改变每个体的存取周期的前提下，增加存储器的带宽**，其地址的高位部分用于**选择存储体内的字**，低位部分用于**选择体号**。
52. 一个采用直接映射方式的 32KB 的缓存，假设块长为 8 个 32 位的字，且 CPU 访问缓存命中，则主存地址为 ABCDEFH 的单元在缓存的第 **26F** H 块内。
1010 1011 1 **100 1101 111 0 1111** **0010 0110 1111**
53. 一个四路组相连的缓存，容量为 16KB ，假设块长为 4 个 32 位的字，则地址为 FEDCBAH 的主存单元映射到缓存的第 **203** (十进制表示) 组内。
1111 1110 1101 **1100 1011 1010**
54. 一个采用直接映射方式的缓存，其块长为 4 个 16 位的字，容量为 4096 字，主存容量为 64K 字，则缓存有 **1024** 块，主存有 **2^{14} (16K)** 块。
55. 一个容量为 $16\text{M} \times 8$ 位的 DRAM 芯片，其地址线有 **24** 条，数据线有 **8** 条，地址范围为 **000000H 到 FFFFFFFH** (均用十六进制表示)。
56. **16** 片 $1\text{K} \times 8$ 位的存储芯片可组成一个容量为 $4\text{K} \times 32$ 位的存储器。若按字寻址，CPU 可寻址的空间为 **2^{12}** ，若按字节寻址，CPU 可寻址的空间为 **2^{14}** 。

问答题

1. 试比较主存、辅存、缓存、控存、虚存。

1. 主存又称为内存，直接与 CPU 交换信息。

辅存可作为主存的后备存储器，不直接与 CPU 交换信息，容量比主存大，速度比主存慢。

缓存是为了解决主存和 CPU 的速度匹配、提高访存速度的一种存储器。它设在主存和 CPU

之间，速度比主存快，容量比主存小，存放 CPU 最近期要用的信息。

控存是微程序控制器中用来存放微指令的存储器，通常由 ROM 组成，速度应比主存更快。

虚存是为了解决扩大主存容量和地址分配问题，把主存和辅存统一成一个整体。从整体上看，速度取决于主存，容量取决于辅存。实际上 CPU 仍然只与主存交换信息，由操作系统和硬件共同实现主存和辅存之间信息的自动交换。

2.试比较 RAM 和 ROM。

2.RAM 是随机存取存储器，在程序的执行过程中既可读出信息又可写入信息。

ROM 是只读存储器，在程序执行过程中只能读出信息，不能写入信息。

3.试比较静态 RAM 和动态 RAM。

3.静态 RAM 和动态 RAM 都属随机存储器，即在程序的执行过程中既可读出信息又可写入信息。但静态 RAM 靠触发器原理存储信息，只要电源不掉电，信息就不会丢失；动态 RAM 靠电容存储电荷原理存储信息，即使电源不掉电，由于电容要放电，信息也会丢失，故需再生。

4.名词解释：RAM、ROM、PROM、EPROM、EEPROM。

4.RAM 即随机存取存储器，在程序的执行过程中既可读出信息又可写入信息。

ROM 即只读存储器，在程序的执行过程中只能读出信息，不能写入信息。

PROM 即可一次性编程的只读存储器。

EPROM 即可擦写的只读存储器，利用紫外线抹去原有信息，可多次编程。

EEPROM 即电可改写型只读存储器，可多次编程。

5.名词解释：读时间和读周期。

5.读周期是存储器进行两次连续读操作的最小间隔时间；

读时间是从 CPU 给出地址信号到被选单元的内容读到数据线上的这段时间，
读周期大于读时间。

6.名词解释：写时间和写周期。

6.写周期是存储器进行两次连续写操作的最小间隔时间；

写时间是从 CPU 给出地址信号后，将数据线上的信息写入被选单元中所需的时间，
写周期大于写时间。

7.名词解释：存取周期、存取时间、存储容量。

7.存取周期是存储器进行两次连续、独立的操作（读或写）之间所需的最小间隔时间。

存取时间又分读时间和写时间，读时间是从 CPU 给出地址信号到被选单元的内容读到数据线上的这段时间；写时间是从 CPU 给出地址信号到数据线上的信息写入被选单元中所需的时间。

存储容量是存储器存放二进制代码的总数量。

8.名词解释：存储元、存储单元、存储单元地址、存储字、存储字长。

8.存储元即存储一位二进制代码的基本单元电路。

存储单元由若干个存储元组成，用来存放多位二进制代码。许多存储单元组成存储器。为了便于访问存储器的任一单元，对每一个存储单元按一定顺序给予一个地址编号，称为存

储单元地址。

存储单元中二进制代码的组合即为存储字。

存储单元中二进制代码的位数称为存储字长。

9.主存和辅存的速度指标有何不同？为什么会有这些不同？

9.主存的速度指标用存取周期表示。

辅存的速度指标，以磁盘为例，一般包括寻找（寻道）时间、等待时间和数据传输时间三项指标。

因为主存是随机存取存储器，存取周期不随存储单元的地址不同而改变。而磁盘存储器属磁表面存储器，其存取周期与存储单元的位置有关，不同位置所需的寻道时间和等待时间（在磁道上找到指定扇段位置所需的时间）不同，故不能以一个物理量来衡量。

10.磁表面存储器的技术指标一般包括那些？

10.磁表面存储器的技术指标一般包括：

(1)记录密度（又分道密度和位密度两种）。

(2)存储容量（盘面数×每个盘面的磁道数×每个磁道记录的二进制代码数）。

(3)平均访盘时间（包括寻找时间、等待时间和传送时间）。

(4)数据传送速率（每秒钟内存入或读出二进制代码的位数）。

(5)误码率（出错信息位数和读出信息的总位数之比）。

11.什么是存储密度？什么是数据传输率？

11.存储密度用来反映辅存（如磁盘）的记录密度，一般用道密度和位密度两个数值来表示。

道密度是磁盘沿半径方向单位长度的磁道数，记为 tpmm ；位密度是单位长度磁道上存储二进制信息的位数，记为 bpm 。

数据传输率是指单位时间内从辅存（如磁盘）读出或写入二进制代码的位数或字节数，通常用波特率这个参量来描述，记为 bps 或 Bps 。

12.存储器的主要功能是什么？如何衡量存储器的性能？为什么要把存储系统分成若干不同的层次？主要有哪些层次？

12.存储器的主要功能是存放程序或各类数据。

通常用存储容量、存取周期以及存储器的带宽（每秒从存储器读出或写入二进制代码的位数）三项指标来反映存储器的性能。

为了扩大存储器容量和提高访存速度，将存储系统分成若干不同层次，有缓存-主存层次和主存-辅存层次。前者为使存储器与 CPU 速度匹配，在 CPU 和主存之间增设高速缓冲存储器 Cache(简称缓存)，其容量比主存小，速度比主存快，用来存放 CPU 最近期要用的信息，CPU 可直接从缓存中取到信息，从而提高了访存速度。后者为扩大存储器容量，把主存和辅存统一成一个整体，从整体上看，速度取决于主存，容量取决于辅存，称为虚存。CPU 只与主存交换信息，但程序员可用指令地址码进行编程，其位数与虚存的地址空间对应。

13.什么是刷新？刷新有几种方式？简要说明之。

13.动态 RAM 靠电容存储电荷原理存储信息，电容上的电荷要放电，信息即丢失。为了维持所存信息，需在一定时间(2s)内，将所存信息读出再重新写入(恢复)，这一过程称为刷新，刷新是一行一行进行的，由 CPU 自动完成。

刷新通常可分集中刷新、分散刷新和异步刷新三种。

集中刷新即在 2s 时间内，集中一段时间对存储芯片的每行刷新一遍，在这段时间里不能对存储器进行访问，即所谓死时间。

分散刷新是将存储系统周期分为两半，前半段时间用来进行读/写操作，后半段时间用来进行刷新操作，显然整个系统的速度降低了，但分散刷新没有存储器的死时间。

还可将这两种刷新结合起来，即异步刷新，这种刷新可在 2s 时间内对存储芯片的每一行刷新一遍，两行之间的刷新时间间隔为 $2\text{ms}/\text{芯片的行数}$ 。

14. 存储芯片内的地址译码有几种方式？试分析它们各自的特点及应用场合。

14. 存储芯片内的地址译码有两种方式，一种是线选法，适用于地址线较少的芯片。其特点是地址信号只需经过一个方向的译码就可选中某一存储单元的所有位。另一种是重合法（双重译码），适用于地址线较多的芯片。其特点是地址线分成两组，分别经行、列两个方向译码，只有行、列两个方向均被选中的存储元才能进行读/写信息。

15. 简述主存的读/写过程。

15. 主存储器的读出过程是：CPU 先给出地址信号，然后给出片选（通常受 CPU 访存信号控制）信号和读命令，这样就可将被选中的存储单元内的各位信息读至存储芯片的数据线上。主存储器的写入过程是：CPU 先给出地址信号，然后给出片选（通常受 CPU 访存信号控制）信号和写命令，并将欲写入的信息送至存储器的数据线上，这样，信息便可写入到被选中的存储单元中。

16. 为什么多体结构存储器可以提高访存速度？

16. 多体结构存储器将存储器分成若干个(m 个)独立的模块，每个模块的容量和存取周期均相等，且它们可独立地进行读/写操作。若将这些独立的模块按高位交叉编址，而且使不同的请求源同时访问不同的模块，便可提高访存速度。此外，若将这些独立的模块按低位交叉编址（即模 m 编址），便可使存储器在不改变存取周期的前提下，增加存储器的带宽。对 m 个模块而言，存储器的带宽可提高到 m 倍。

17. 提高访存速度可采取哪些措施？简要说明之。

17. 提高访存速度可采取三种措施。

(1) 采用高速器件，选用存取周期短的芯片，可提高存储器的速度。

(2) 采用缓存，CPU 将最近期要用的信息先调入缓存，而缓存的速度比主存快得多，这样 CPU 每次只需从缓存中取出（或存入）信息，从而缩短了访存时间，提高了访存速度。

(3) 调整主存结构，如采用单体多字结构（在一个存取周期内读出多个存储字，可增加存储器的带宽），或采用多体结构存储器（参考第 16 题答案）。

18. 什么是快速缓冲存储器，它与主存有什么关系？

18. 快速缓冲存储器是为了提高访存速度，在 CPU 和主存之间增设的高速存储器，简称缓存，它对用户是透明的。只要将 CPU 最近期需用的信息从主存调入缓存，这样 CPU 每次只需访问缓存就可达到访问主存的目的，从而提高了访存速度。主存的信息调入缓存要根据一定的算法，由 CPU 自动完成。凡是主存和缓存已建立了对应关系的存储单元，它们的内容必须保持一致，故凡是写入缓存的信息也必须写入与缓存单元对应的主存单元中。

19. 一个双面 5 英寸软盘片，每面 40 道，每道 8 个扇段，每扇段 512B，试问盘片容量为多少？

该盘驱动器转速为 600r/min,则平均等待时间为多少? 最大传输速率为多少?

19.软盘总容量=面数×每面道数×每道扇段数×每扇段字节数=2×40×8×512B=320KB。

平均等待时间为转一圈所需时间的一半, 即 $0.5 \times [(60s)/(600r/min)] = 50ms$ 。

盘每秒转 10 圈, 每圈读一个磁道, 为 $512B \times 8 = 4096B$, 故最大数据传输率为 $4096B \times 10/s = 40KBps$

20.设有 16 个固定磁头的硬盘, 每磁道存储容量为 62500B,磁盘驱动器转速为 2400r/min,试求最大数据传输率。

20.磁盘转速为 $2400r/min = 40r/s$ 。16 个固定磁头, 每次读出 16 位, 故每转一圈读出 $62500 \times 16B$, 所以最大数据传输率为 $62500 \times 16B \times 40r/s = 39700000Bps$ 。

21.设写入磁盘存储器的数据代码是 1011011100, 分别画出归零制(RZ)、不归零制(NRZ)、调相制(PM)和调频制(FM)四种记录方式的写磁头电流波形。

21.按照各种记录方式的记录规则, 并假设调相制(PM)按“记录 1 时写电流由负变正; 记录 0 时写电流由正变负”的记录规则, 数据代码 1011011100 的写电流波形如图 4.18 所示。

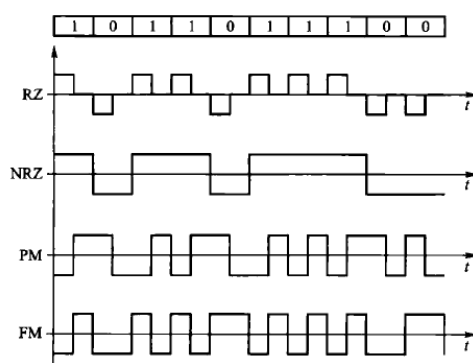


图 4.18 第 21 题答图

22.磁盘组有 6 片磁盘, 每片有两个记录面 (最上、下两个面不可用), 存储区域内径为 22cm, 外径为 33cm, 道密度为 4tpmm(道/毫米), 内层位密度为 40bpmm(位/毫米), 转速为 2400r/min, 问:

(1)共有多少存储面可用?

(2)共有多少柱面?

(3)盘组总存储容量是多少?

(4)数据传输率是多少?

22.(1)共有 10 个存储面可用, 最上、下两个面不可用。

(2)有效存储区域为 $(16.5 - 11)cm = 5.5cm = 55mm$

因为, 道密度 = 4tpmm

所以, 共有 $4tpmm \times 55mm = 220$ 道, 即 220 个圆柱面。

(3)内层磁道周长为 $2\pi R = 2 \times 3.14 \times 11cm = 69.08cm = 690.8mm$

每道信息量 = $40bpmm \times 690.8mm = 27632b$

每面的信息量 = $27632b \times 220 = 6079040b$

盘组总容量 = $6079040b \times 10 = 60790400b$

(4)磁盘数据传输率 $C = Nr$ bps

N 为每条磁道的容量 = 27632b

r 为磁盘每秒转速 = $2400r/min = 40r/s$

所以, $C = Nr = 27632b \times 40r / 8 = 1105280bps$

23.某磁盘存储器转速为 3000r/min,共有 4 个记录盘面, 道密度为 5tpmm,每道记录信息 12288B,最小磁道直径为 230mm,共有 275 道, 求:

- (1) 磁盘存储器的存储容量。
- (2) 最高位密度 (最小磁道的位密度) 和最低位密度。
- (3) 磁盘数据传输率。
- (4) 平均等待时间。

23.(1)每道记录信息容量=12288B

每个记录面信息容量=12288B×275=3379200B

4 个记录面信息容量=12288B×275×4=13516800B

(2)最高位密度 D1, 按最小磁道半径 R1=115mm 计算。

$D1 = 12288B / 2\pi R1 = 17Bpmm$

最低位密度 D2, 按最大磁道半径 R2 计算。

$R2 = R1 + (275/5)mm = 115mm + 55mm = 170mm$

$D2 = 12288B / 2\pi R2 = 11.5Bpmm$

(3)磁盘数据传输率 $C = Nr$

N 为每道信息容量=12288B

$r = 3000 r/min = 50 r/s$

$C = Nr = 12288B \times 50r/s = 614400Bps$

(4)平均等待时间= $1/2 \times 1/r = 1/2 \times 1/50s = 1/100s = 10ms$

24.NRZ、NRZ1、FM、MFM 是哪四种记录方式? 其写电流波形有何特点?

24.NRZ 是不归零制 (见变就翻), 其特点是磁头线圈中始终有电流, 正向电流代表“1”, 负向电流代表“0”。

NRZ1 是不归零 1 制 (见“1”就翻), 其特点是磁头线圈中始终有电流, 写“1”时改变电流方向, 写“0”时电流方向不变。

FM 是调频制, 其特点是写“1”时在存储元的起始和中间位置均要改变电流方向, 写“0”时只在存储元起始位置改变电流方向。

MFM 是改进型调频制, 其特点是保留调频制记录“1”时在存储元的中间位置改变电流方向, 而且不论写“1”或写“0”, 在存储元的起始位置均不改变电流方向, 只有当连续记录两个或两个以上的“0”时, 在两个存储元之间改变电流方向。

25.什么是“程序访问的局部性”? 存储系统中哪一级采用了程序访问的局部性原理?

25.所谓程序访问的局部性即程序执行时对存储器的访问是不均匀的, 这是由于指令和数据在主存的地址分布不是随机的, 而是相对地簇聚。存储系统的缓存-主存级和主存-辅存级都用到程序访问的局部性原理。对缓存-主存级而言, 把 CPU 最近期执行的程序放在容量较小、速度较高的缓存中。对主存-辅存级而言, 把程序中访问频度高、比较活跃的部分放在主存中, 这样既提高了访存的速度又扩大了存储器的容量。

26.使用 4K×8 位的 RAM 芯片组成一个容量为 8K×16 位的存储器, 画出结构框图, 并标明图中信号线的种类、方向及条数。

26.用 4 片 4K×8 位的 RAM 芯片可组成容量为 8K×16 位的存储器, 其结构如图 4.19 所示。

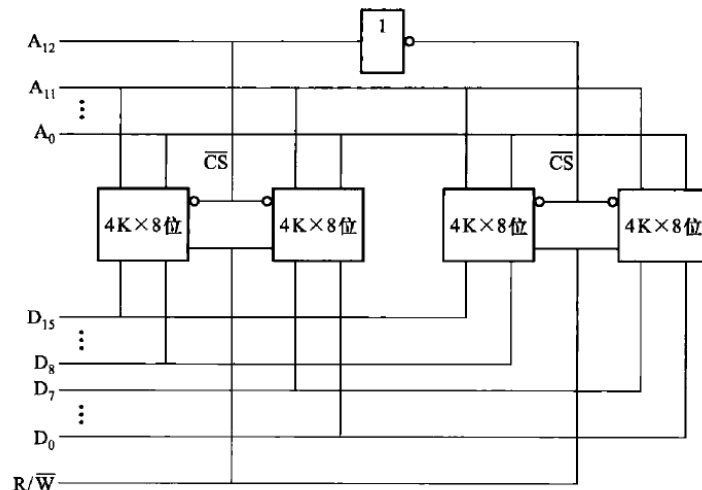


图 4.19 第 26 题答图

27.判断下列叙述中哪些是正确的，哪些是错误的。为什么？

- (1)大多数个人计算机中可配置的最大主存容量受地址总线位数的限制。
- (2)大多数个人计算机中可配置的最大主存容量受指令中地址码位数的限制。
- (3)可编程逻辑阵列也是主存的一部分。
- (4)可编程的只读存储芯片不一定是可改写的。
- (5)双极型半导体存储芯片通常比金属氧化物半导体存储芯片存取速度快，但价格也贵。
- (6)磁盘上的信息必须定时刷新，否则无法长期保存。

27.解答分析如下：

- (1)正确。地址总线的位数决定了地址的取值范围，也就决定了主存的最大容量。
- (2)不正确。利用存储管理技术可以使实际主存容量大于指令中地址码的寻址范围。例如在某些微型机中，机器指令的地址码字段较短，地址码的寻址范围为 64K,而实际主存容量已达 640KB 以上。
- (3)不正确。可编程逻辑阵列(PLA)是一种特殊的只读存储器，不能作为主存的一部分。
- (4)正确。可编程只读存储器 PROM 一般是不可改写的。
- (5)正确。这是由采用的物质材料的特性和工艺过程决定的。
- (6)不正确。磁盘存储器是永久性存储器，不需要刷新就可长期保存。

28.设有一个具有 14 位地址和 8 位字长的存储器，试问该存储器的存储容量是多少？若存储器用 1K×1 位 RAM 芯片组成，需多少片？需要哪几位地址作芯片选择，如何选择？

28.一个具有 14 位地址和 8 位字长的存储器容量为 $2^{14} \times 8 = 16K \times 8$ 位，需用 128 片 1K×1 位的 RAM 芯片组成，地址线分配如下：

A9~A0 作为芯片本身的地址线；A13~A10 作为片选地址，采用 4~16 线译码器，16 个输出分别作为 16 组芯片（每组内含 8 片）的片选信号，如图 4.20 所示。

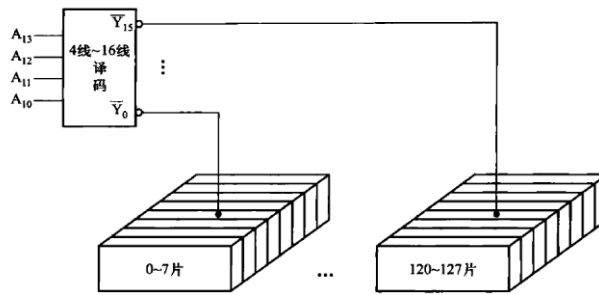


图 4.20 第 28 题答图

29.已知某 8 位机的主存采用半导体存储器，其地址码为 18 位，采用 $4K \times 4$ 位的静态 RAM 芯片组成该机所允许的最大主存空间，并选用模块板形式，问：

(1)若每个模块板为 $32K \times 8$ 位，共需几个模块板？

(2)每个模块板内共有多少片 RAM 芯片？

(3)主存共需要多少 RAM 芯片？CPU 如何选择各模块板？如何选择具体芯片（说明选用的器件及地址码的分配）？

29.地址线为 18 位的 8 位机主存容量为 $2^{18} \times 8b = 256KB$ 。

(1)若每个模块板为 $32K \times 8$ 位，共需 8 个模块板。

(2)每个模块板内有 16 片 RAM 芯片。

(3)主存共需 128 片 RAM 芯片，18 根地址线分配如下：

$A_{11} \sim A_0$ 作为 $4K \times 4$ 位 RAM 芯片本身的地址线； $A_{14} \sim A_{12}$ 作为模块板内片选地址。采用 3~8 线译码器，共 8 个输出，每个输出选 2 片 $4K \times 4$ 位的 RAM 芯片； $A_{17} \sim A_{15}$ 作为模块板的地址。采用 3~8 线译码器，其每个输出分别选 8 个模块板中的任一块。

30.试比较缓存管理中各种地址映射的方法。

30.具有缓存-主存层次的存储器，其缓存和主存都需按块存储，且每块内的字数相同。缓存管理中地址映射方法主要有三种。

(1)直接映射。假设缓存共有 C 块，每个主存块 j 只与一个缓存块 i 对应，而每个缓存块可以和多个主存块对应，它们的映射关系是 $i = j \bmod C$ 。这种映射关系实现简单，但主存块只能固定地对应某个缓存块，不够灵活，命中率低。

(2)全相联映射。其特点是主存中的任一块都可映射到缓存中的任一块上，但所需的逻辑电路甚多，成本高，命中率高。

(3)组相联映射。它是介于直接映射和全相联映射之间的一种方案。这种方案把缓存分成组，每组内又包含若干块。假设缓存共有 Q 组，每组内有 R 块，并用 i 表示缓存的组号，j 表示主存的块号，它们的映射关系是 $i = j \bmod Q$ ，即某一主存块 j 按模 Q 映射到缓存第 i 组内的任一块。这种方法比直接映射灵活，命中率高，比全相联映射成本低，是它们的折中，被广泛应用。

31.在缓存管理中，当新的主存块需要调入缓存时，有几种替换算法？各有何特点？哪种算法平均命中率高？

31.在缓存管理中，当新的主存块需调入缓存时，常用的有先进先出(FIFO)算法和近期最少使用 LRU 算法。前者是把最先调入缓存的块替换出去，它不需随时记录各块的使用情况，所以容易实现，且开销小；后者是把近期最少使用的块替换出去，这种算法需随时记录缓存中各块的使用情况，以便确定哪个块是近期最少使用的。LRU 算法比 FIFO 命中率高。

32. 设 CPU 共有 16 根地址线, 8 根数据线, 并用 MREQ 作为访存控制信号 (低电平有效), 用 WR 作为读/写控制信号 (高电平为读, 低电平为写)。现有下列存储芯片: 1K×4 位 RAM, 4K×8 位 RAM, 2K×8 位 ROM 以及 74138 译码器和各种门电路, 如图 4.14 所示。画出 CPU 与存储芯片的连接图, 要求:

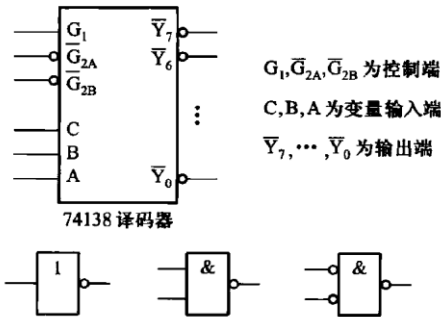


图 4.14 第 32 题芯片图

- (1)主存地址空间分配: 8000H~87FFH 为系统程序区; 8800H~8BFFH 为用户程序区。
- (2)合理选用上述存储芯片, 说明各选几片。
- (3)详细画出存储芯片的片选逻辑。

32. 根据主存地址空间分配, 选出所用芯片类型及数量。即

A_{15}	...	A_{11}	...	A_7	...	A_3	...	A_0	
1	0	0	0	0	0	0	0	0	0
1	0	0	0	0	1	1	1	1	1
									2K×8 位 ROM 1 片
1	0	0	0	1	0	0	0	0	0
1	0	0	0	1	0	1	1	1	1
									1K×4 位 RAM 2 片

CPU 与存储芯片的连接如图 4.21 所示。

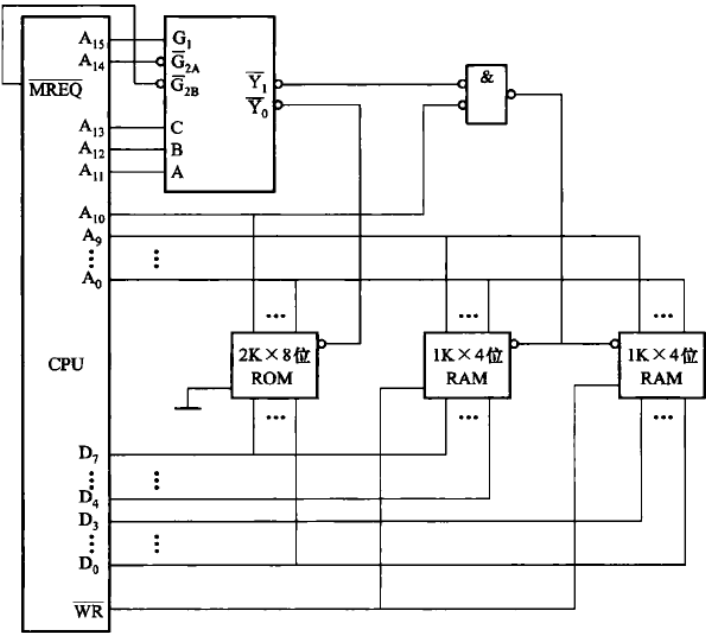


图 4.21 第 32 题答图

33. 在 32 题给出的条件下, 画出 CPU 与存储芯片的连接图, 要求:

- (1)主存地址空间分配: A000H~A7FFH 为系统程序区; A800H~AFFFH 为用户程序区。
 (2)合理选用上述存储芯片, 说明各选几片, 并写出每片存储芯片的二进制地址范围。
 (3)详细画出存储芯片的片选逻辑。

33.根据主存地址空间分配, 对应 A000H~A7FFH 系统程序区, 选用一片 2K×8 位 ROM 芯片;
 对应 A800H~AFFFH 用户程序区, 选用 4 片 1K×4 位 RAM 芯片。每片存储芯片的地址范
 围如下。CPU 与存储芯片的连接如图 4.22 所示。

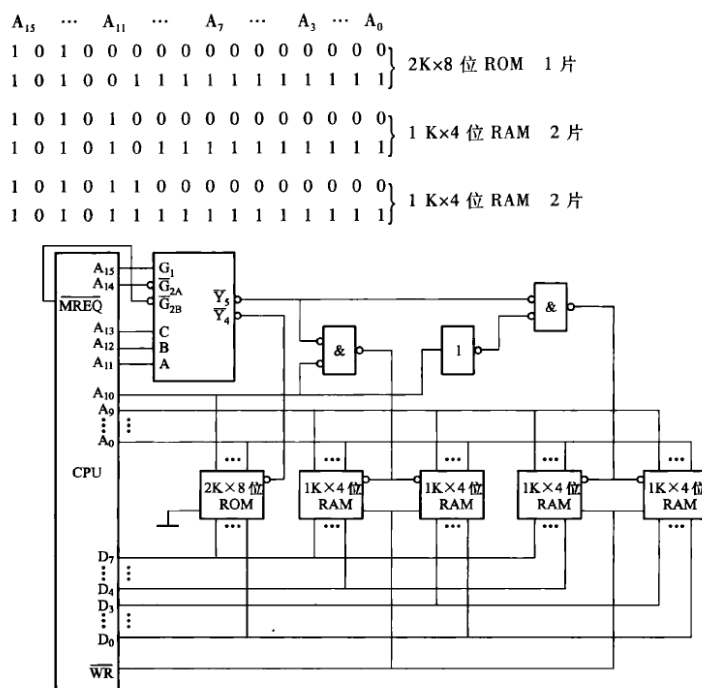


图 4.22 第 33 题答图

- 34.在 32 题给出的条件下, 画出 CPU 与存储芯片的连接图, 要求:
 (1)主存地址空间分配: 最小 2K 地址空间为系统程序区; 相邻 2K 地址空间为用户程序区。
 (2)合理选用上述存储芯片, 说明各选几片。
 (3)详细画出存储芯片的片选逻辑。

34.根据主存地址空间分配, 最小 2K 地址为系统程序区, 选用 1 片 2K×8 位 ROM 芯片; 相
 邻 2K 地址为用户程序区, 选用 4 片 1K×4 位 RAM 芯片, 即

A ₁₅	...	A ₁₁	...	A ₇	...	A ₃	...	A ₀	
0	0	0	0	0	0	0	0	0	0
0	0	0	0	0	1	1	1	1	1
0	0	0	0	1	0	0	0	0	0
0	0	0	0	1	1	1	1	1	1

存储芯片的片选逻辑图如图 4.23 所示, 其余部分详见图 4.22。

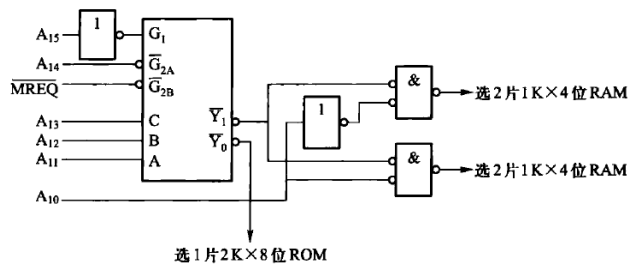


图 4.23 第 34 题答图

35. 在 32 题给出的条件下，画出 CPU 与存储芯片的连接图，要求：

- (1) 主存地址空间分配：最大 2K 地址空间为系统程序区；相邻 2K 地址空间为用户程序区。
- (2) 合理选用上述存储芯片，说明各选几片。
- (3) 详细画出存储芯片的片选逻辑。

35. 根据主存地址空间分配，最大 2K 地址为系统程序区，选用 1 片 2K×8 位 ROM 芯片；相邻 2K 地址为用户程序区，选用 4 片 1K×4 位 RAM 芯片，即

A ₁₅	...	A ₁₁	...	A ₇	...	A ₃	...	A ₀	
1	1	1	1	1	1	1	1	1	1
1	1	1	1	1	0	0	0	0	0
									2K×8 位 ROM 1 片
1	1	1	1	0	1	1	1	1	1
1	1	1	1	0	0	0	0	0	0
									1K×4 位 RAM 4 片

存储芯片的片选逻辑如图 4.24 所示，其余部分详见图 4.22。

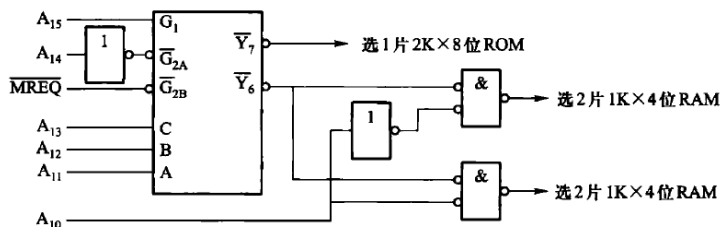


图 4.24 第 35 题答图

36. 设 CPU 共有 16 根地址线，8 根数据线，并用 MREQ 作为访存控制信号（低电平有效），用 WR 作为读/写控制信号（高电平为读，低电平为写）。现有芯片及各种门电路（门电路自定），如图 4.15 所示。画出 CPU 与存储器的连接图，要求：

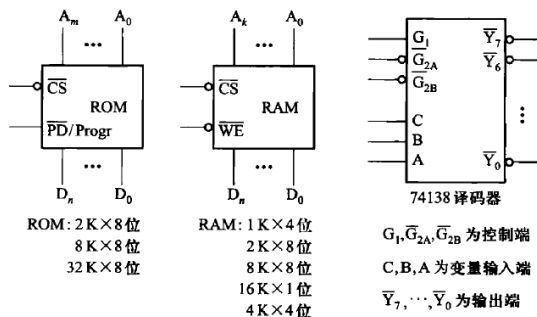


图 4.15 第 36 题芯片图

(3)详细画出片选逻辑。

A_{15}	...	A_{11}	...	A_7	...	A_3	...	A_0	
0	0	0	0	0	0	0	0	0	0 ~ 2047
0	0	0	0	0	1	1	1	1	2K×8 位 ROM 1片
0	0	0	0	1	0	0	0	0	2048 ~ 8191
0	0	0	0	1	1	1	1	1	2K×8 位 RAM 3片
0	0	0	1	0	0	0	0	0	
0	0	0	1	0	1	1	1	1	
0	0	0	1	1	0	0	0	0	
0	0	0	1	1	1	1	1	1	

图 4.25 第 36 题答图

(3)详细画出片选逻辑。

A ₁₅	...	A ₁₁	...	A ₇	...	A ₃	...	A ₀				
0	0	0	0	0	0	0	0	0	0	0 ~ 8191		
0	0	0	1	1	1	1	1	1	1	} 8K×8 位 ROM 1片		
0	0	1	0	0	0	0	0	0	0		} 8192 ~ 32767 8K×8 位 RAM 3片	
0	0	1	1	1	1	1	1	1	1			}
0	1	0	0	0	0	0	0	0	0	}		
0	1	0	1	1	1	1	1	1	1		}	
0	1	1	0	0	0	0	0	0	0			}
0	1	1	1	1	1	1	1	1	1	}		

存储芯片与 CPU 的连接如图 4.26 所示。

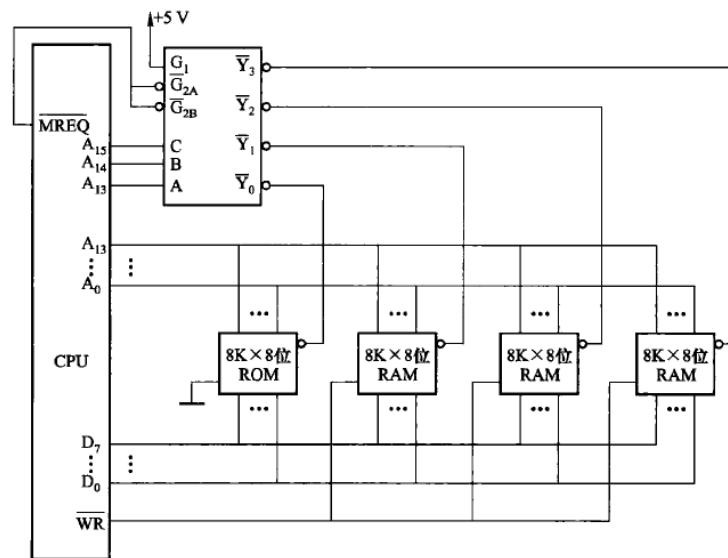


图 4.26 第 37 题答图

38.在 36 题给出的条件下, 画出 CPU 与存储芯片的连接图, 要求:

(1)存储芯片地址空间分配: 0~8191 为系统程序区; 8192~32767 为用户程序区; 最大 4K 地址空间为系统程序工作区。

(2)指出选用的存储芯片类型及数量。

(3)详细画出片选逻辑。

38.根据主存地址空间分配, 0~8191 为系统程序区, 选用 1 片 8K×8 位 ROM 芯片; 8192-32767 为用户程序区, 选用 3 片 8K×8 位 RAM 芯片; 最大 4K 地址空间为系统程序工作区, 选用 2 片 4K×4 位 RAM 芯片, 即

[illegible]

存储芯片与 CPU 的连接如图 4.27 所示。

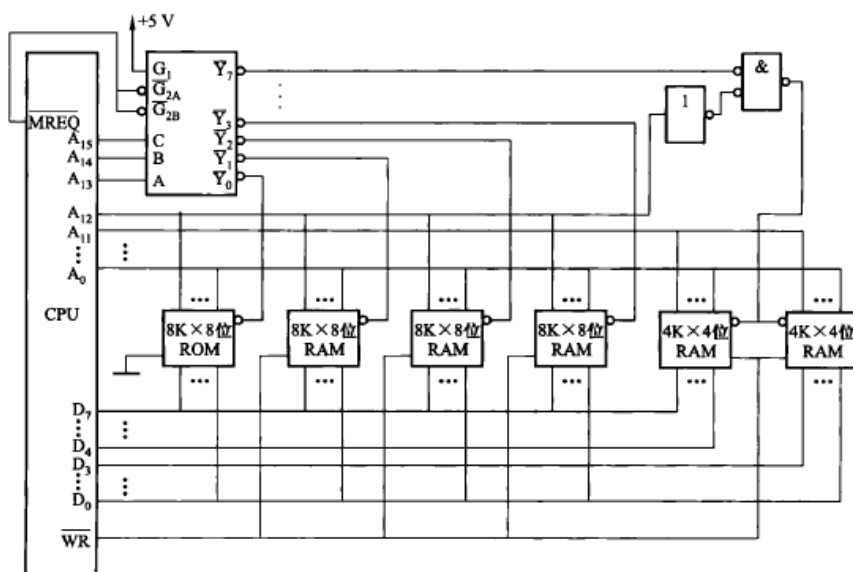


图 4.27 第 38 题答图

39. 在 36 题给出的条件下，画出 CPU 与存储芯片的连接图，要求：

- (1) 存储芯片地址空间分配：最大 4K 地址空间为系统程序区；相邻的 4K 地址空间为系统程序工作区；最小 16K 地址空间为用户程序区。
- (2) 指出选用的存储芯片类型及数量。
- (3) 详细画出片选逻辑。

39. 根据主存地址空间分配，最大 4K 地址空间为系统程序区，选用 2 片 2K×8 位 ROM 芯片；相邻的 4K 地址空间为系统程序工作区，选用 2 片 4K×4 位 RAM 芯片；最小 16K 地址空间为用户程序区，选用 2 片 8K×8 位 RAM 芯片，即

A ₁₅	...	A ₁₁	...	A ₇	...	A ₃	...	A ₀	
1	1	1	1	1	1	1	1	1	1
1	1	1	1	1	0	0	0	0	0
1	1	1	1	0	1	1	1	1	1
1	1	1	1	0	0	0	0	0	0
1	1	1	0	1	1	1	1	1	1
1	1	1	0	0	0	0	0	0	0
0	0	0	0	0	0	0	0	0	0
0	0	0	1	1	1	1	1	1	1
0	0	1	0	0	0	0	0	0	0
0	0	1	1	1	1	1	1	1	1

最大 4K

2K×8 位 ROM 2 片

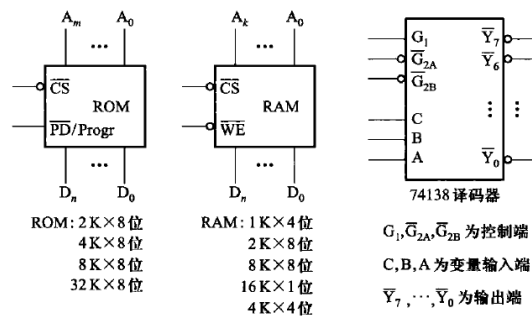
相邻 4K

4K×4 位 RAM 2 片

最小 16K

8K×8 位 RAM 2 片

40. 设 CPU 共有 16 根地址线, 8 根数据线, 并用 MREQ 作为访存控制信号 (低电平有效), 用 WR 作为读/写控制信号 (高电平为读, 低电平为写)。现有芯片及各种门电路 (门电路自定), 如图 4.16 所示。画出 CPU 与存储器的连接图, 要求:



(1)存储芯片地址空间分配: 最小 4K 地址空间为系统程序区; 相邻的 4K 地址空间为系统程序工作区; 与系统程序工作区相邻的是 24K 用户程序区。

(3)详细画出片选逻辑。

40.根据主存地址空间分配,最小 4K 地址空间为系统程序区,选用 1 片 4K×8 位 ROM 芯片;相邻的 4K 地址空间为系统程序工作区,选用 2 片 4K×4 位 RAM 芯片;与系统程序工作区相邻的 24K 为用户程序区,选用 3 片 8K×8 位 RAM 芯片,即

[illegible]

存储芯片与 CPU 的连接如图 4.29 所示。

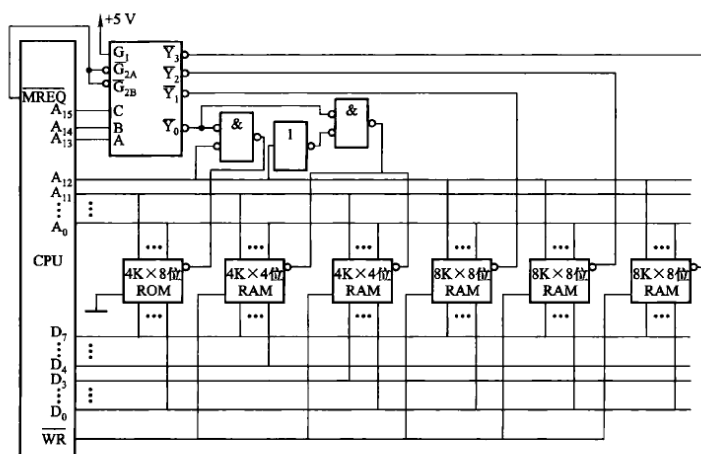


图 4.29 第 40 题答图

41. 某小型计算机字长为 16 位，常规的存储空间为 64K 字，若将存储空间扩充到 256K 字，请提出一种可能实现的方案并画出框图。说明在使用时应注意什么问题？

41. 可采用多体交叉存取方案，用 4 个相互独立、容量均为 $64K \times 16$ 位的模块 M_0 、 M_1 、 M_2 、 M_3 组成一个容量为 $256K \times 16$ 位的存储器，每个模块各自具备一套地址寄存器、数据缓冲寄存器，各自以同等的方式与 CPU 传递信息，其结构如图 4.30 所示。

CPU 在一个存取周期内，分时访问每个体，即每经过 $1/4$ 存取周期就访问一个模块。这样，对每个模块而言，存取周期未变，而对 CPU 来说，它可以在一个存取周期内连续访问 4 个体，获得 $16b \times 4 = 64b$ 信息，各个体的读/写过程是并行进行的。

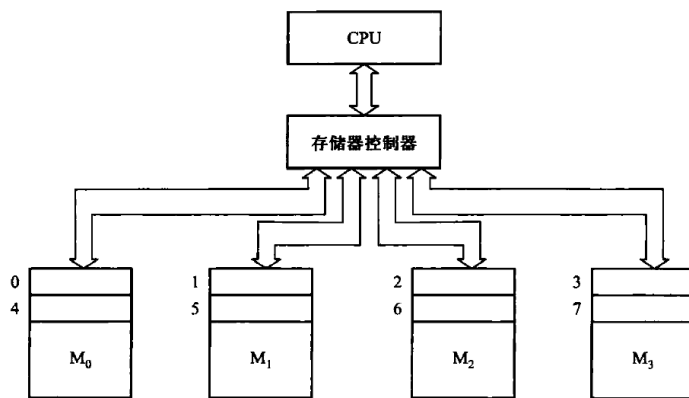


图 4.30 第 41 题答图

42. 存储器的地址空间分布图和存储器的地址译码电路分别如图 4.17(a)和图 4.17(b)所示，图 4.17(b)中的 A、B 两组跨接端子可按要求分别进行接线，如 1~4 中的任一端子可以和 5~7 中的任一端子跨接。74139 是 2~4 线译码器（译码输出低电平有效），使能端 G 接地表示译码器处于正常译码状态。试完成 A 组跨接端子与 B 组跨接端子内部的连接，以便使地址译码电路按图 4.17(a)的要求进行正确寻址。

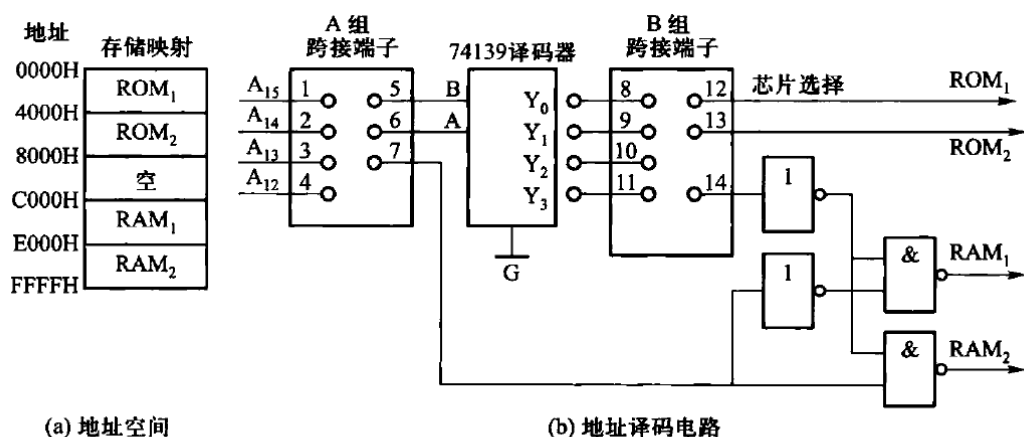


图 4.17 第 42 题示意图

42. 根据图 4.17(a) 所示, ROM₁ 的地址空间为 0000H~3FFFH, ROM₂ 的地址空间为 4000H~7FFFH, RAM₁ 的地址空间为 C000H~DFFFH, RAM₂ 的地址空间为 E000H~FFFFH。对应上述空间, 最高 4 位地址码 A₁₅~A₁₂ 状态如下:

0000 ~ 0011	ROM ₁
0100 ~ 0111	ROM ₂
1100 ~ 1101	RAM ₁
1110 ~ 1111	RAM ₂

2~4 线译码器对 A₁₅A₁₄ 两位进行译码, 四路输出中 Y₀=00 对应 ROM₁, Y₁=01 对应 ROM₂, Y₃=11 对应 RAM₁ 和 RAM₂, 并用 A₁₃ 区分 RAM₁ (A₁₃=0) 和 RAM₂ (A₁₃=1)

由此可得两组跨接端子的连接方法是:

1—5, 2—6, 3—7, 8—12, 9—13, 11—14

43. 设某微机的寻址范围为 64K, 接有 8 片 8K 的存储芯片, 存储芯片的片选信号为 CS, 要求:

(1) 画出选片译码逻辑电路 (可选用 74138 译码器)。

(2) 写出每片 RAM 的地址范围。

(3) 如果运行时发现不论往哪片 RAM 存放 8K 数据, 以 A000H 为起始地址的存储芯片都有与之相同的数据, 分析故障原因。

(4) 若出现译码中的地址线 A 与 CPU 断线, 并搭接到高电平上的故障, 后果如何?

43.(1) 8 片 8K 存储芯片的选片逻辑电路如图 4.31 所示。Y_i (i=0~7) 分别为每片 RAM 的片选信号。

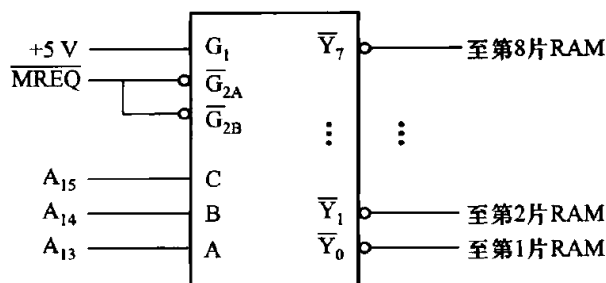


图 4.31 第 43 题答图

(2) 8 片 RAM 的寻址范围分别是: 0000H~1FFFH; 2000H~3FFFH; 4000H~5FFFH; 6000H~7FFFH; 8000H~9FFFH; A000H~BFFFH; C000H~DFFFH; E000H~FFFFH

(3) 说明 74138 译码器有误, Y₅ 输出始终为低。因该输出接至第 6 片 RAM 的 CS 端, 该片

对应的地址范围是 A000H~BFFFH,故不论往哪片 RAM 存放 8K 数据, 该片存储芯片始终被选中, 所以都有与之相同的数据。

(4)若出现 A 搭接到高电平上的故障, 则使 Y0、Y2、Y4、Y6 均无输出, 故第 1、3、5、7 片 RAM 始终不被选中。

44. 设某微型计算机的寻址范围为 64K, 接有 8 片 8K 的存储芯片, 存储芯片的片选信号为 CS, 要求:

(1)画出选片译码逻辑电路 (可选用 74138 译码器)。

(2)写出每片 RAM 的地址范围。

(3)如果运行时发现不论往哪片 RAM 存放 8K 数据, 以 4000H 为起始地址的存储芯片都有与之相同的数据, 分析故障原因。

(4)若出现译码中的地址线 A13 与 CPU 断线, 并搭接到地电平上的故障, 后果如何?

44.(1)选片译码逻辑电路如图 4.31 所示。

(2)同本章第 43 题(2)答案。

(3)说明 74138 译码器有误, Y2 输出始终为低。因该输出接至第 3 片 RAM 的 CS 端, 该片对应的地址范围是 4000H~5FFFH,故不论往哪片 RAM 存放 8K 数据, 该存储芯片始终被选中, 所以都有与之相同的数据。

(4)若出现 A13 搭接到地电平的故障, 则使 Y1、Y3、Y5、Y7 均无输出, 故第 2、4、6、8 片 RAM 始终不被选中。

45. 设某微型计算机的寻址范围为 64K, 接有 8 片 8K 的存储芯片, 存储芯片的片选信号为 CS, 要求:

(1)画出选片译码逻辑电路 (可选用 74138 译码器)。

(2)写出每片 RAM 的地址范围。

(3)如果运行时发现只有以 0000H 为起始地址的一片存储芯片不能读/写, 分析故障原因, 如何解决?

(4)如果发现只能对第 1~4 片 RAM 进行读/写, 试分析故障原因。

45.(1)选片译码逻辑电路如图 4.31 所示。

(2)同本章第 43 题(2)答案。

(3)说明 74138 译码器的 Y0 输出始终为高。因 RAM 的片选信号是低电平有效, 故用 Y0 作为片选信号的存储芯片 (对应 0000H~3FFFH 地址范围) 不能读/写, 而其他存储芯片可以读/写。解决办法可换一片 74138 译码器。

(4)说明译码器 C 端始终为低, 可检查一下 A15 是否搭接到低电平上。

46. 简要说明采用层次结构存储系统的目的, 说明每一层次的存储器作用和存储介质的特性以及采用层次结构存储器能达到预期目的的原理。

46. 反映存储器性能的三个指标 (速度、容量和价格/位) 是相互矛盾的, 为了提高存储系统的性能价格比, 存储器采用层次结构, 包括缓存-主存层次和主存-辅存层次。缓存和主存均采用半导体存储器, 通常缓存由静态 RAM 组成, 主存由动态 RAM 组成。辅存通常采用磁性材料为介质, 在不同的载磁体 (如盘状、带状) 上涂有磁层, 靠磁头对其读/写, 这类辅存属于磁表面存储器。也有利用激光对非磁性介质或磁性介质的盘面进行读/写, 达到存储信息的目的, 这类辅存为光盘存储器。缓存-主存这一层次主要解决 CPU 与主存的速度差异, 而主存-辅存这一层次主要解决存储器的容量问题, 最终达到解决存储系统的

性能价格比的目的。

47.在磁表面存储器中, 设写入代码是 11010011, 试画出不归零制(NRZ)、调相制(PM)和调频制(FM)的写电流波形, 并指出哪些有自同步能力。

47.假设调相制记录“1”时写电流由正变负, 记录“0”时写电流由负变正, 对应写入代码为 11010011 的不归零制(NRZ)、调相制(PM)和调频制(FM)的写电流波形如图 4.32 所示。

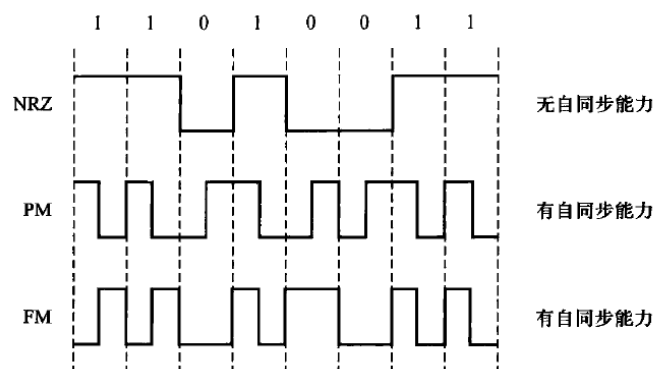


图 4.32 第 47 题答图

48.设某计算机采用直接映射缓存, 已知主存容量为 4MB,缓存容量为 4096B,字块长度为 8 个字(32 位/字)。

(1)画出反映主存与缓存映射关系的主存地址各字段分配框图, 并说明每个字段的名称及位数。

(2)设缓存初态为空, 若 CPU 依次从主存第 0,1, ..., 99 号单元读出 100 个字 (主存一次读出一个字), 并重复按此次序读 10 次, 问命中率为多少?

(3)如果缓存的存取时间是 50ns,主存的存取时间是 500ns,根据(2)求出的命中率, 求平均存取时间。

(4)计算缓存-主存系统的效率。

48.(1)根据字块长度为 8, 字长为 32 位, 可求出主存字块内地址为 5 位。根据缓存容量为 4096B= 2^{12} B,字块大小为 2^5 B,故缓存字块地址为 7 位。根据主存容量为 4MB,则主存地址共 22 位, 去掉字块内地址 5 位和缓存字块地址 7 位, 故主存字块标记为 10 位。如图 4.33 所示。

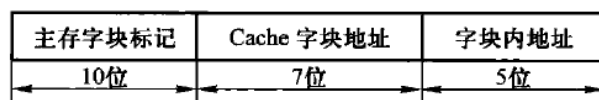


图 4.33 第 48 题答图

(2)由于缓存初态为空, 且块长为 8, 因此 CPU 第一次读 100 个字时, 共有 13 次未被命中 (即读第 0、8、16、...、96 号单元时未命中), 以后 9 次重复读这 100 个字时均命中, 故命中率为 $[(100 \times 10 - 13) / (100 \times 10)] \times 100\% = 98.7\%$

(3)平均访问时间 = $0.987 \times 50\text{ns} + (1 - 0.987) \times 500\text{ns} = 55.85\text{ns}$

(4)缓存-主存系统的效率为 $(50\text{ns} / 55.85\text{ns}) \times 100\% = 89.5\%$

49.一个磁盘存储器共有 6 个盘片, 假设最上、下两个面不可用, 每面有 204 条磁道, 每条磁道有 12 个扇段, 每个扇段有 512B,磁盘机以 7200r/min 速度旋转, 平均定位 (寻道) 时

间为 8ms

(1)计算该磁盘存储器的存储容量。

(2)计算该磁盘存储器的平均寻址时间。

49.(1)6 个盘片共有 10 个记录面, 磁盘存储器的总容量为

$$512\text{B} \times 12 \times 204 \times 10 = 12533760\text{B}$$

(2)磁盘存储器的平均寻址时间=平均寻道时间+平均等待时间

$$\text{平均等待时间} = [60\text{s} / (7200\text{r/min})] \times 0.5 = 4.165\text{ms}$$

$$\text{平均寻址时间} = 8\text{ms} + 4.165\text{ms} = 12.165\text{ms}$$

50.一个磁盘组共有 11 片, 假设最上、下两个面不可用, 每片有 203 道, 数据传输率为 983040Bps, 磁盘组转速为 3600r/min, 假定每个记录块有 1024B, 且系统可挂 16 台这样的磁盘机, 计算磁盘存储器的总容量并设计磁盘地址格式。

50.由于数据传输速率=每一磁道的容量×磁盘转速, 且磁盘转速为 3600/min=60r/s, 故每一磁道的容量=(983040Bps)/(60r/s)=16384B, 扇段数=16384B/1024B=16。表示磁盘地址格式的参数包括: 台数为 16, 记录面为 20(11 个盘片共有 20 个记录面), 磁道数为 203, 扇段数为 16, 故磁盘地址格式如图 4.34 所示。

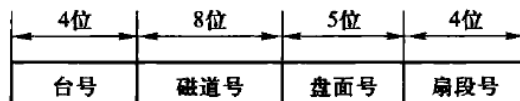


图 4.34 第 50 题答图

51.一个 1K×4 位的动态 RAM 芯片, 若其内部结构排列成 64×64 形式, 且存取周期为 0.1μs。

(1)若采用分散刷新和集中刷新相结合的方式, 刷新信号周期应该取多少?

(2)若采用集中刷新, 则对该存储芯片刷新一遍需多少时间? 死时间率是多少?

51.(1)采用分散和集中刷新相结合的方式, 对排列成 64×64 的存储芯片, 需在 2ms 内将 64 行各刷新一遍, 则刷新信号的时间间隔为 2ms/64=31.25μs, 即每隔 31.25μs 要刷新一行, 故刷新周期取 31μs。但对每行而言, 刷新间隔仍为 2ms。

(2)采用集中刷新, 对 64×64 的芯片, 需在 2ms 内集中 64 个存取周期刷新 64 行。根据题中给出的存取周期为 0.1μs, 即在 2ms 内集中 6.4μs 刷新, 则死时间率为 (64/20000)×100%=0.32%

52.一个缓存-主存系统, 采用 50MHz 的时钟, 存储器以每一个时钟周期 (简称周期) 传输一个字的速率, 连续传输 8 个字, 以支持块长为 8 个字的缓存, 每字 4 个字节。假设读操作所花的时间是: 1 个周期接收地址, 3 个周期延迟, 8 个周期传输 8 个字; 写操作所花的时间是: 1 个周期接受地址, 2 个周期延迟, 8 个周期传输 8 个字, 3 个周期恢复和写入纠错码。求出对应下述几种情况的存储器最大带宽。

(1)全部访问为读操作。

(2)全部访问为写操作。

(3)65%的访问为读操作, 35%的访问为写操作。

52.由于存储系统采用 50MHz 的时钟, 故每一个时钟周期为 1/(50MHz)=0.02μs=20ns

(1)读操作的时间是

$$T_R = (1+3+8) \times 20\text{ns} = 240\text{ns}$$

读操作的带宽是

$BR=8/T。=8/(240\times 109)=33.3\times 10\text{ 字/秒}=133.2\times 10^6\text{Bps}$

(2)写操作的时间是

$T_w=(1+2+8+3)\times 20\text{n5}=280\text{n5}$

写操作的带宽是

$B_w=8/T_w=8/(280\times 109)=28.6\times 10\text{ 字/秒}=114.4\times 106\text{Bps}$

(3)读/写操作加权后的时间是

$240\text{ns}\times 0.65+280\text{n5}\times 0.35=254\text{ns}$

加权平均带宽是

$B_r=8/(254\times 109)=31.5\times 106\text{ 字/秒}=126\times 10\text{Bps}$

53.EEPROM 中存放的信息可以任意擦除并修改，它是否可以代替 RAM 作为计算机的主存芯片？

53.虽然 EPROM 中存放的信息可以任意擦除并修改，而且可以被随机读取，但是修改数据需要经过较复杂且缓慢的擦除过程，然后才能写入新的数据。而擦除过程比 RAM 的写过程慢得多，用它代替 RAM 作为计算机的主存将会使计算机的性能大大下降，故不能用 EPROM 代替 RAM 作为计算机的主存。

54.只读存储器(ROM)中的存储单元能否被随机访问？

54.ROM 和 RAM 的主要区别在于，在程序的执行过程中，前者只能读出，后者可读可写，但访问的方式都是随机的，即可以随意访问任一存储单元，而且访问任一单元的时间都一样，与地址无关。

第五章

填空

- 1.I/O 接口电路通常具有**选址**、**传送命令**、**传送数据**和**反映设备状态**功能。
- 2.I/O 的编址方式可分为**不统一编址**和**统一编址**两大类，前者需有独立的 I/O 指令，后者可通过**访存**指令和设备交换信息。
- 3.I/O 和 CPU 之间不论是采用串行传送还是并行传送，它们之间的联络方式（定时方式）可分为**立即响应**、**异步定时（采用应答信号）**、**同步定时（采用同步时标）**三种。
- 4.主机与设备交换信息的控制方式中，**程序查询**方式主机与设备是串行工作的，**中断**方式和**DMA**方式主机与设备是并行工作的，且**DMA**方式主程序与信息传送是并行进行的。
- 5.CPU 在**指令执行周期结束**时刻采样中断请求信号（在开中断情况下），而在**存储周期结束**时刻采样 DMA 的总线请求信号。
- 6.I/O 与主机交换信息的方式中，**程序查询方式**和**中断方式**都需通过程序实现数据传送，其中**程序查询方式**体现 CPU 与设备是串行工作的。
- 7.如果 CPU 处于开中断状态，一旦接受了中断请求，CPU 就会自动**关中断**,防止再次接受中断。同时为了返回主程序断点，CPU 需将**程序计数器**内容存至**存储器（或堆栈）**中。中断处理结束后，为了正确返回主程序运行，并且允许接受新的中断，必须恢复**寄存器内容(或现场)**和**开中断**。
- 8.CPU 响应中断时要保护现场，包括对**PC 内容**和**寄存器内容**的保护，前者通过**硬件自动（或**

中断隐指令)实现,后者可通过软件编程实现。

- 9.一次中断处理过程大致可分为中断请求、中断判优、中断响应、中断服务和中断返回等五个阶段。
- 10.为了反映外围设备的工作状态,在 I/O 接口中都设有状态触发器,常见的有“工作”触发器 B、“完成”触发器 D、“中断请求”触发器 INTR 和“中断屏蔽”触发器 MASK。
- 11.D/A 转换是将数字信号转换为模拟信号;而 A/D 转换是将模拟信号转换为数字信号。
- 12.要将一个数字显示在 CRT 上或用点阵打印机打印出来,通常必须先将其转换成 ASCII 码,然后分别转换成光点代码或字符点阵代码。
- 13.按照主机与外设数据传输方式不同,接口可分为并行数据接口和串行数据接口两大类;按照主机与外设交换信息的控制方式不同,接口可分为程序型接口和 DMA 型接口两大类。
- 14.目前使用的打印机,从输出方式上可分为串行打印机和并行打印机,后者通常也称为行式打印机。从印字原理来分,又可分为击打式打印机和非击打式打印机。就打印字符来说,字符的形成方式又分活字方式和点阵方式两种。
- 15.键盘是实现人机联系的一种较简便的输入设备,每按一个键,其接口电路就将该键对应的 ASCII 码输入 CPU。识别哪一个键按下,可用硬件编码键盘法或软件非编码键盘法办法实现。
- 16.微型计算机可以配置不同的显示系统,如 CGA、EGA 和 VGA,它们反映了显示设备的显示分辨率和颜色种类,其中 VGA 显示性能最好。
- 17.若采用硬件向量法形成中断服务程序的人口地址,则 CPU 在中断周期需完成保护程序断点、硬件关中断和向量地址送至 PC 操作。
- 18.目前,微机系统中常见的几种主要显示标准有 MDA、CGA、EGA 和 VGA。
- 19.目前常采用一个 DMA 控制器控制多个 I/O 设备,其类型分为选择型和多路型。其中选择型特别适合数据传输率很高的设备。
- 20.多路型 DMA 控制器适合于同时为多个慢速外围设备服务,它又可以分为链式多路型和独立请求方式多路型。
- 21.在 DMA 方式中,CPU 和 DMA 控制器通常采用三种方法来分时使用主存,它们是停止 CPU 访问主存、周期挪用和 DMA 和 CPU 交替访问主存。
- 22.显示设备种类繁多,目前微机系统配有的显示器件有 CRT 显示器、液晶显示器和等离子显示器。显示器所显示的内容有字符、图形、图像三大类。
- 23.一台微型计算机通常配置四种最基本的外部设备,即键盘、鼠标、显示器和打印机。
- 24.通道是具有特殊功能的处理器,它由 I/O 指令启动,并以执行通道指令完成外围设备与主存之间进行数据传送。
- 25.利用访存指令与设备交换信息,这在 I/O 编址方式中称为统一编址。
- 26.中断接口电路通过数据总线将向量地址送至 CPU。
- 27.I/O 与主机交换信息共有程序查询方式、程序中断方式、DMA 方式、通道方式和 I/O 处理机方式五种控制方式。
- 28.字符显示器接口电路中,显示 RAM 存放的是 ASCII 码,经过字符发生器可将其转化为光点代码。
- 29.若显示器接口电路中的刷新存储器容量为 1MB,当采用 800×600 的分辨率模式时,每个像素最多可以有 2^{16} 种颜色。
- 30.外部设备按其功能大致可分为人机交互设备、信息存储设备和机-机通信设备三类。
- 31.鼠标主要有机械式和光电式,其中光电式需有特别的垫板与鼠标配合使用。
- 32.显示器的主要性能指标是图像的分辨率和灰度级。其中分辨率越高,显示的图像就越清晰。

- 33.一个单色的字符显示器，若每屏可显示 80 列×25 行 个字符，字符为 7×9 点阵，则其接口电路中的显示 RAM 的容量为 2000 字节。
- 34.终端由键盘和显示器组成，具有输入和输出功能。
- 35.激光打印机采用了激光技术和照相技术。
- 36.单重中断的中断服务程序的执行顺序为保护现场、设备服务、恢复现场、开中断和中断返回。
- 37.多重中断的中断服务程序的执行顺序为保护现场、开中断、设备服务、恢复现场和中断返回。
- 38.串行点阵针式打印机是按字符打印的，喷墨打印机是按字符打印的，激光打印机是按页打印的，行式点阵打印机是按行打印的。上述四种打印机的速度由快到慢的顺序是激光打印机、行式点阵打印机、喷墨打印机、串行点阵针式打印机。
39. I/O 接口电路通常需配置设备选择电路、命令寄存器和命令译码器、数据缓冲寄存器和反映设备状态的标记等硬件电路。
- 40.单重中断与多重中断的主要区别是多重中断的服务程序中要提前开中断（提前到保护现场之后即开中断），而单重中断的服务程序中在最后中断返回之前才开中断。
- 41.多重中断的必要条件是只有级别更高的中断源才能中断级别低的中断源的请求。
- 42.当 CPU 响应中断后会向中断接口电路发出中断响应信号，将向量地址取至 CPU。
- 43.硬件向量法是由硬件产生向量地址，再由向量地址找到入口地址。
- 44.DMA 方式的数据传送过程可分为预处理、数据传送和后处理三个阶段。
- 45.当 DMA 接口向 CPU 申请占用总线时，会遇到 CPU 此时不访存、CPU 正在访存和 CPU 和 DMA 接口同时请求访存三种情况，只有在 CPU 和 DMA 接口同时请求访存情况下会出现周期挪用。
- 46.中断方式中的中断请求用于数据传送,DMA 方式中的中断请求用于后处理。
- 47.从数据传送看，程序中断方式靠程序传送数据，DMA 方式靠硬件传送数据。
- 48.一个中断服务程序流程大致可分为保护现场、其他服务、恢复现场和中断返回四个部分。
- 49.在多重中断系统中，中断处理系统按中断优先等级确定是否响应其他中断请求。
50. I/O 与主机交换信息的方式中，程序查询方式设备与 CPU 串行工作，而且传送与主程序串行工作；程序中断方式传送与主程序也是串行工作，但设备与 CPU 并行工作，DMA 方式设备与 CPU 不仅并行工作，而且传送与主程序也是并行工作的。

问答题

1.为什么外围设备要通过接口与 CPU 相连？接口有哪些功能？

1.外围设备要通过接口与 CPU 相连的原因主要有：

(1)一台机器通常配有多台外部设备，它们各自有其设备号（地址），通过接口可实现对设备的选择。

(2)I/O 设备种类繁多，速度不一，与 CPU 速度相差可能很大，通过接口可实现数据缓冲，达到速度匹配。

(3)I/O 设备可能串行传送数据，而 CPU 一般并行传送，通过接口可实现数据串并格式转换。

(4)I/O 设备的入/出电平可能与 CPU 的入/出电平不同，通过接口可实现电平转换。

(5)CPU 启动 I/O 设备工作，要向外设发各种控制信号，通过接口可传送控制命令。

(6)I/O 设备需将其工作状况(“忙”、“就绪”、“错误”、“中断请求”等)及时报告 CPU,通过接口可监视设备的工作状态，并保存状态信息，供 CPU 查询。

可见归纳起来，接口应具有选址的功能、传送命令的功能、反映设备状态的功能以及传送数据的功能（包括缓冲、数据格式及电平的转换）。

2. I/O 的编址方式有几种？各有何特点？

2. I/O 的编址方式有两种：统一编址和不统一编址（单独编址）。

所谓统一编址即在主存地址空间划出一定的范围作为 I/O 地址，这样通过访存指令即可实现对 I/O 的访问。但是主存容量相应减少了。

所谓不统一编址即 I/O 和主存的地址是分开的，I/O 地址不占主存空间，故这种编址不影响主存容量，但访问 I/O 时必须有专用的 I/O 指令。

3. I/O 与主机交换信息有哪几种控制方式？各有何特点？

3. 主机与 I/O 交换信息的控制方式有：

(1) 程序查询方式。其特点是主机与 I/O 串行工作。CPU 启动 I/O 后，时刻查询 I/O 是否准备好，若设备准备就绪，CPU 便转入处理 I/O 与主机间传送信息的程序；若设备未做好准备，则 CPU 反复查询，“踏步”等待直到 I/O 准备就绪为止。可见这种方式 CPU 效率很低。

(2) 程序中断方式。其特点是主机与 I/O 并行工作。CPU 启动 I/O 后，不必时刻查询 I/O 是否准备好，而是继续执行程序。当 I/O 准备就绪时，向 CPU 发中断请求信号，CPU 在适当的时候响应 I/O 的中断请求，暂停现行程序为 I/O 服务。这种方式消除了“踏步”现象，提高了 CPU 的效率。

(3) DMA 方式。其特点是主机与 I/O 并行工作，主存和 I/O 之间有一条直接数据通路。CPU 启动 I/O 后，不必查询 I/O 是否准备好，当 I/O 准备就绪后，发出 DMA 请求，此时 CPU 不直接参与 I/O 和主存间的信息交换，只是把外部总线（地址线、数据线及有关控制线）的使用权暂时交赋予 DMA，仍然可以完成自身内部的操作（如加法、移位等），故不必中断现行程序，只需暂停一个存取周期访存（即周期挪用），CPU 的效率更高。

(4) 通道方式。通道是一个具有特殊功能的处理器，CPU 把部分权力下放给通道，由它实现对外围设备的统一管理和外围设备与主存之间的数据交换，大大提高了 CPU 的效率，但它是以花费更多的硬件为代价的。

(5) I/O 处理机方式。它是通道方式的进一步发展，CPU 将 I/O 操作及外围设备的管理权全部交给 I/O 处理机，其实质是多机系统，因而效率有更大提高。

4. 一般小型或微型机中，I/O 与主机交换信息有几种方式？各有何特点？哪种方式 CPU 效率最高？

4. 在小型或微型机中，I/O 与主机交换信息有三种方式：程序查询方式、程序中断方式和 DMA 方式，其中 DMA 方式 CPU 效率最高。三种方式的特点详见上题答案。

5. 什么是通道？通道的基本功能是什么？

5. 通道是一个具有特殊功能的处理器，它有自己的指令和程序，专门负责数据输入输出的传输控制（CPU 把传输控制的功能下放给通道）。通道受 CPU 的 I/O 指令启动、停止或改变其工作状态。通道的基本功能是按 I/O 指令要求启动 I/O 设备，执行通道指令，组织 I/O 设备和主存进行数据传输，向 CPU 报告中断等。

6. 解释通道指令和通道程序。

6. 通道指令又叫通道控制字 (CCW)，它是通道用于执行 I/O 操作的指令，它可以由管理程序存放在主存的任何地方，由通道从主存取出并执行。

通道程序由通道指令组成，它完成某种外围设备与主存传送信息的操作，如将磁带记录区的部分内容送到指定地址的主存缓冲区内。

7. I/O 指令和通道指令有何区别？

7.I/O 指令是 CPU 指令系统的一部分，是 CPU 用来控制输入输出操作的指令，由 CPU 译码后执行。在具有通道结构的机器中，I/O 指令不实现 I/O 数据传送，主要完成启、停 I/O 设备，查询通道和 I/O 设备的状态及控制通道进行其他一些操作。

通道指令是通道本身的指令，用来执行 I/O 操作，如读、写、磁带走带及磁盘找道等。

8.CPU 和 I/O 之间有几类联络（定时）方式？各有何特点？分别适用于哪类设备？

8.CPU 与 I/O 之间的联络（定时）方式有三种。

(1)立即响应方式。对于一些速度极慢或简单的外部设备，它们与 CPU 联络时，通常早已使其处于某种状态，因此只要 CPU 命令一到，它们就立即响应。

(2)异步方式。对于一些慢速或中速的外设，由于与主机工作速度不匹配，且本身又在不规则时间间隔下操作，则大多采用异步方式。即交换信息前，I/O 与 CPU 各自完成自身的任务，仅当出现联络信号时，彼此才交换信息。联络时采用应答方式，如“Ready”和“Strobe”可分别用来表示“准备就绪”和“响应”的含义。

(3)同步方式。对于一些高速外设，它们是以相等的时间间隔操作的，而 CPU 也是以同等的速率执行输入输出指令。如某外设以 2400bps 的速率传输信息，而 CPU 需隔 1/2400s 的速率接收每一位数，这就是同步定时方式。

9.试比较程序型接口和 DMA 型接口。

9.按照 I/O 设备输入输出的控制方式来分，接口可分为程序型接口和 DMA 型接口两类。

程序型接口用于连接速度较慢的 I/O 设备，如显示终端、行式打印机等。它适合于程序中中断方式实现 I/O 和主机交换信息。这种接口中通常设有设备选择电路、数据缓冲寄存器、反映设备状态及中断请求的触发器，并能接受 CPU 发来的各种命令。

DMA 型接口用于连接高速 I/O 设备，如磁盘、磁带等。它适合于 DMA 方式实现 I/O 和主机交换信息。这类接口中的硬件电路比程序型接口复杂，主要有数据缓冲寄存器、字计数器、主存地址计数器、设备地址寄存器、DMA 控制逻辑及中断机构。它负责管理 I/O 和主存间的信息传送，可向 CPU 发出总线使用权的请求，在一组数据传送结束时，还可向 CPU 提出中断请求。

10.程序查询方式和程序中断方式都要由程序实现外围设备的输入输出，它们有何不同？

10.程序查询方式是用户在程序中安排一段输入输出程序，它由 I/O 指令、测试指令和转移指令等组成。CPU 一旦启动 I/O 后，就进入这段程序，时刻查询 I/O 准备的情况，若未准备就绪就踏步等待；若准备就绪就实现传送。在输入输出的全部过程中，CPU 停止自身的操作。

程序中断方式虽也要用程序实现外部设备的输入、输出，但它只是以中断服务程序的形式插入到用户现行程序中。即 CPU 启动 I/O 后，继续自身的工作，不必查询 I/O 的状态。而 I/O 被启动后，便进入自身的准备阶段，当其准备就绪时，向 CPU 提出中断请求，此时若满足条件，CPU 暂停现行程序，转入该设备的中断服务程序，在服务程序中实现数据的传送。

11.采用程序中断方式实现主机与 I/O 交换信息的接口电路中一般有哪些硬件？各有何作用？

11.采用程序中断方式实现主机与 I/O 交换信息的接口电路中一般有：

(1)设备选择电路,用以识别来自地址线的设备号,若与本接口的设备号一致,便给出设备选中信号;

(2)命令寄存器和命令译码器,传送来自 CPU 的命令信号;

(3)数据缓冲寄存器,用来存放来自设备的信息(输入)或从主机来的信息(输出);

(4)反映设备状态的各类触发器,如“工作”、“完成”、“中断请求”、“中断屏蔽”等;

(5)中断向量逻辑(包括排队器),用以产生设备的向量地址。

12.以 I/O 设备的中断处理过程为例,说明一次程序中断的全过程。

12.以 I/O 设备的中断处理过程为例,一次程序中断大致可分为五个阶段。

(1)中断请求。CPU 启动 I/O 设备后,设备进入自身准备阶段,当其准备就绪时,便向 CPU 提出中断请求。

(2)中断判优。当同时出现多个中断请求时,中断判优逻辑(硬件排队或软件排队)选择出优先级最高的中断请求,待 CPU 处理。

(3)中断响应。如果允许中断触发器为“1”,请求中断的设备又未被屏蔽,系统便进入中断响应周期。在该周期内,CPU 自动执行一条中断隐指令,将程序断点及程序状态字保存起来,时硬件关中断,并把向量地址送 PC。

(4)中断服务。中断响应周期结束后,CPU 转入取指周期,此时按向量地址取出一条无条件转移指令(或按向量地址查入口地址表),转至该向量地址对应的中断服务程序入口地址,便开始执行中断服务程序(包括保护现场、与 I/O 传送信息和恢复现场)。

(5)中断返回。中断服务程序的最后一条指令即是中断返回指令,执行该指令即返回到程序断点,至此一次程序中断结束。

13.DMA 方式的主要特点是什么? DMA 接口电路中应设置哪些硬件?

13.DMA 方式的主要特点是:

I/O 和 CPU 并行工作;主存和 I/O 接口间有一条直接数据通路;不中断现行程序,无需保护现场、恢复现场;当 DMA 请求占用总线控制权时,若采用周期挪用的方式,CU 暂停一个存取周期访问主存,但可继续自身内部的操作(如乘法等),即传送和主程序是并行的。

DMA 接口电路中应有主存地址计数器、字计数器、数据缓冲寄存器、设备地址寄存器、中断机构和 DMA 控制逻辑。

14.在 DMA 方式中有没有中断请求?为什么?

14.在 DMA 方式中有中断请求。虽然 DMA 方式不靠中断请求传送信息,在主存和 I/O 接口之间有直接数据通路,但在一组数据传送完毕时,仍需向 CPU 提出中断请求,报告传送结束。此时 CPU 将中断现行程序,去做一些 DMA 结束处理工作,如测试传送过程中是否出错,这种工作 DMA 接口是无法完成的,只有靠中断服务程序来处理。

15.DMA 方式中的中断请求和程序中断方式中的中断请求有何区别?

15.DMA 方式中的中断请求不是为了传送信息(信息是通过主存和 I/O 间的直接数据通路传送的),只是为了报告 CPU 一组数据传送结束,有待 CPU 做一些后处理工作,如测试传送过程中是否出错,决定是否继续使用 DMA 方式传送等。而程序中断方式的中断请求是为了传送数据,I/O 和主机交换信息完全靠 CPU 响应中断后,转至中断服务程序完成的。

16.在 DMA 方式中,CPU 和 DMA 接口分时使用主存有几种方法?简要说明之。

16.在 DMA 方式中, CPU 和 DMA 接口分时使用主存, 通常采用三种方法。

(1)停止 CPU 访问主存。这种方法 DMA 在传送一批数据时, 独占主存, CPU 放弃了地址线、数据线和有关控制线的使用权。在一批数据传送完毕后, DMA 接口才把总线的控制权交回给 CPU。显然, 这种方法在 DMA 传送过程中, CPU 基本处于不工作状态或保持原状态。

(2)周期挪用。这种方法 CPU 按程序的要求访问主存, 一旦 I/O 设备有 DMA 请求, 则由 I/O 设备挪用一個存取周期。此时 CPU 可完成自身的操作, 但要停止访存。显然这种方法既实现了 I/O 传送, 又较好地发挥了主存和 CPU 的效率, 是一种广泛采用的方法。

(3)DMA 与 CPU 交替访存。这种方法适合于 CPU 的工作周期比主存的存取周期长的情况。如 CPU 的工作周期大于主存周期的两倍, 则每个 CPU 周期的上半周期专供 DMA 接口访存, 下半周期专供 CPU 访存。这种交替访问方式不需要总线使用权的申请、建立和归还过程, 使 DMA 传送和 CPU 工作效率最高, 但相应的硬件逻辑更复杂。

17.解释周期挪用, 分析周期挪用可能会出现几种情况。

17.所谓周期挪用即在 DMA 传送方式中, 当 I/O 设备没有 DMA 请求时, CPU 按程序的要求访问主存; 一旦 I/O 设备有 DMA 请求并与 CPU 访存发生冲突时, CPU 要暂停一个存取周期访存, 把总线控制权让给 DMA。这就好比 I/O 设备挪用了 CPU 的访存周期, 故称周期挪用或周期窃取。设备提出 DMA 请求可能会遇到三种情况:

(1)I/O 设备有 DMA 请求时, CPU 正在进行自身的操作 (如乘法等), 并不需要访存, 即 I/O 访存和 CPU 访存没有冲突, 故不存在周期挪用。

(2)I/O 设备要求访存时, CPU 也要求访存, 此时发生冲突。在这种情况下, I/O 设备的 DMA 请求优先 (因为 I/O 访存有時間要求, 前一个 I/O 数据必须在下一个访存请求到来前存取完毕), 即出现了周期挪用, CPU 需延缓一个存取周期访存。

(3)I/O 设备有 DMA 请求时, 存储器本身正处于“忙”状态 (正在读或写), 此时必须待存取周期结束后才能进行 I/O 访存。

18.DMA 接口主要由哪些部件组成? 在数据交换过程中它应完成哪些功能? 画出 DMA 工作过程的流程图 (不包括预处理和后处理)。

18.DMA 接口主要由数据缓冲寄存器、主存地址计数器、字计数器、设备地址寄存器、中断机构和 DMA 控制逻辑等组成。在数据交换过程中, DMA 接口的功能有: 向 CPU 提出总线请求信号; 当 CPU 发出总线响应信号后, 接管对总线的控制; 向存储器发地址信号 (并能自动修改地址指针); 向存储器发读/写等控制信号, 进行数据传送: 修改字计数器, 并根据传送字数, 判断 DMA 传送是否结束; 发 DMA 结束信号, 向 CPU 申请程序中断, 报告一组数据传送完毕。DMA 工作过程流程如图 5.16 所示。

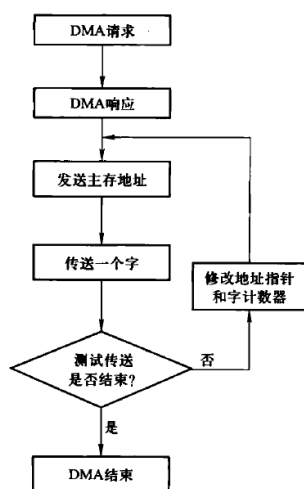


图 5.16 第 18 题答图

19.画出单重中断和多重中断的处理流程，说明它们的不同之处。

19.以程序断点存入堆栈为例，单重中断和多重中断的处理流程分别如图 5.17 的(a)和(b)所示。

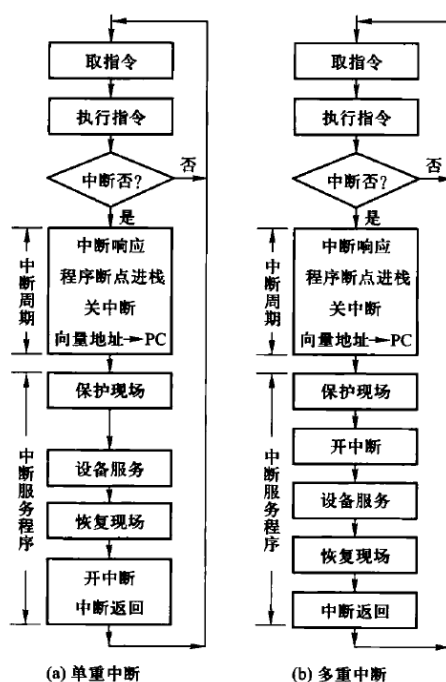


图 5.17 第 19 题答图

由图 5.17 可见，它们的主要区别是：在中断服务程序中，开中断指令安排的位置不同。单重中断的开中断指令安排在“恢复现场”之后，中断返回之前；多重中断的开中断指令安排在“保护现场”之后。

由于 CPU 一旦响应了中断会自动关中断，因此单重中断在恢复现场之前，CPU 不可能再次响应任何新的中断请求。而多重中断在保护现场之后立即“开中断”，因此在此后 CPU 便可以再次响应级别更高的中断源请求，实现多重中断。

20.什么是向量地址？何时形成向量地址？指出向量地址形成部件由什么电路组成？它的输入来自何处？又输出至何处？

20.向量地址是存放服务程序入口地址的存储单元地址，它由硬件形成。当有中断请求并且排队选中时，通过由组合逻辑电路（编码器）组成的向量地址形成部件可形成向量地址。其输入来自排队器输出，其输出在中断周期送至 PC。

- 21.已知 A、B、C、D 四个外围设备，分别对应 4 个八进制的向量地址 11、12、13、14，设计一个向量地址形成部件，要求：
- (1)用与非门；
 - (2)向量地址输至 PC(16 位)；
 - (3)指出向量地址何时送至 PC。

21.根据题意列出向量地址形成部件的真值表如表 5.1 所示，其输入为排队器输出，用 A、B、C、D 表示，其输出用 G₁、G₂、G₃、G₄ 表示。

表 5.1 21 题向量地址形成部件真值表

输入				输出			
A	B	C	D	G ₁	G ₂	G ₃	G ₄
1	0	0	0	1	0	0	1
0	1	0	0	1	0	1	0
0	0	1	0	1	0	1	1
0	0	0	1	1	1	0	0

由此可得：

$$G_1 = A + B + C + D = \overline{\overline{A}} \overline{\overline{B}} \overline{\overline{C}} \overline{\overline{D}}$$

$$G_2 = D$$

$$G_3 = B + C = \overline{\overline{B}} \overline{\overline{C}}$$

$$G_4 = A + C = \overline{\overline{A}} \overline{\overline{C}}$$

根据逻辑表达式可画出向量地址形成部件的逻辑图，如图 5.18 所示。

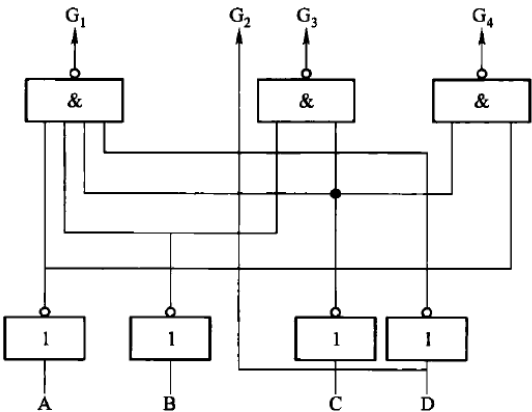


图 5.18 第 21 题答图(1)

假设 PC 为 16 位，图 5.19 是向量地址→PC 的示意图，图中 INT 表示中断周期标记，可见向量地址是在中断周期的 T3 节拍内由节拍脉冲 m3 输入 PC 的。

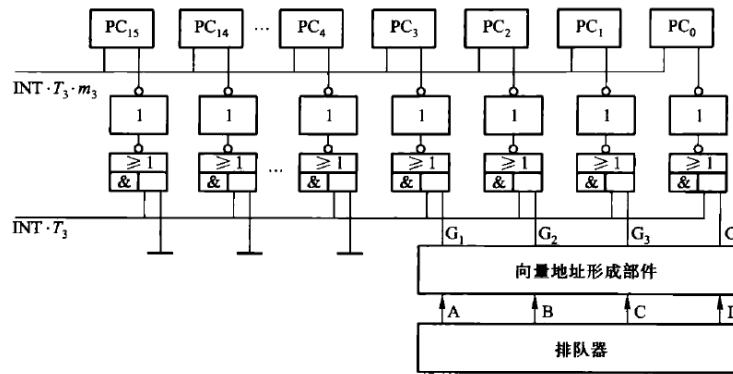


图 5.19 第 21 题答图(2)

22.字符显示器的接口电路中配有缓冲存储器和只读存储器，各有何作用？

22.字符显示器的接口电路中，缓冲存储器由 RAM 组成，用来存放计算机准备显示的字符编码。缓存的每一地址分别对应 CRT 显示屏上的不同位置，缓存每一单元的内容即为欲显示字符的 ASCII 码。字符显示器接口电路中的只读存储器是用来存放每一个 ASCII 码对应的光点代码的，如果荧光屏上的字符是以 5×7 光点组成，则 ROM 可视为将 ASCII 码变为一组 5×7 光点矩阵的部件，又称为字符发生器。

23.什么是关中断？关中断有什么意义？

23.在 CPU 中有一个允许中断触发器，当其为“1”状态时，允许 CPU 响应中断；当其为“0”状态时，CPU 不能响应中断。使允许中断触发器置“0”即为关中断，意味着不允许 CPU 响应任何中断。

24.试从五个方面比较程序中断方式和 DMA 方式有何区别。

24.DAM 方式和程序中断方式的区别为：

从数据传送看，程序中断方式靠程序传送，DMA 方式靠硬件传送；

从 CPU 响应时间看，程序中断方式在一条指令执行结束时响应，而 DMA 方式在存取周期结束时 CPU 才能响应，即将总线控制权让给 DMA 传送；

程序中断方式有处理异常事件的能力，DMA 方式没有这种能力；

程序中断方式需要中断现行程序，故需保护现场，DMA 方式不必中断现行程序，无需保护现场；

DMA 的优先级比程序中断高。

25.画出硬件向量法实现 I/O 与主机交换信息的原理框图，并说明传送过程。

25.硬件向量法实现 I/O 与主机交换信息的原理框图示于图 5.20。

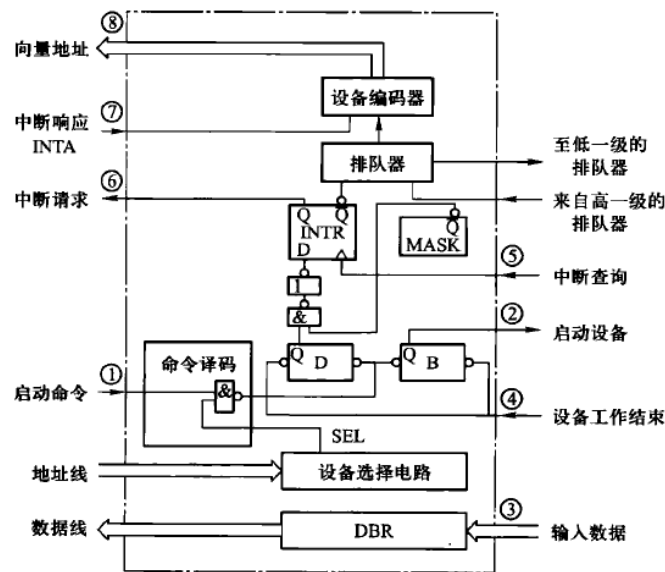


图 5.20 第 25 题答图

以输入设备为例，其传送过程为：

(1)启动设备。首先由 I/O 指令启动设备，I/O 接口电路中的设备选择电路能识别 I/O 指令中的设备码，当被选中时，给出设备选中信号 SEL,该信号允许启动命令（①）将 B 置“1”和将 D 置“0”，使设备进入准备阶段（②）。

(2)设备进入自身准备阶段。设备被启动后，进入自身准备阶段。当设备数据送至数据缓冲寄存器 DBR(③)后，即表示准备就绪，此时由设备本身产生的设备工作结束信号将 D 置“1”和将 B 置“0”（④），表示设备准备工作结束。

(3)向 CPU 发中断请求。当 D=1、B=0,且该设备未被屏蔽（即 MASK=0）时，则在 CPU 每条指令执行周期结束时刻，由 CPU 发来的中断查询信号（⑤）将中断请求触发器置“1”，向 CPU 发中断请求（⑥），并送至排队器。

(4)CPU 响应中断。排队器根据中断优先级，选中其中级别最高设备的中断请求，其输出送至设备编码器以形成向量地址。当 CPU 发来中断响应信号 NTA 时（⑦），便可将向量地址取至 CPU(⑧)。

(5)寻找服务程序入口地址进入中断服务。由于中断周期已将向量地址→PC，故再进入取指周期时，便取出一条存放在向量地址内的无条件转移指令，转移地址即为该设备的中断服务程序入口地址。接着执行中断服务程序（包括保护现场、传送设备信息和恢复现场）。

(6)中断返回。中断服务程序的最末一条指令是中断返回指令，执行该指令就可将断点→PC，实现中断返回。

26.串行接口和并行接口的主要区别是什么？

26.按照设备传送数据的位数不同，接口可分串行接口和并行接口两大类。串行接口把外设的串行输入码转换成计算机内部所需的并行码；也可以把计算机内的并行码转换成外设所需的串行码输出。并行接口是以字或字节宽度并行传送数据的接口。故串行接口中必须有实现串-并或并-串转换的移位寄存器。

27.不同种类的外部设备与主机连接时，应考虑哪些主要问题？

27.不同种类的外部设备与主机连接时，主要应考虑速度差别、数据格式、传送主机命令、反映设备工作状态、识别和指示数据传送的地址等。这些问题可通过主机与外设间的接口完

成。

28.采用 DMA 方式实现主机与 I/O 交换信息的接口电路有哪些硬件？各有何作用？

28.DMA 接口电路中应配有主存地址计数器,用以存放设备与主存交换信息时主存的地址(有计数功能);字计数器存放交换字数,有计数功能;数据缓冲寄存器存放设备与主存间传送的信息;设备地址寄存器用以存放设备地址;DMA 控制逻辑控制管理 DMA 接口正常工作;中断机构向 CPU 发 DMA 传送结束信号请求中断。

29.试述 DMA 方式的特点,并与其他四种主机与 I/O 交换信息的控制方式进行比较。

29.DMA 方式的特点是主机与设备并行工作;设备通过 DMA 接口与主存有一条直接数据通路;当设备和主存交换信息时,不中断现行程序;采用周期窃取方式(此时 CPU 只需将总线的控制权让给 DMA 使用,暂停一个存取周期访存)。其他还有程序查询方式、程序中断方式、通道方式和 I/O 处理机方式,这些方式的特点参考第 3 题答案。

30.图 5.14 是以程序查询方式实现多台设备的查询子程序流程图,试分析这种处理方式存在的问题及改进措施。

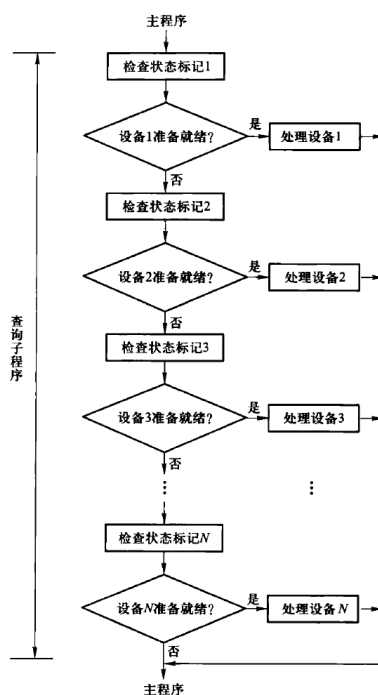


图 5.14 第 30 题多个设备的查询子程序流程

30.这种处理方式一旦发现某个设备需要服务,控制方向就转到与这个设备有关的服务程序,服务结束后,控制方向就转到主程序,不再继续检查其他任何设备是否准备就绪。因此,只有排在前面的设备才能经常被检查,排在后面的设备却始终得不到服务。改进的方法是将控制方向转回到查询子程序,如图 5.21 所示即为改进后的多个设备查询子程序流程。用这种处理方法,进入查询子程序后,一旦发现有某一设备请求服务,就把控制方向转至该设备的服务程序,且当这个服务程序结束时,控制方向又转回查询子程序,并由返回点开始继续检查排在刚处理完设备后面的其他设备。可见这种方法每转入查询子程序一次,查询序列就通过一次,只有所有的设备都已查询一遍,控制方向才转向主程序。因此没有哪一个设备会长时间的等待。

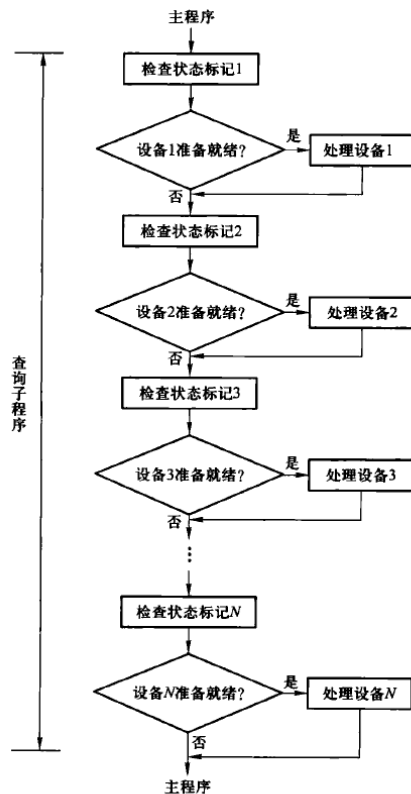


图 5.21 第 30 题答图

31.在什么条件和什么时间，CPU 可以响应 I/O 的中断请求？

31.CPU 响应 I/O 中断请求的条件是：允许中断触发器是“1”状态（即开中断）；I/O 本身有请求又未被屏蔽；经排队后又被选中。

CPU 响应 I/O 中断请求的时间是每条指令执行阶段的结束时刻。因为此时由 CPU 发出中断查询信号，才能获取 I/O 的中断请求信号。

32.试从下面七个方面比较程序查询、程序中断和 DMA 三种方式的综合性能。

- (1)传送数据依赖软件还是硬件；
- (2)传送数据的基本单位；
- (3)并行性；
- (4)主动性；
- (5)传输速度；
- (6)经济性；
- (7)应用对象。

32.表 5.2 列出了程序查询、程序中断和 DMA 三种方式的综合性能。

表 5.2 第 32 题程序查询、程序中断和 DMA 三种方式的综合性能

性能 \ 方式	程序查询	程序中断	DMA
数据传送	依赖软件	依赖软件	依赖硬件
传送数据的基本单位	字	字	块
并行性	CPU 与 I/O 串行	CPU 与 I/O 并行 传输与主程序串行	CPU 与 I/O 并行 传输与主程序并行
主动性	CPU	设备	设备
传输速度	慢	慢	快
经济性	费用低	介于查询和 DMA 之间	费用高
应用对象	低速	较低	高速成批传输

33.CPU 对 DMA 请求和中断请求的响应时间是否一样？为什么？

33.CPU 对 DMA 请求和中断请求的响应时间是不一样的。响应中断请求是在每条指令执行周期结束的时刻,而响应 DMA 请求是在存取周期结束的时刻。因为中断方式是程序切换,而程序又是由指令组成,所以必须在一条指令执行完毕才能响应中断请求。而且 CPU 只有在每条指令执行周期的结束时刻才发出查询信号,以获取中断请求信号,此时若条件满足,便能响应中断请求。

DMA 请求是由 DMA 接口根据设备的工作状况向 CPU 申请占用总线,此时只要总线未被 CPU 占用,即可立即响应 DMA 请求;若总线正被 CPU 占用,则必等待该存取周期结束时,CPU 才交出总线的使用权。

34.假设某设备向 CPU 传送信息的最高频率是 40KHz,而相应的中断处理程序其执行时间为 40 μ s,试问该外部设备是否可用程序中断方式与主机交换信息,为什么?

34.根据题意,该设备每隔 $1/40K=25\mu$ s 向 CPU 传送一次信息,如果采用程序中断方式,需 40 μ s (>25 μ s)才能处理一次数据,从而造成数据丢失,所以不能用程序中断方式与主机交换信息。

35.一个通用的输入输出接口应配置哪些电路?各有何作用?

35.一个通用的输入输出接口应配置:设备选择电路、命令寄存器和命令译码器、数据缓冲寄存器、反映设备状态的各种标记以及相应的控制逻辑电路等。

设备选择电路用以识别设备的地址;命令寄存器用以存放 I/O 指令中的命令码;命令译码器可对命令码译码,给出控制信号;数据缓冲寄存器存放主机和 I/O 之间准备交换的数据;反映设备状态的各种标记应包括工作触发器、完成触发器、中断请求触发器和屏蔽触发器等。相应的控制逻辑电路视不同的接口而定。

36.画图比较程序查询方式、程序中断方式和 DMA 方式的 CPU 工作效率。

36.程序查询方式、程序中断方式和 DMA 方式的 CPU 工作效率如图 5.22 所示。由图可见,DMA 方式的工作效率最高,程序中断方式其次,程序查询方式最低。

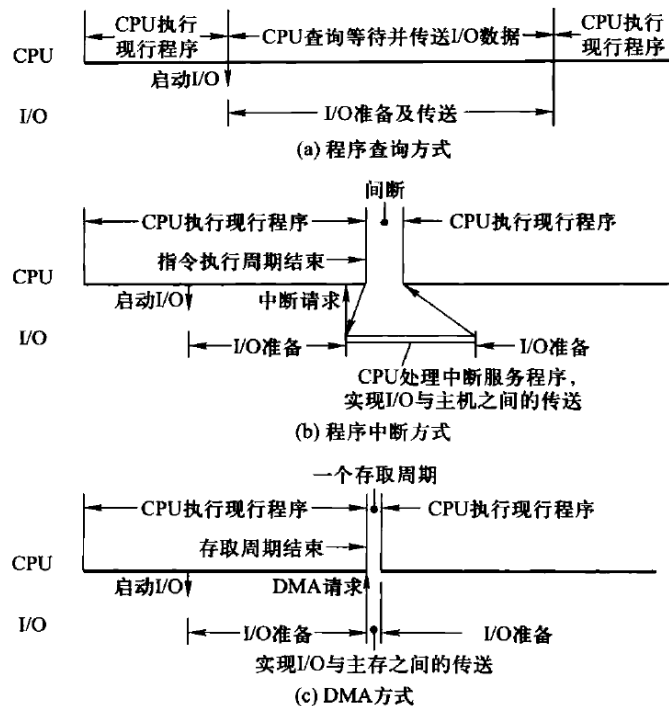


图 5.22 第 36 题答图

37.试比较 DMA 方式和 I/O 通道方式的特点。

37.(1)DMA 方式是借助硬件完成数据交换,而通道方式是它本身通过执行一组通道指令来完成数据交换。

(2)一台外设配一个 DMA 接口,若一个 DMA 接口连接多台同类外设,则它们只能串行工作。而一个通道可接多台不同类型的外设,这些外设均可在通道控制下同时工作。

(3)DMA 适合于高速外设成组传送,通道则高低速外设均可适用。

38.试比较程序中断方式和 I/O 通道方式的特点。

38.(1)程序中断方式由 CPU 终止现行程序,然后转至中断服务程序实现主机与 I/O 设备之间的数据传送。而通道方式由通道程序实现主机与 I/O 设备之间的数据传送。

(2)程序中断方式的中断服务程序与 CPU 现行程序是串行工作的。I/O 通道方式的通道程序与 CPU 现行程序是并行工作的。

(3)I/O 通道是集中独立的硬件,可连接多台快速或慢速的外设。程序中断方式一般适用于慢速的外设,而且每个外设都有自己的中断接口和中断服务程序。

39.I/O 端口和 I/O 接口有何区别? 主机与外部设备间的信息交换通过访问什么来实现?

80X86 微型计算机采用哪一种编址方式实现 CPU 对 I/O 的访问?

39.I/O 接口通常是指主机与 I/O 设备之间的一个硬件电路及其相应的软件控制。它一边通过地址线、数据线和控制线与 CPU 连接,一边通过数据信息、控制信息和状态信息与外设连接。I/O 接口内部有多个寄存器,又称作 I/O 端口,它们可存放数据信息、控制信息和状态信息,这些端口是可编程的。主机与外设之间的信息交换是通过访问这些端口来实现的。

80X86 微型计算机采用独立编址(不统一编址)方式,采用专用的 I/O 指令,实现 CPU 对外设的访问。它包括直接寻址由立即数直接给出 I/O 端口地址,或间接寻址由 DX 寄存器

间接给出 I/O 端口地址。

40. 设 CPU 有 16 根地址线 8 根数据线，并用 MREQ 作访存控制信号，IORQ 作访问 I/O 端口的控制信号，RD 为读命令，WR 为写命令。I/O 编址采用单独编址。现有图 5.15 所示的芯片及各种门电路（自定）：

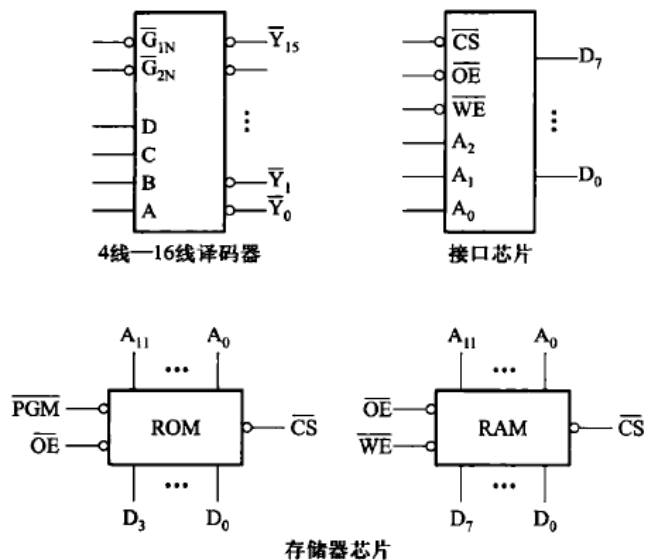


图 5.15 第 40 题图

画出 CPU 和存储芯片及 CPU 和 I/O 接口芯片的连接图，要求：

- (1) 主存除最大地址空间存放系统 BIOS 程序（约 4KB）外，其余地址空间均为用户所用。
- (2) 接口芯片的地址范围为 80H~87H。
- (3) 指出选用的存储芯片类型、数量及地址范围。
- (4) 详细画出存储器芯片和接口芯片的片选逻辑。

40. 根据主存地址空间分配，最大 4K 地址空间为系统程序区，选用 2 片 4K×4 位 ROM 芯片；其余地址空间均为用户程序区，选用 15 片 4K×8 位 RAM 芯片，即

A ₁₅	...	A ₁₁	...	A ₇	...	A ₃	...	A ₀		
1	1	1	1	1	1	1	1	1	1	1
1	1	1	1	0	0	0	0	0	0	0
1	1	1	0	1	1	1	1	1	1	1
1	1	1	0	0	0	0	0	0	0	0
1	1	0	1	1	1	1	1	1	1	1
1	1	0	1	0	0	0	0	0	0	0
...										
0	0	0	0	1	1	1	1	1	1	1
0	0	0	0	0	0	0	0	0	0	0

最大 4K 地址空间
4K×4 位 ROM 2 片

其余地址空间
4K×8 位 RAM 15 片

存储芯片、I/O 接口芯片与 CPU 的连接图如图 5.23 所示。

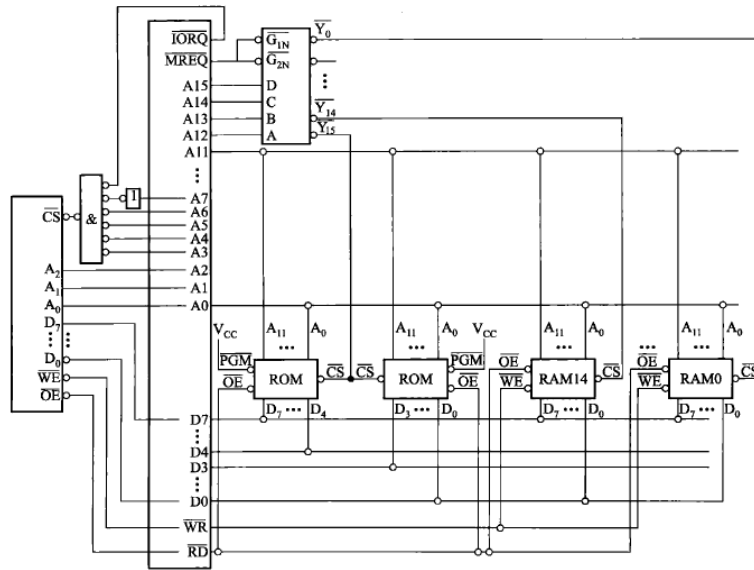


图 5.23 第 40 题答图

第七章

填空

- 1.指令字中的地址码字段（形式地址）有不同的含义，它是通过**寻址方式**体现的，因为通过某种方式的变换，可以得出**有效地址**。常用的指令地址格式有**零地址**、**一地址**、**二地址**和**三地址**四种。
- 2.在非立即寻址的一地址格式指令中，其中一个操作数通过指令的地址字段安排在**寄存器**或**存储器**中。
- 3.在二地址格式指令中，操作数的物理位置有三种形式，它们是**寄存器-寄存器型**、**寄存器-存储器型**和**存储器-存储器型**。
- 4.对于一条隐含寻址的算术运算指令，其指令字中不明确给出**操作数的地址**，其中一个操作数通常隐含在**累加器**中。
- 5.立即寻址的指令其指令的地址字段指出的不是**操作数的地址**，而是**操作数本身**。
- 6.寄存器直接寻址操作数在**寄存器**中，寄存器间接寻址操作数在**存储器**中，所以执行指令的速度前者比后者**快**。
- 7.设形式地址为 X，则在直接寻址方式中，操作数的有效地址为 **X**；在间接寻址方式中，操作数的有效地址为 **(X)**；在相对寻址中，操作数的有效地址为 **(PC)+X**（X 可正可负）。
- 8.变址寻址和基址寻址的区别是：基址寻址中的基址寄存器提供**基准量**，指令的地址码字段提供**位移量**。而变址寻址中的变址寄存器提供**修改量**，指令的地址码字段提供**基准量**。
- 9.把两种寻址方式相结合就形成了复合寻址方式，常见的复合寻址方式可把**变址**和**间址**相结合，它可分为**先变址后间址**和**先间址后变址**两种。
- 10.指令寻址的基本方式有两种，一种是**顺序**寻址方式，其指令地址由**程序计数器**给出，另一种是**跳跃**寻址方式，其指令地址由**指令本身**给出。

- 11.条件转移、无条件转移、子程序调用指令、中断返回指令都属**程序控制（或跳转）**类指令，这类指令字的地址码字段指出的地址不是**操作数**的地址，而是**下一条指令**的地址。
- 12.堆栈寻址需在 CPU 内设一个专用的寄存器，称为**堆栈指示器**，其内容是**栈顶的地址**
- 13.不同机器的指令系统各不相同，一个较完善的指令系统应该包括**数据传送、算术逻辑运算、程序控制、输入输出、其他**等类指令。
- 14.常见的数据传送类指令的功能可实现**寄存器和寄存器**之间或**寄存器和存储器**之间的数据传送。
- 15.设指令字长等于存储字长，均为 24 位，若某指令系统可完成 108 种操作，操作码长度固定，且具有直接、间接（一次间址）、变址、基址、相对、立即等寻址方式，则在保证最大范围内直接寻址的前提下，指令字中操作码占 7 位，寻址特征占 3 位，可直接寻址的范围是 2^{14} ，一次间址的范围是 2^{24} 。
- 16.设机器指令系统可完成 98 种操作，指令字长为 16 位，操作码长度固定。若该指令系统具有直接、间接、变址、基址、相对、立即六种寻址方式，则在保证最大范围内直接寻址的前提下，其指令代码中操作码占 7 位，寻址特征占 3 位，形式地址码占 6 位，一次间址的范围是 2^{16} 。
- 17.某机采用三地址格式指令，共能完成 50 种操作，若机器可在 1K 地址范围内直接寻址，则指令字长应取 36 位，其中操作码占 6 位，地址码占 30 位。
- 18.某机指令字长 24 位，共能完成 130 种操作，采用单地址格式可直接寻址的范围是 2^{16} ，采用二地址格式指令，可直接寻址范围是 2^8 。
- 19.某机共有 156 条指令，采用一地址格式，则指令字需取 24 位才能直接寻址 64K 个存储单元。完成一条这种格式的加法指令，需访问**两次**存储器。
- 20.设指令字长等于存储字长均为 16 位，若某指令系统共能完成 58 种操作，且具有立即、间接、直接、变址四种寻址方式（变址寄存器为 32 位），则该指令系统可直接寻址的范围是 2^8 ，一次间址的寻址范围是 2^{16} ，变址寻址的范围是 2^{32} ，立即数（有符号数）的范围是 $-2^7 \sim 2^7 - 1$ 。
- 21.设 D 为指令字中的形式地址， $D = FCH_{16}$ ，如果采用直接寻址方式，有效地址是 **FCH**，参与操作的操作数是 **40712**。如果采用一次间接寻址方式，其间接地址是 **FCH**，有效地址是 **40712**，参与操作的操作数是 **(40712)**。
- 22.某机指令字长 16 位，每个操作数的地址码长 6 位，设操作码长度固定，指令分为零地址、一地址和二地址三种格式。若零地址指令有 P 种，一地址指令有 Q 种，则二地址指令最多有 $16 - P - Q$ 种。若按变长度操作码考虑，则二地址指令最多允许有 15 种。
- 23.某机指令字长 32 位，共有 64 种操作，若 CPU 内有 16 个 32 位的通用寄存器，采用寄存器-存储器型指令，能直接寻址的最大主存空间是 2^{22} ，如果采用通用寄存器作为基址寄存器，则寄存器-存储器型指令能寻址的最大主存空间是 2^{32} 。
- 24.RISC 的英文全名是 **Reduced Instruction Set Computer**，它的中文含义是**精简指令系统计算机**；CISC 的英文全名是 **Complex Instruction Set Computer**，它的中文含义是**复杂指令系统计算机**。
- 25.RISC 指令系统选取使用频度较高的一些**简单**指令，复杂指令的功能由**简单**指令的组合来实现。其指令长度**固定**，指令格式种类**少**，寻址方式种类**少**，只有取数/存数指令访问存储器，其余指令的操作都在寄存器之间进行，且采用流水线技术，大部分指令在**一个时钟周期**内时间内完成。
- 26.操作数由指令直接给出的寻址方式为**立即寻址**。
- 27.只有操作码没有地址码的指令称为**零地址格式指令**。
- 28.在指令的执行阶段需要两次访问存储器的指令通常采用**存储器间接**寻址。

- 29.需要通过计算才能获得有效地址的寻址方式常见的有**变址寻址**、**基址寻址**和**相对寻址**
- 30.在一地址的运算指令中，通常第一操作数在**累加器**中，第二操作数由指令地址码给出，运算结果在**累加器**中。
- 31.操作数的地址直接在指令中给出的寻址方式是**直接寻址**。
- 32.操作数的地址在寄存器中的寻址方式是**寄存器间接寻址**。
- 33.操作数的地址在主存储器中的寻址方式是**存储器间接寻址**。
- 34.操作数的地址隐含在指令的操作码中，这种寻址方式是**隐含寻址**。
- 35.在寄存器寻址中，指令的地址码给出**寄存器号**而操作数在**寄存器**中。
- 36.在寄存器间接寻址中，指令中给出的是**操作数地址**所在的寄存器编号。
- 37.程序控制类指令包括各类转移指令，用户常用的有**无条件转移指令**、**条件转移指令**和**子程序调用指令**。
- 38.基址寻址方式的操作数地址由**基址寄存器的内容**与**指令地址码字段**给出的地址（或形式地址）求和产生。
- 39.相对寻址方式中的操作数地址由**当前 PC 值**与**指令地址码字段**给出的位移量（或形式地址）求和产生。
40. **变址寻址**和**基址寻址**的有效地址形成方式极为相似，但它们的应用场合不同，前者主要用于处理数组程序，后者**支持多道程序的应用**。

问答题

- 1.指令字中有哪些字段？各有何作用？如何确定这些字段的位数？
- 1.指令字中有三种字段：**操作码字段**、**寻址特征字段**和**地址码字段**。操作码字段指出机器完成某种操作，其位数取决于指令系统的操作种类。寻址特征字段指出该指令以何种方式寻找操作数的有效地址，其位数取决于寻址方式的种类。地址码字段和寻址特征字段共同指出操作数或指令的有效地址，其位数与寻址范围有关。
- 2.在寄存器-寄存器型，寄存器-存储器型和存储器-存储器型三类指令中，哪类指令的执行时间最长？哪类指令的执行时间最短？为什么？
- 2.这三类指令中**寄存器-寄存器型指令**执行速度最快，**存储器-存储器指令**执行速度最慢。因为前者两个操作数都在寄存器中，后者两个操作数都在存储器中，而访问一次存储器所需的时间比访问一次寄存器所需的时间长得多。
- 3.比较变址寻址和基址寻址的异同点。
- 3.两者的区别如下表：

基址寻址	变址寻址
(1) 有效地址等于形式地址加上基址寄存器的内容	(1) 有效地址等于形式地址加上变址寄存器的内容
(2) 可扩大寻址范围	(2) 可扩大寻址范围
(3) 基址寄存器的内容由操作系统给定,且在程序的执行过程中不可变	(3) 变址寄存器的内容由用户给定,且在程序的执行过程中可变
(4) 支持多道程序技术的应用	(4) 用于处理数组程序

4. 设某机器共能完成 78 种操作，若指令字长为 16 位，试问单地址格式的指令其地址码可取几位？若想使指令的寻址范围扩大到 2^{16} ，可采用什么办法？举出三种不同的例子加以说明。

4. 根据 78 种操作，可求出操作码的位数为 7 位，则单地址格式的指令地址码占 $16-7=9$ 位。欲使指令的寻址范围扩大到 2^{16} ，可采用以下三种寻址方法。

(1) 若指令字长等于存储字长均为 16 位，则采用间接寻址可使寻址范围扩大到 2^{16} ，因为间址时（设非多次间址）从存储单元中取出的有效地址为 16 位。

(2) 采用变址寻址，并设变址寄存器 XR 为 16 位，则有效地址 $EA=(XR)+A$ (形式地址)，即可使寻址范围扩大到 2^{16} 。

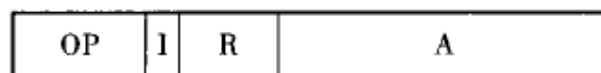
(3) 采用基址寻址，并设基址寄存器 BR 为 16 位，则有效地址 $EA=(BR)+A$ ，即可使寻址范围扩大到 2^{16} 。

5. 某机字长 32 位，CPU 内有 32 个 32 位的通用寄存器，设计一种能容纳 64 种操作的指令系统，设指令字长等于机器字长。

(1) 如果主存可直接或间接寻址，采用寄存器-存储器型指令，能直接寻址的最大存储空间是多少？画出指令格式。

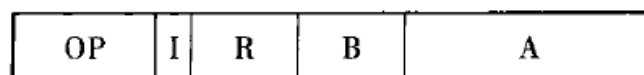
(2) 如果采用通用寄存器作为基址寄存器，则上述寄存器-存储器型指令的指令格式有何特点？画出指令格式并指出这类指令可访问多大的存储空间？

5.(1) 根据题意指令格式如下：

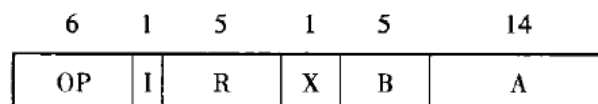


其中，OP 占 6 位，为操作码，可容纳 64 种操作；I 占 1 位，为直接/间接寻址方式 (I=1 为间址，I=0 为直接寻址)；R 占 5 位，为 32 个通用寄存器编号；A 占 20 位，为形式地址。这种指令格式能直接寻址的存储空间为 2^{20} 。

(2) 根据题意，保留(1)格式的 OP, I, R 字段，增加 B 字段，用以指出哪个寄存器为基址寄存器。此时，基址寻址的特征隐含在 OP 中。其指令格式如下：

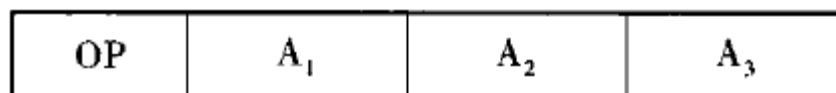


其中，OP 占 6 位，为操作码，对应 64 种操作；I 占 1 位，为直接/间接寻址方式；R 占 5 位，为 32 个通用寄存器编号；B 占 5 位，为基址寄存器编号；A 占 15 位，为形式地址。因为通用寄存器为 32 位，用它作基址寄存器后，有效地址等于基址寄存器内容加上形式地址，可得 32 位的有效地址，故寻址范围可达 2^{32} 。也可在(2)格式中再增加一位基址寻址特征位 X，用以明确指出是否基址寻址 (X=1 基址寻址)，此时 A 取 14 位，如下所示：



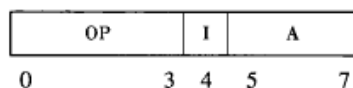
6. 若机器采用三地址格式访存指令，试问完成一条加法指令共需访问几次存储器？若该机共能完成 54 种操作，操作数可在 1K 地址范围内直接寻找，试画出该机器的指令格式。

6. 根据题意，指令字长为 36 位，其格式为



其中，OP 占 6 位操作码，可完成 54 种操作；A1 占 10 位，第一操作数地址，寻址范围为 1K；A2 占 10 位，第二操作数地址，寻址范围为 1K；A3 占 10 位，存放结果的地址，寻址范围为 1K。完成一条加法指令共需访问 4 次存储器：第一次取指令；第二次取第一操作数；第三次取第二操作数；第四次存放结果。

7.某机指令格式如下图所示：



图中 I 为间址特征位 (I=0, 直接寻址; I=1, 一次间接寻址)。假设存储器部分单元有以下内容：

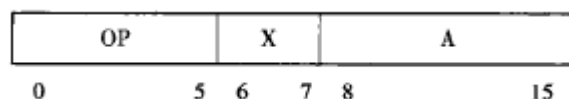
地址号(十六进制)	00	01	02	03	04	05	06	07
内容(十六进制)	01	5E	9D	74	A4	15	04	A0

指出下列机器指令（十六进制表示）的有效地址。

(1) D7; 1101 0 111 (2) DF; 1101 1 111 (3) DE; 1101 1 110 (4) D2; 1101 0 010

7.(1)07H; (2)A0H; (3)04H; (4)02H。

8.某机指令格式如下图所示：



图中 X 为寻址特征位，且

当 X=0 时，不变址；

X=1 时，用变址寄存器 X1 进行变址；

X=2 时，用变址寄存器 X2 进行变址；

X=3 时，相对寻址。

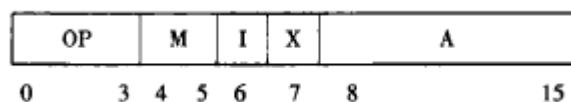
设(PC)=1234H,[X1]=0037H,[X2]=1122H,确定下列指令的有效地址（指令和地址均用十六进制表示）：

(1)4420; 0100 01 00 0010 0000 (2)2244; 0010 00 10 0100 0100

(3)1322; 0001 00 11 0010 0010 (4)3521。0011 01 01 0010 0001

8.(1)0020H;(2)1166H;(3)1256H;(4)0058H。

9.某机存储器容量为 64K×16 位，该机访存指令格式如下：



其中 M 为寻址模式：0 为直接寻址，1 为基址寻址，2 为相对寻址，3 为立即寻址；I 为间址特征(I=1 间址)；X 为变址特征(X=1 变址)。

设 PC 为程序计数器，Rx 为变址寄存器，RB 为基址寄存器，试问：

(1)该指令能定义多少种操作？

(2)立即寻址操作数的范围。

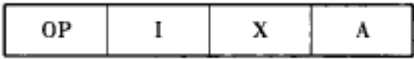
(3)在非间址情况下，除立即寻址外，写出每种寻址方式计算有效地址的表达式。

(4)设基址寄存器为 14 位，在非变址直接基址寻址时，指令的寻址范围是多少？

(5)间接寻址时，寻址范围是多少？若允许多重间址，寻址范围又是多少？

- 9.(1)该指令能定义 16 种操作。
- (2)立即寻址操作数的范围是-128~+127。
- (3)直接寻址 $EA=A$
- 基址寻址 $EA=(RB)+A$
- 变址寻址 $EA=(Rx)+A$ 相对寻址 $EA=(PC)+A$ 。
- (4)非变址直接基址寻址时 $EA=(RB)+A$,RB 为 14 位, 故可寻址的范围为 2^{14} 。
- (5)间接寻址时, 如不考虑多次间址, 寻址范围为 64K,因为从存储器中读出的 16 位数为有效地址。如果考虑多次间址, 则需用最高 1 位作多次间址标志("1"为多次间址), 此时寻址范围为 32K。

10.一种一地址指令的格式如下所示:



其中 I 为间址特征, X 为寻址模式, A 为形式地址。设 R 为通用寄存器, 也可作为变址寄存器。在表 7.2 中填入适当的寻址方式名称。

表 7.2 寻 址 表

寻址方式名称	I	X	有效地址 EA
①	0	00	$EA = A$
②	0	01	$EA = (PC) + A$
③	0	10	$EA = (R) + A$
④	0	11	$EA = R$
⑤	1	00	$EA = (A)$
⑥	1	01	$EA = ((PC) + A)$
⑦	1	10	$EA = ((R) + A)$
⑧	1	11	$EA = (R)$

- 10.①直接寻址
- ②相对寻址
- ③变址寻址
- ④寄存器直接寻址
- ⑤间接寻址
- ⑥先相对后间址
- ⑦先变址再间址
- ⑧寄存器间接寻址
- 11.某机使用的指令格式和寻址方式如图 7.17 所示, 该机有 16 个 16 位的通用寄存器, 并可选定任一个通用寄存器作为变址寄存器。指令汇编格式中的 S(源)、D(目标)都是通用寄存器, M 是主存中的一个单元。



图 7.17 某机的指令格式和寻址方式

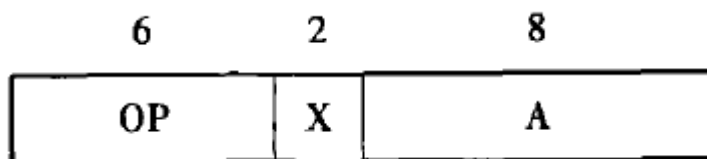
试问：

- (1)CPU 完成哪一种操作花的时间最短？为什么？
 - (2)CPU 完成哪一种操作花的时间最长？为什么？
 - (3)第②种指令的执行时间有时会等于第③种指令的执行时间吗？为什么？
 - (4)哪一种指令操作数的寻址范围最大？为什么？
11. (1)CPU 完成第①种指令所需时间最短，因为是 RR 型指令，执行指令时不访问存储器。
 (2)CPU 完成第②种指令所需时间最长，因为是 RS 型指令，执行指令时需访问存储器，且要通过变址运算求得有效地址，故所需时间长。
 (3)不可能，因为第③种指令虽需访问存储器，但不必进行地址变换运算。
 (4)由于第③种指令的源操作数地址为 20 位的主存地址，因此它的寻址范围最大，为 2^{20} 。第②种指令的目的地址为 $(R_x) + \text{形式地址}$ (R_x 为变址寄存器)，因为通用寄存器的位数和形式地址均为 16 位的地址，其和必小于 2^{20} 。第①种指令的操作数在寄存器中，寻址范围为 2^4 ，最小。

12.某机器字长、指令字长和存储字长均为 16 位，指令系统共能完成 50 种操作，采用相对寻址、间接、直接寻址。试问：

- (1)指令格式如何确定？各种寻址方式的有效地址如何形成？
- (2)能否增加其他寻址方法？说明理由。

12.(1)根据题意指令格式为



其中，OP 为操作码，6 位，可完成 50 种操作；

X 为寻址模式，2 位，定义如下：

X=00 直接寻址， $EA=A$ ；

X=01 相对寻址， $EA=(PC)+A$ ；

X=10 间接寻址， $EA=(A)$ 。

(2)由于上述指令格式中寻址模式 X=11 尚未使用，故可增加一种寻址方式，如立即寻址，此时 A 即为操作数。

13.设用八进制数表示下列单元地址及内容：

地址	6	11	15	17	23	2023
内容	100015	000035	000017	000023	000011	001000

寄存器 R,中放 000015, 程序计数器 PC 中放 002000 (均为八进制), 试求表 7.3 中的有效地址 EA 和指令执行后 R1 或 PC 的内容 (均用八进制表示)。

表 7.3 问答题 13 的表格

指令助记符	有效地址 EA	R _i 或 PC 内容
① LDA 1, 6	EA =	R ₁ =
② LDA 1, -7, 3	EA =	R ₁ =
③ LDA 1, @6	EA =	R ₁ =
④ LDA 1, 6, 3	EA =	R ₁ =
⑤ LDA 1, @ 15	EA =	R ₁ =
⑥ LDA 1, @ 23	EA =	R ₁ =
⑦ LDA 1, 23	EA =	R ₁ =
⑧ LDA 1, @ 6, 3	EA =	R ₁ =
⑨ JMP * -7	EA =	PC =
⑩ JMP @ * +23	EA =	PC =

说明:

(1)LDA 表示取数指令, 后面的 1 表示 R_i, 逗号后的第一个数为形式地址 (或位移量), 用八进制表示, @表示间接寻址, *表示相对寻址, 第二个逗号后的 3 表示用 R3 作为变址寄存器。JMP 为无条件转移指令。

(2)表中⑧和⑩为复合寻址方式, 前者为先变址再间址, 后者为先相对寻址再间址。

(3)间接访问某一存储单元时, 存储字的最高位用于区分是否多次间址, 低 15 位表示有效地址。如取出的数据最高位为“0”, 则为一次间址, 如取出的数据最高位为“1”, 则有多次间接寻址功能。

- 13.①EA=6 R1=100015
 ②EA=6 R1=100015
 ③EA=17 R1=000023
 ④EA=23 R1=000011
 ⑤EA=17 R1=000023
 ⑥EA=11 R1=000035
 ⑦EA=23 R1=000011
 ⑧EA=11 R1=000035
 ⑨EA=1771 PC=001771
 ⑩EA=1000 PC=001000

14.设用十六进制数表示下列单元地址及内容:

地址	6	9	D	F	13	413
内容	800D	001D	000F	0013	0009	0200

寄存器 R,中放 000D,程序计数器 PC 中放 0400 (均为十六进制), 试求表 7.4 中的有效地址 EA 和指令执行后 R1 或 PC 的内容 (均用十六进制表示)。

表 7.4 问答题 14 的表格

指令助记符	有效地址 EA	R _i 或 PC 内容
① LDA 1, 6	EA =	R ₁ =
② LDA 1, -7, 3	EA =	R ₁ =
③ LDA 1, @6	EA =	R ₁ =
④ LDA 1, 6, 3	EA =	R ₁ =
⑤ LDA 1, @15	EA =	R ₁ =
⑥ LDA 1, @13	EA =	R ₁ =
⑦ LDA 1, 13	EA =	R ₁ =
⑧ LDA 1, @6, 3	EA =	R ₁ =
⑨ JMP * -7	EA =	PC =
⑩ JMP @ * +13	EA =	PC =

说明:

(1)LDA 表示取数指令, 后面的 1 表示 R_i, 逗号后的第一个数为形式地址 (或位移量), 用十六进制表示, @表示间接寻址, *表示相对寻址, 第二个逗号后的 3 表示用 R3 作变址寄存器。JMP 为无条件转移指令。

(2)表中⑧和⑩为复合寻址方式, 前者为先变址再间址, 后者为先相对寻址再间址。

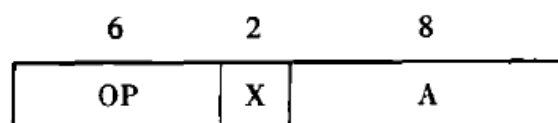
(3)间接访问某一存储单元时, 存储字的最高位用于区分是否多次间址, 低 15 位表示有效地址。如取出的数据最高位为“0”, 则为一次间址, 如取出的数据最高位为“1”, 则有多次间接寻址功能。

14.

- ①EA=6 R_i=800D
- ②EA=6 R_i=800D
- ③EA=F R_i=0013
- ④EA=13 R_i=0009
- ⑤EA=F R_i=0013
- ⑥EA=9 R_i=001D
- ⑦EA=13 R_i=0009
- ⑧EA=9 R_i=001D
- ⑨EA=3F9 PC=03F9
- ⑩EA=200 PC=0200

15.某机主存容量为 64K×16 位, 并且指令字长、机器字长和存储字长相等, 采用单字长一地址指令, 共有 60 条。试设计四种寻址方式的指令格式, 并说明每一种寻址方式的寻址范围及有效地址计算方法。

15.根据题意指令格式如下所示:



其中, OP 为操作码, 6 位, 可完成 60 种操作;

X 为寻址模式，2 位，允许有 4 种寻址方式，设计如下：

X=00 直接寻址， $EA=A,(256)$;

X=01 间接寻址， $EA=(A),(64K)$;

X=10 变址寻址， $EA=(R_x)+A,(64K)$;

X=11 基址寻址， $EA=(R_B)+A,(64K)$ 。

R_x 为变址寄存器(16 位)， R_B 为基址寄存器(16 位)，A 为形式地址。

16.已知一台 16 位的计算机配有 16 个通用寄存器，设计一种方案，用指定的通用寄存器组中的某些寄存器来实现对 1M 地址空间的存储器寻址，参加这种寻址的通用寄存器该采用什么办法区分出来？

16.欲对 1M 地址空间寻址，必须形成 20 位的有效地址，可以指定某些通用寄存器和形式地址拼接而成。如将 16 位通用寄存器的内容左移 4 位（低位补 0），然后加上形式地址；或用 4 位形式地址作为有效地址的高 4 位，用 16 位通用寄存器的内容作为有效地址的低 16 位。这两种方法都需有一个 20 位的 MAR。

参与这种寻址方式的通用寄存器可用赋予地址编号来加以区分。16 个通用寄存器用 4 位地址给 $R_0 \sim R_{15}$ 命名，由设计者选定哪几个寄存器参与这种方式的寻址。

17.比较间接寻址和变址寻址。

17.间接寻址和变址寻址都可扩大寻址范围，但它们形成有效地址的方式不同：间址需通过访存（若是多次间址还需多次访存）得到有效地址；而变址需通过地址变换（将变址寄存器内容加上形式地址）得到有效地址，故通常间址指令执行时间比变址指令长。此外，两种指令的应用场合不同，变址寻址特别适用于处理数组问题。

18.RISC 指令系统具有哪些主要特点？

18.RISC 指令系统通过简化指令，使计算机的结构更加简单合理，并通过减少指令执行周期数的途径，达到提高机器速度的目的。其特点归纳如下：

(1)选取使用频度较高的一些简单指令，复杂指令的功能由执行频度高的简单指令组合来实现。

(2)指令长度固定，指令格式和寻址方式种类少。

(3)CPU 中通用寄存器数量多，大多数指令操作都在寄存器之间进行，只有取数(LOAD)和存数(STORE)指令访问存储器。

(4)采用流水线技术，大部分指令在一个时钟周期内完成。

(5)控制器采用组合逻辑控制，不用微程序控制。

(6)采用优化的编译程序。

19.设有一条双操作数指令 ADD R_0,D,R_3 ,其中 R_0 是通用寄存器存放操作数 1, R_3 是变址寄存器，D 是位移量。该指令的操作是 $(R_0)+((R_3)+D) \rightarrow R_0$,画出完成该指令的信息流程图。

19.完成 ADD R_0,D,R_3 指令的信息流程示意如图 7.18 所示。

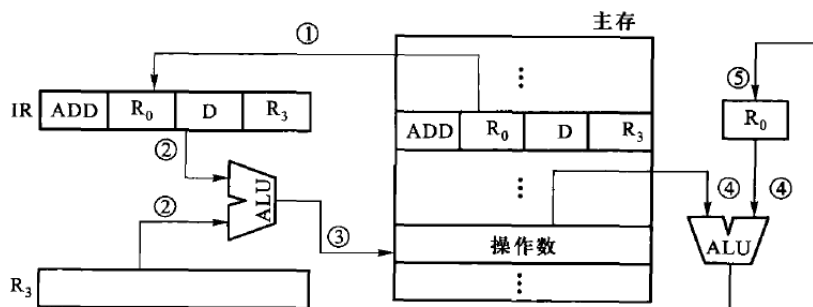


图 7.18 第 19 题答图

20.画出 ADD@R,指令对操作数的寻址及加法过程的信息流程图 (设另一个操作数隐含在 ACC 中, @R,表示寄存器间接寻址, R,寄存器的内容为 2074H)。

20.ADD@R,指令对操作数的寻址及加法过程的信息流程示意如图 7.19 所示。

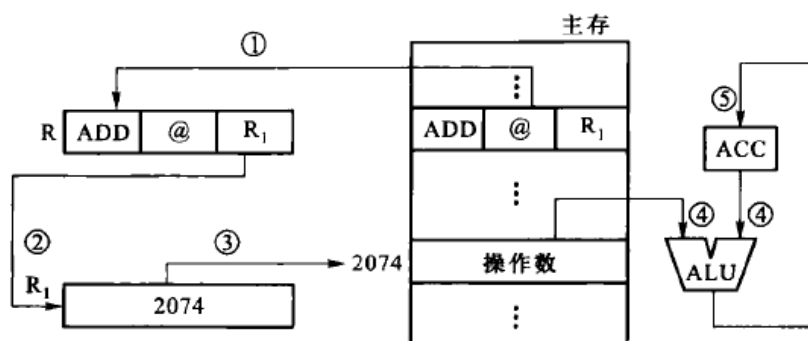


图 7.19 第 20 题答图

21.画出完成 ADD *+3 指令的信息流程图(*表示相对寻址, 另一操作数隐含在 ACC 中)。假设(PC)=2000H。

21.图 7.20 是完成 ADD *+3 指令的信息流程示意。

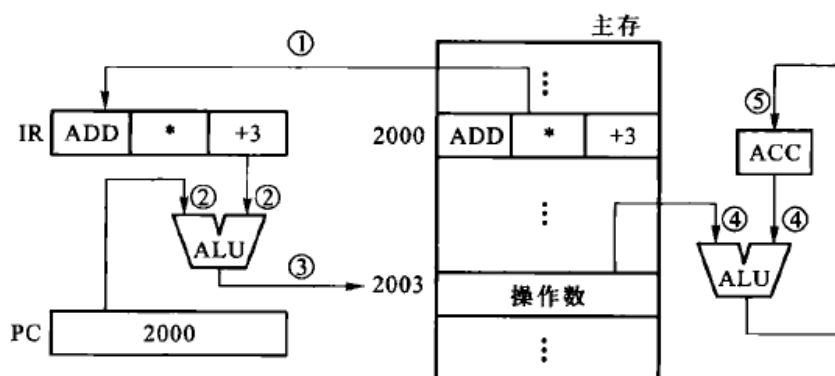


图 7.20 第 21 题答图

22.画出完成 ADD *-3 指令的信息流程图(*表示相对寻址, 另一操作数隐含在 ACC 中)。假设(PC)=2000H。

22.图 7.21 是完成 ADD*-3 指令的信息流程示意。

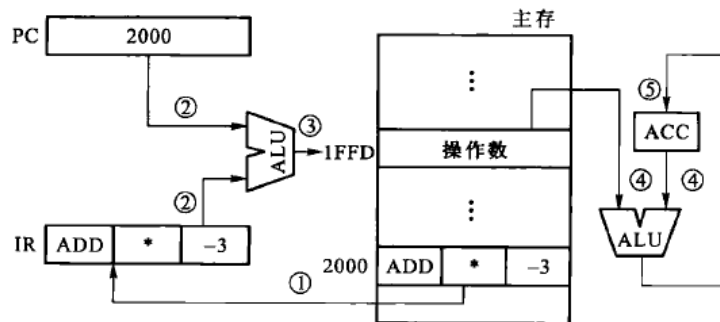


图 7.21 第 22 题答图

23.某指令系统指令长 16 位，如果操作码固定为 4 位，则三地址格式的指令共有几条？如果采用扩展操作码技术，对于三地址、二地址、一地址和零地址这四种格式的指令，每种指令最多可以安排几条？写出它们的格式。

23.指令字长 16 位，如果操作码固定为 4 位，则三地址格式指令共有 16 条。若采用扩展操作码技术，这 16 位字长的指令最多分别有 15 条三地址格式指令、15 条二地址格式指令、15 条单地址格式指令和 16 条零地址格式指令，共 61 条。指令格式如图 7.22 所示。

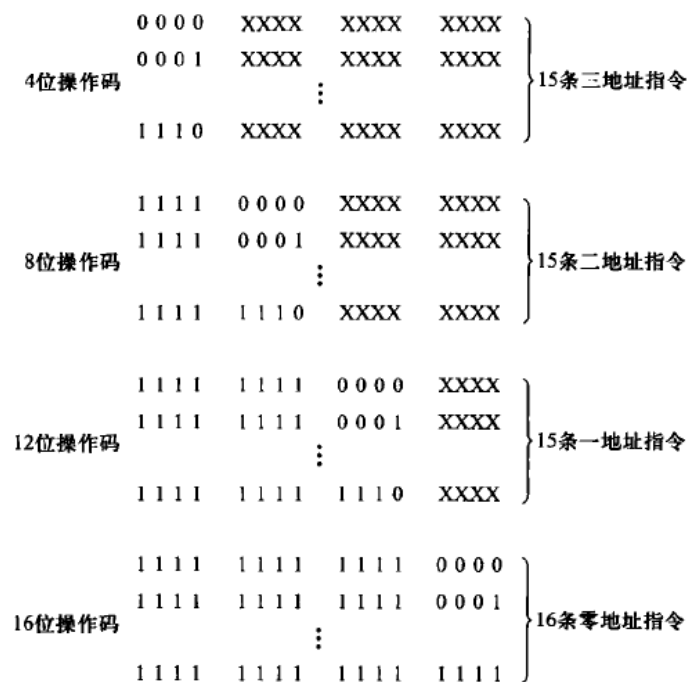


图 7.22 第 23 题答图

24.某指令系统指令字长 12 位，地址码取 3 位，试提出一种方案，使该指令系统有 4 条三地址指令、8 条二地址指令、150 条一地址指令。

24.根据题意，4 条三地址指令，8 条二地址指令，150 条一地址指令的格式如图 7.23 所示。

0 0 0	XXX	XXX	XXX	} 4条三地址指令
0 0 1	XXX	XXX	XXX	
0 1 0	XXX	XXX	XXX	
0 1 1	XXX	XXX	XXX	
1 0 0	0 0 0	XXX	XXX	} 8条二地址指令
1 0 0	0 0 1	XXX	XXX	
⋮	⋮	⋮	⋮	
1 0 0	1 1 1	XXX	XXX	
1 0 1	0 0 0	0 0 0	XXX	} 64条一地址指令
1 0 1	0 0 0	0 0 1	XXX	
⋮	⋮	⋮	⋮	
1 0 1	1 1 1	1 1 1	XXX	
1 1 0	0 0 0	0 0 0	XXX	} 64条一地址指令
1 1 0	0 0 0	0 0 1	XXX	
⋮	⋮	⋮	⋮	
1 1 0	1 1 1	1 1 1	XXX	
1 1 1	0 0 0	0 0 0	XXX	} 22条一地址指令
1 1 1	0 0 0	0 0 1	XXX	
⋮	⋮	⋮	⋮	
1 1 1	0 1 0	1 0 1	XXX	

图 7.23 第 24 题答图

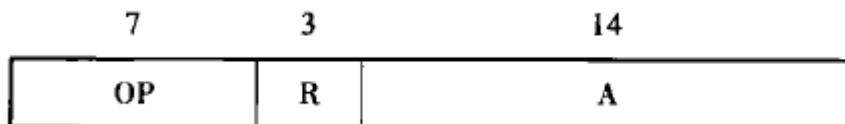
25. 设某机共能完成 120 种操作，CPU 有 8 个通用寄存器(12 位)，主存容量为 16K 字，采用寄存器-存储器型指令。

(1) 欲使指令可直接访问主存的任一地址，指令字长应取多少位？

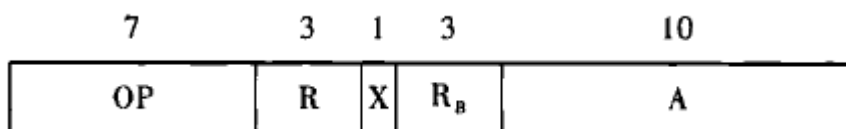
(2) 若在上述设计的指令字中设置一寻址特征位 X，且 X=0 表示某个寄存器作基址寄存器，画出指令格式。试问采用基址寻址可否访问主存的任一单元？为什么？如不能，提出一种方案，使指令可访问主存的任一位置。

(3) 若指令字长等于存储字长，且主存容量扩大到 64K 字，在不改变硬件结构的前提下，可采用什么方法使指令可访问存储器的任一位置？

25.(1) 欲使指令可直接访问 16K 字存储器的任一单元，采用寄存器-存储器型指令，该机的指令字长应包括 14 位的地址码、3 位寄存器编号和 7 位操作码，即指令字长=14+3+7=24，指令格式为



(2) 增加一位寻址特征位 X，且 X=1 表示某个寄存器作基址寄存器 RB。因为通用寄存器仅 12 位不足以覆盖 16K 地址空间，可将寄存器内容左移 2 位，低位补 0，形成 14 位基地址，然后与形式地址相加，所得的有效地址即可访问 16K 字存储器的任一单元。其指令格式如下：



(3)若主存容量扩大到 64K 字, 且存储字长等于指令字长, 则在不改变硬件结构的前提下, 采用一次间址即可访问存储器的任一单元, 因为间址后得到的有效地址为 24 位。

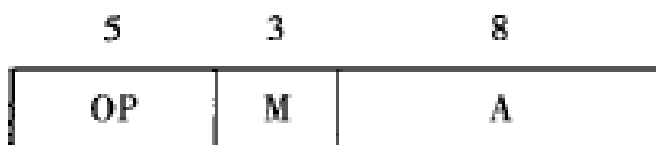
26.设机器字长为 12 位, 若主存容量为 64K×12 位, 为使一条 12 位字长的转移指令能够转移到主存中的任一单元, 应选用何种寻址方式? 说明理由。

26.为使一条 12 位字长的转移指令能转至 64K×12 位的主存任一单元, 可采用基址寻址。由于机器字长为 12 位, 故可将寄存器内容左移 4 位, 低位补 0, 形成 16 位的基地址, 然后和形式地址相加, 所得地址即可访问 64K 主存的任一单元。

27.设某机存储字长、指令字长和机器字长三者相等。若主存容量为 256K×16 位, 欲使一条转移指令能够转移到主存的任一位置, 可选用何种寻址方式, 为什么?

27.采用扩充寻址可使 16 位长的转移指令转至 256K 主存的任一单元。用 16 位字长的寄存器作为扩充地址寄存器, 其内容作为高 16 位地址, 再与形式地址拼接后所得的有效地址便可访问 256K 的存储空间, 因为 256K 字的存储器对应 18 位地址码, 而形式地址码的位数必大于 2 位。也可采用基址寻址, 将寄存器的内容左移 2 位, 低位补 0, 形成 18 位的基地址, 然后和形式地址相加, 所得的有效地址即可访问 256K 主存的任一单元。

28.设某机存储字长、指令字长和机器字长均相等, 该机的指令格式如下:



其中, A 为形式地址, 用补码表示 (包括 1 位符号位);

M 为寻址模式, M=0 立即寻址:

M=1 直接寻址 (此时 A 视为无符号数):

M=2 间接寻址 (此时 A 视为无符号数);

M=3 变址寻址 (变址寄存器为 R_x);

M=4 相对寻址。

试问:

(1)该指令格式能定义多少种不同的操作? 立即寻址操作数的范围是多少?

(2)写出各种寻址模式计算有效地址的表达式。

(3)当 M=1,2,4 时, 能访问的最大主存空间为多少机器字 (主存容量为 64K 字) ?

28.(1)该指令格式能定义 32 种不同操作, 立即寻址操作数的范围是 -128~+127。

(2)立即寻址 A=操作数

直接寻址 EA=A

间接寻址 EA=(A)

变址寻址 EA=(R_x)+A

相对寻址 EA=(PC)+A

(3)M=1 寻址空间为 256 字

M=2 寻址空间为 64K 字

M=4 寻址空间为 256 字

29. 某机指令字长 16 位，具有二地址、一地址和零地址三种指令格式，规定每个操作数的地址码为 5 位，采用操作码扩展技术，每种指令最多可安排几条？写出它们的格式。

29. 最多可安排 63 条二地址格式指令、31 条一地址格式指令以及 32 条零地址格式指令。三种地址格式的操作码安排如图 7.24 所示。

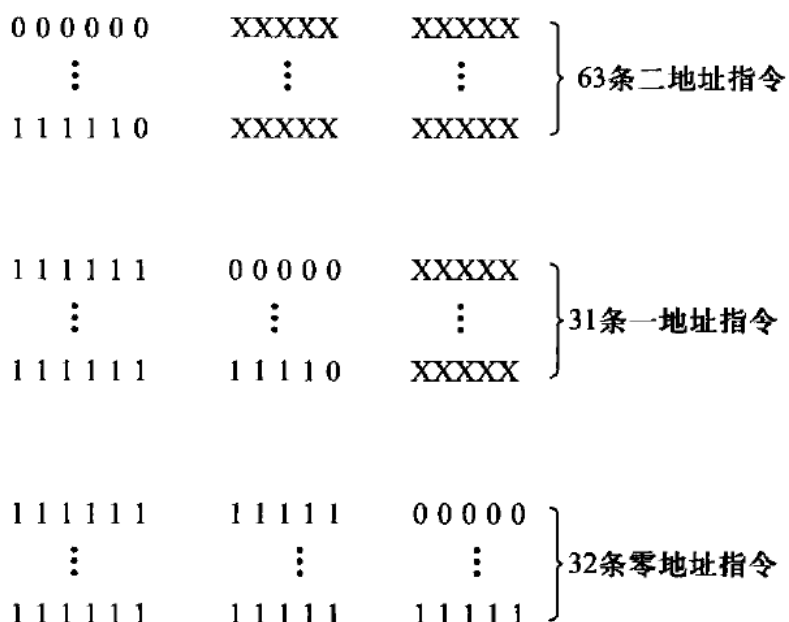


图 7.24 第 29 题答图

30. 设指令字长为 16 位，每个操作数的地址码为 6 位。如果定义了 12 条二地址指令，试问还有多少条一地址指令？

30. 在二地址指令中，操作码的位数为 $16 - 6 - 6 = 4$ ，这 4 位操作码可有 16 种编码，其中 12 种编码可作为二地址指令的操作码，剩下的 4 种编码可用于扩展。这样，指令再增加 6 位操作码后，可有 $4 \times 2^6 = 256$ 条一地址指令。

31. 某计算机的指令字长 16 位，采用扩展操作码，操作数地址取 4 位。假设该指令系统已有 X 条三地址指令，Y 条二地址指令，没有零地址指令，问最多还有几条一地址指令？

31. 根据题意，三地址、二地址和一地址指令的操作码位数分别是 4 位、8 位和 12 位，故一地址指令最多还有 $[(2^4 - X) \times 2^4 - Y] \times 2^4$ 条。

32. 设指令字长为 16 位，每个地址码为 6 位，采用扩展操作码技术，设计 12 条二地址指令，96 条一地址指令，50 条零地址指令。列出操作码的扩展形式并计算操作码的平均长度。

32. (1) 根据题意，图 7.25 列出了其中一种操作码的扩展形式。

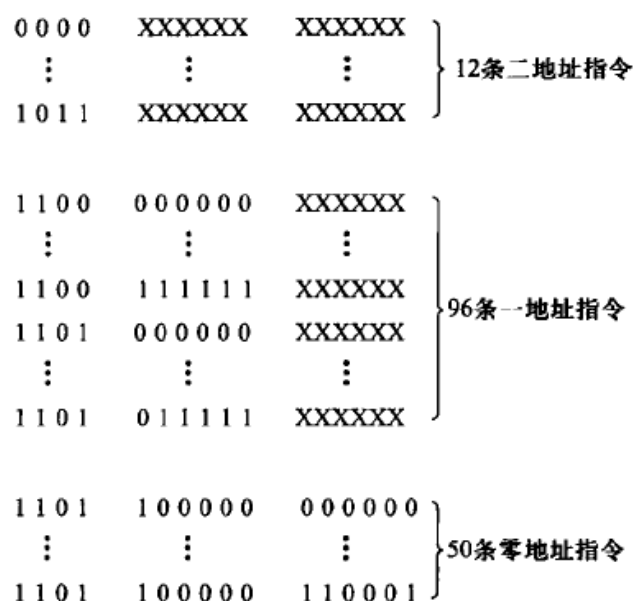


图 7.25 第 32 题答图

(2)操作码的平均长度= $(4 \times 12 + 10 \times 96 + 16 \times 50) / 158 \approx 8.3$

33,一条双字长的取数指令(LDA)存于存储器的 100 和 101 单元, 其中第一个字为操作码和寻址特征 M,第二个字为形式地址。假设 PC 当前值为 100, 变址寄存器 XR 的内容为 100, 基址寄存器的内容为 200, 存储器各单元的内容如下所示:

地址	101	300	400	401	402	500	501	800
内容	300	800	700	400	500	200	900	600

写出下列寻址方式的有效地址, 以及取数指令执行结束后累加器 ACC 的内容。

- (1)直接寻址
- (2)立即寻址
- (3)间接寻址
- (4)相对寻址
- (5)变址寻址
- (6)基址寻址

- 33.(1)直接寻址 EA=300 (ACC)=800
 (2)立即寻址 EA=101 (ACC)=300
 (3)间接寻址 EA=80 (ACC)=600
 (4)相对寻址 EA=102+300=402 (ACC)=500
 (5)变址寻址 EA=100+300=400 (ACC)=700
 (6)基址寻址 EA=200+300=500 (ACC)=200

34,设一条相对寻址的转移指令占三个字节, 第一字节是操作码, 第二、三字节为相对位移量, 且数据在存储器采用以高字节地址为字地址的存放方式。假设 PC 当前值为 4000H。试问当执行 JMP *+17 和 JMP *-9 指令时, 该转移指令的第二、第三字节的机器码各为多少?

34.根据 PC 当前值为 4000H,取出三个字节的转移指令后, PC 值修改为 4003H。对应汇编语

言指令 $JMP *+17$,该转移指令的相对位移量应为 $17-3=14$ (十进制), 因为数据在存储器中以高字节地址为字地址的方式存放, 因此该指令的第二字节是 00H,第三字节是 0EH。对应汇编语言指令 $JMP*-9$,该转移指令的相对位移量应为 $-9-3=-12$ (十进制), 因为数据在存储器中以高字节地址为字地址的方式存放, 因此该指令的第二字节为 FFH,第三字节为 F4H。

35.设某计算机机器字长为 16 位, 共有 16 个通用寄存器, 四种寻址方式, 指令字长可变, 操作码位数可变, 主存容量为 $64K \times 16$ 位, 存储器按字编址。

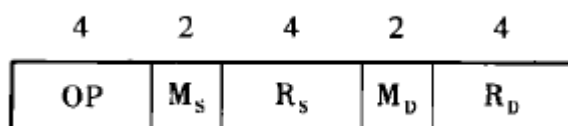
(1)画出单字长 R-R 型指令格式, 并指出这类指令最多允许几条。

(2)在(1)的基础上, 扩展成单操作数的指令, 画出指令格式, 并指出这类指令最多允许几条。

(3)画出允许直接访问主存任一单元的 R-S 型指令格式。

(4)画出变址寻址的指令格式。

35.(1)根据机器共有 16 个通用寄存器、四种寻址方式, 单字长的 R-R 型指令的格式如下:



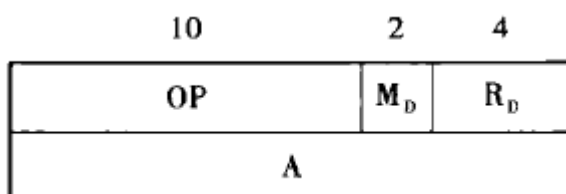
其中, OP 为操作码, 4 位; M_s 为源操作数寻址方式, 2 位; R_s 为源操作数寄存器号, 4 位; M_D 为目的操作数寻址方式, 2 位; R_D 为目的操作数寄存器号, 4 位。操作码 4 位, 共有 16 种操作, 留出一个编码为(2)扩展用, 单字长 R-R 型指令最多 15 条。

(2)将(1)指令格式扩展成单操作数指令, 其格式如下:



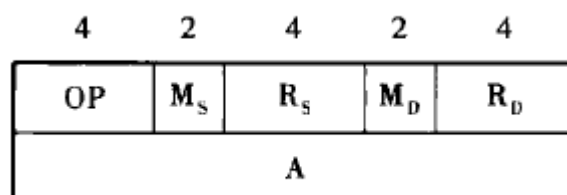
其中操作码 10 位, 可扩展位为 $10-4=6$ 位, 所以单操作数指令最多有 $2^6=64$ 条。

(3)由于主存容量为 $64K \times 16$ 位, 因此允许直接访问主存任一单元的 R-S 型指令地址码必须取 16 位, 故满足此要求的指令必须取双字长, 其格式如下:



直接寻址 $EA=A$,寻址范围为 $64K$ 字。

(4)变址寻址的指令在指令字中必须给出形式地址, 故需取双字长, 格式如下所示:



变址寻址 $EA=(R)+A(R \text{ 为 } R_s \text{ 或 } R_D)$

36.假设某 RISC 机有加法和减法指令，其功能如下：

ADD R_i, R_j, R_k 完成 $(R_i) + (R_j) \rightarrow (R_k)$ 操作

SUB R_i, R_j, R_k 完成 $(R_i) - (R_j) \rightarrow (R_k)$ 操作

若设 R_0 寄存器恒为 0，如何用上述指令完成寄存器之间的传送，寄存器清“0”和寄存器内容取负。

36.用加法指令实现寄存器之间的传送和寄存器清“0”，用减法指令可实现寄存器内容取负。

指令	操作说明
ADD R_0, R_2, R_3	$(R_0) + (R_2) \rightarrow R_3$ $R_2 \rightarrow R_3$ 传送
ADD R_0, R_0, R_2	$(R_0) + (R_0) \rightarrow R_2$ R_2 清“0”
SUB R_0, R_2, R_3	$(R_0) - (R_2) \rightarrow R_3$ R_2 内容取负 $\rightarrow R_3$

第八章

填空

- 1.控制器的功能是取指令、分析指令、发出各种微操作命令、执行不同指令、处理各种异常情况或特殊请求等。
- 2.CPU 的功能是指令控制、操作控制、时间控制、数据加工、处理中断
- 3.CPU 的基本组成包括各类寄存器、算术逻辑部件 ALU、控制单元、中断系统。
- 4.在 CPU 中，指令寄存器的作用是存放当前正在执行的指令,其位数取决于指令字长;程序计数器的作用是指示现行指令的地址并跟踪后继指令地址,其位数取决于存储单元的个数。
- 5.指令周期是 CPU 从主存取出一条指令并执行完该指令所需的时间,最基本的指令周期包括取指周期和执行周期。
- 6.根据 CPU 访存的性质不同,可将 CPU 的工作周期分为取指周期、间址周期、执行周期和中断周期。
- 7.在中断响应周期内 CPU 自动执行一条中断隐指令，完成保护断点、关中断和向量地址送 PC（硬件向量法）或中断识别程序入口地址送 PC(软件查询法)操作。
- 8.完成一条指令一般分为取指周期和执行周期，前者完成取指令和分析指令操作，后者完成执行指令操作。
- 9.计算机中存放当前指令地址的寄存器叫程序计数器 PC。在顺序执行程序时，若存储器按字节编址，而指令长度为 32 位，则每取出一条指令后，该寄存器自动加 4,当执行转移指令或中断操作时，该寄存器接收新的地址。
- 10.中断标志触发器用于指示 CPU 进入中断周期,允许中断触发器用于开放（允许中断）或关闭（不允许中断）中断系统,响应中断的条件是中断源有请求和中断允许触发器为“1”时,响应中断的时间是每条指令执行周期结束时刻。
- 11.中断判优的含义是当多个中断源同时提出请求时，确定响应的优先次序,通常可用硬件排队器和软件排队来实现中断判优，后者所需的时间更长。中断服务程序的入口地址可通过

硬件向量法和软件查询法获得，前者所需的时间短。

- 12.允许中断触发器用于标志 CPU 是否允许中断,其状态受开中断指令、关中断指令或硬件自动复位控制，当允许中断触发器为“1”状态时，表示系统开放，允许中断
- 13.多重中断的含义是 CPU 在处理中断的过程中，又允许响应新的中断请求,实现多重中断的条件是在中断服务程序中必须提前设置“开中断”指令，使允许中断触发器为“1”，而且只有级别更高的中断源才能中断现行的中断服务程序。
- 14.置“0”允许中断触发器可通过关中断指令或在中断响应时，由硬件自动关中断实现。
- 15.在中断系统中，通常将中断源分为可屏蔽中断和不可屏蔽中断两大类，其中不可屏蔽中断优先级高。
- 16.CPU 响应中断后可通过硬件向量法或软件查询法转至中断服务程序入口地址。前者需配有向量地址形成部件（编码器），后者需配有中断识别程序。
- 17.流水线处理器可处理指令流水和运算流水,其实质是并行处理，以提高机器速度。
- 18.在 CPU 中保存当前正在执行的指令的寄存器是指令寄存器 IR,保存下一条指令地址的寄存器是程序计数器 PC,保存 CPU 访存地址的寄存器是存储器地址寄存器 MAR。
- 19.控制器中 CU 是提供完成机器全部指令功能的微操作命令序列的部件，它可采用组合逻辑设计或微程序设计方法实现。
- 20.任何指令周期的第一步必定是取指周期。
- 21.在指令周期中是否有间址周期由指令的寻址特征指出是否有间接寻址决定。
- 22.取指令过程是由程序计数器 PC 给出现行指令地址，然后送至存储器地址寄存器 MAR,经地址线从存储器读出，经数据线送至 CPU 中的存储器数据寄存器 MDR,最终送至指令寄存器 IR。
- 23.一个五级流水的处理器，当任务饱满时，它处理 10 条指令的加速比是 3.6。
$$50/(5+9)=3.6$$
- 24.一个五级流水的处理器，共有 12 条指令连续输入此流水线，则在 12 个时钟周期结束时执行完 8 条指令。
- 25.在一个有四个过程段的浮点加法器流水线中，假设四个过程段的时间分别是 $T_1=60s$ 、 $T_2=50ns$ 、 $T_3=90ns$ 、 $T_4=80ns$ 。则加法器流水线的时钟周期至少为 90ns。如果采用同样的逻辑电路，但不是流水线方式，则浮点加法所需的时间为 280 ns。
- 26.流水线中的多发技术包括超标量技术、超流水线技术和超长指令字技术。
- 27.在流水线的多发技术中，超流水线技术在原来的时钟周期内，功能部件被使用多次。
- 28.超标量技术在每个时钟周期内可同时并发多条独立指令，处理器中需配置多个功能部件和指令译码电路，以便同时执行多个操作。
- 29.在流水线的多发技术中，超长指令字技术对编译器的要求更高，因为在一个时钟周期内，虽然执行一条指令，但要求各个功能部件之间不允许有数据相关。
- 30.流水 CPU 是以时间并行性为原理构造的处理器。目前高性能的微处理器无一不采用流水技术。
- 31.影响流水线性性能的因素主要反应在结构相关、数据相关和控制相关。
- 32.结构相关发生在硬件资源满足不了指令重叠执行的要求时，如在某个时钟周期内流水线既要完成某条指令对操作数的存储器访问操作，又要完成另一条指令的取指令操作，即发生了访存冲突。
- 33.当出现条件转移指令（或分支指令）时，便发生了控制相关。
- 34.数据相关是指由于指令重叠执行，可能改变对操作数的读写访问顺序,它又分读后写相关、写后读相关和写后写相关
- 35.若采用硬件向量法形成中断服务程序的入口地址，则 CPU 在中断周期完成保护程序断点，

硬件关中断和向量地址送至 PC 操作。

36.若采用软件查询的方法形成中断服务程序的入口地址，则 CPU 在中断周期完成保护程序断点、硬件关中断和中断识别程序入口地址送至 PC 操作。

37.中断判优可通过硬件排队和软件排队（编程）实现，前者速度更快。

38.中断服务程序的入口地址可通过硬件向量法和软件查询法寻找。

39.在硬件向量法中，可通过两种方式找到服务程序的入口地址，一种是在向量地址的存储单元中，存放一条无条件转至入口地址的指令，另一种是在向量地址的存储单元中，直接存放入口地址，形成一个向量地址表。

40.某机有四个中断源，优先顺序按 1→2→3→4 降序排列，若想将中断处理次序改为 3→1→4→2，则 1、2、3、4 中断源对应的屏蔽字分别是 1101、0100、1111 和 0101。

问答题

1.CPU 有哪些功能？画出其内部组成框图，并说明图中每个部件的作用。

1.CPU 具有控制程序的顺序执行、产生完成每条指令所需的控制命令、对各种操作实施时间上的控制、对数据进行算术和逻辑运算以及处理中断等功能，其框图如图 8.31 所示。图中寄存器包括专用寄存器（如程序计数器、指令寄存器、堆栈指示器、存储器地址寄存器、存储器数据寄存器、状态寄存器等）以及通用寄存器（存放操作数）；CU 产生各种微操作命令序列；ALU 完成算术和逻辑运算；中断系统用于处理各种中断。

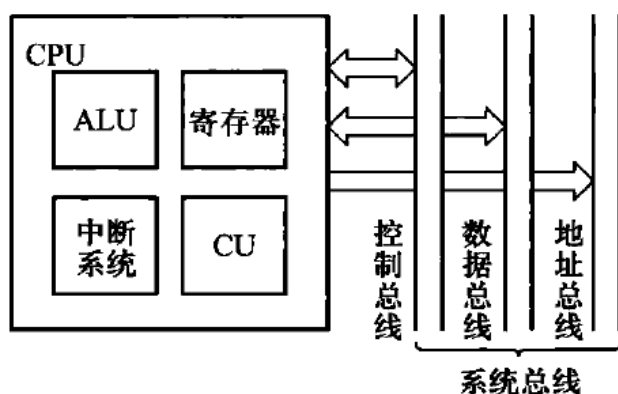


图 8.31 第 1 题答图

2.什么是指令周期？指令周期是否有一个固定值？为什么？

2.指令周期是 CPU 每取出并执行一条指令所需的全部时间，也即 CPU 完成一条指令的时间。

由于各种指令操作功能不同，因此各种指令的指令周期是不同的，指令周期的长短主要和指令在执行阶段的访存次数和执行阶段所需要完成的操作有关。

3.画出指令周期的流程图，分别说明图中每个子周期的作用。

3.图 8.32 所示是指令周期的流程图，取指周期完成取指令和分析指令的操作；间址周期用于取操作数的有效地址；执行周期完成执行指令的操作；中断周期是当 CPU 响应中断时，由中断隐指令完成保护程序断点、硬件关中断和向量地址送 PC（硬件向量法）的操作。

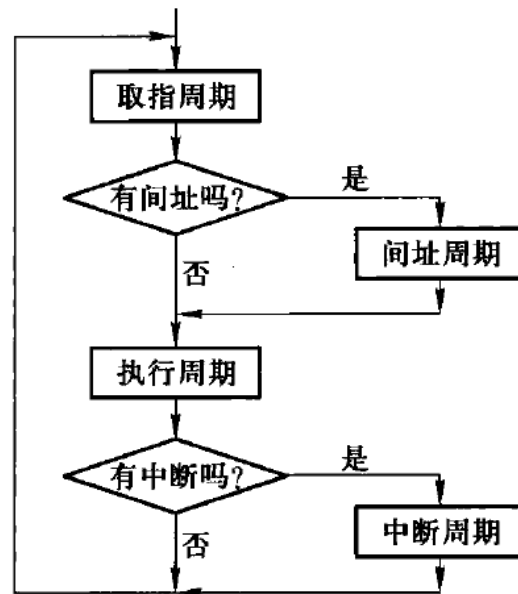


图 8.32 第 3 题答图

4. 根据 CPU 访存的性质不同，可将 CPU 的工作周期分为哪几类？

4. 根据访存性质不同，CPU 的工作周期可分为取指周期、间址周期、执行周期和中断周期四类。它们访存的目的分别是取指令、取有效地址、取（或存）操作数及将程序断点保存起来。

5. 中断周期前和中断周期后各是 CPU 的什么工作周期？中断周期完成什么操作？

5. CPU 中断周期前为执行周期，中断周期后为取指周期。中断周期完成下列操作：保存程序断点；硬件关中断；将向量地址送至程序计数器（硬件向量法）或将中断识别程序入口地址送至程序计数器（软件查询法）。

6. 存储器中有若干数据类型：指令代码、运算数据、堆栈数据、字符代码和 BCD 码，计算机如何区别这些代码？

6. CPU 在取指阶段从存储器取出的信息为指令代码。CPU 在执行阶段从存储器取出的可以是运算数据、字符代码或 BCD 码，具体是哪一种信息与指令的操作码有关。凡是根据堆栈指示器 SP 所指示的地址访存时所获得的数据即为堆栈数据。

7. 什么叫系统的并行性？粗粒度并行性和细粒度并行性有何区别？

7. 所谓并行包含同时性和并发性两个方面。前者是指两个或多个事件在同一时刻发生，后者是指两个或多个事件在同一时间段发生。也就是说，在同一时刻或同一时间段内完成两种或两种以上性质相同或不同的功能，只要在时间上互相重叠，就存在并行性。并行性可分粗粒度并行和细粒度并行两类。粗粒度并行性是在多个处理机上分别运行多个进程，由多台处理机合作完成一个程序，一般用算法（软件）实现。细粒度并行性是指在处理机的操作级和指令级的并行性，一般用硬件实现，其中指令流水就是一项重要技术。

8. 什么是指令流水？画出指令二级流水和四级流水的示意图，它们中的哪个更能提高处理器速度，为什么？

8.指令流水就是改变各条指令按顺序串行执行的规则，使机器在执行上一条指令的同时，取出下一条指令，图 8.33(a)和(b)分别是指令的二级流水和四级流水示意图。把指令周期划分得更细，使更多的指令在同一时间内执行，更能提高处理器速度，故四级流水比二级流水的处理速度快。

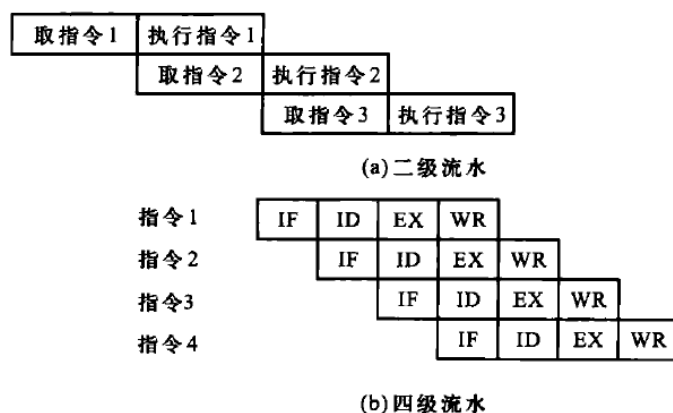


图 8.33 第 8 题答图

9.当遇到什么情况时，流水线将受阻？举例说明。

9.流水线受阻一般有三种情况。

(1)在指令重叠执行过程中，硬件资源满足不了指令重叠执行的要求，发生资源冲突，引起控制相关。如在同一时间，几条重叠执行的指令分别要取指令、取操作数和存结果，都需要访存，就会发生访存冲突。

(2)在程序的相邻指令之间出现了某种关联，如当一条指令需要用到前面指令的执行结果，而这些指令均在流水线中重叠执行，可能改变对操作数的读写访问顺序，引起数据相关。

(3)当流水线遇到分支指令时，如一条指令要等前一条（或几条）指令作出转移方向的决定后，才能进入流水线时，便发生控制相关。

10.指令流水线和运算流水线结构有何共同之处？

10.指令流水线和运算流水线的共同点是：由于相邻两段在执行不同的操作，所需的时间可能不相同，因此在相邻两段之间必须设置锁存器或寄存器，以保证在一个时钟周期内流水线各段的输出信号不变。

11.写一组指令序列，说明因数据相关会影响该程序的执行结果。

11.假设处理器具有五级流水结构：IF(取指)、ID(译码和读寄存器)、EX(执行和访存有效地址计算)、MEM(存储器访问)、WB(结果写回寄存器)，下列指令序列中，第(2)、(3)、(4)指令将取到错误的操作数。

(1) SUB R_3, R_1, R_2	$;(R_1) - (R_2) \rightarrow R_3$
(2) ADD R_6, R_3, R_4	$;(R_3) + (R_4) \rightarrow R_6$
(3) AND R_7, R_5, R_3	$;(R_5) \text{ AND } (R_3) \rightarrow R_7$
(4) OR R_8, R_3, R_2	$;(R_3) \text{ OR } (R_2) \rightarrow R_8$
(5) SUB R_{10}, R_9, R_3	$;(R_9) - (R_3) \rightarrow R_{10}$

由于第(1)条指令在第 5 个时钟周期结束才能将结果写入 R_3 ,而第(2)、(3)、(4)条指令分别在第 3、4、5 个时钟周期要读 R_3 的内容，造成错误。

12.举例说明流水线中的几种数据相关。

12.流水线中的数据相关有三种类型：

(1)写后读(RAW)。如在下列一组指令中, I1 指令运算结果应先写入 R1,然后在 I2 指令中读出 R1 的内容, 即写数指令在前, 读数指令在后。

I ₁	ADD	R ₁ , R ₂ , R ₃	; (R ₂) + (R ₃) → R ₁
I ₂	SUB	R ₄ , R ₁ , R ₅	; (R ₁) - (R ₅) → R ₄

(2)读后写(WAR)。如在下列这组指令中, I3 指令应先读出 R6 的内容并存入存储器, 然后在 I4 指令中将运算结果写入 R6,即读数指令在前, 写数指令在后。

I ₃	MOV	RESULT, R ₆	; (R ₆) → RESULT
I ₄	SUB	R ₆ , R ₇ , R ₈	; (R ₇) - (R ₈) → R ₆

(3)写后写(WAW)。在下列这组指令中, 如果 I6 指令的与运算结果早于 I5 指令的除法结果, 变成 I6 指令在 I5 指令写入 R3 前就写入 R3,导致 R3 内容错误, 发生写后写相关。

I ₅	DIV	R ₃ , R ₄ , R ₅	; (R ₄) ÷ (R ₅) → R ₃
I ₆	AND	R ₃ , R ₉ , R ₁₀	; (R ₉) AND (R ₁₀) → R ₃

13.假设指令流水线分 8 个过程段, 若每个过程段所需的时间为 T,试问完成 100 条指令共需多少时间?

13.所需时间为 $8T + (100 - 1)T = 107T$

14.今有四级流水线, 分别完成取指(IF)、译码并取数(ID)、执行(EX)、写结果(WR)四个步骤。假设完成各步操作的时间依次为 100ns、100ns、70ns、50ns。

(1)流水线的时钟周期应取何值?

(2)若相邻的指令发生数据相关, 那么第二条指令安排推迟多少时间才能不发生错误?

(3)若相邻两指令发生数据相关, 而不推迟第二条指令的执行, 可采取什么措施?

14.(1)流水线的时钟周期应按各步操作的最大时间来考虑, 即流水线的时钟周期应取 100ns。

(2)若相邻两条指令发生数据相关, 需使第二条指令暂停执行, 直到前面指令产生结果后, 再执行第二条指令, 因此至少要延迟两个时钟周期。

(3)若想不推迟第二条指令的执行, 在硬件设计上可采取旁路技术, 即设置直接传送数据的通路。

15.在三个过程段的浮点加法运算流水线中, 假设每个过程段所需的时间分别是 60ns、90ns、70ns,试求三级流水线加法器的加速比。

15.在浮点加法器三级运算流水线中, 其时钟周期至少为 90ns。如果采用同样的逻辑电路, 而且是非流水线方式, 则浮点加法所需的时间是 $(60 + 90 + 70)ns = 220ns$ 。故三级流水的浮点加法器的加速比为 $220/90 \approx 2.4$ 。

16.在一个四级指令流水线中, 假设时钟周期为 50ns,共有 30 条指令连续输入此流水线, 试求该流水线的最大吞吐率、实际吞吐率和加速比。

16.该流水线的最大吞吐率为 $1/50ns = 20 \times 10^6$ 条指令/s

该流水线的实际吞吐率为 $30/[4 \times 50ns + (30 - 1) \times 50ns] \approx 18 \times 10^6$ 条指令/s

该流水线的加速比为 $(30 \times 4) / [4 + (30 - 1)] \approx 3.63$

17. 在一个四级指令流水线中，假设每段的执行时间分别是 20ns、16ns、20ns、18ns。对于完成 50 条指令的流水线而言，其加速比为多少？该流水线的实际吞吐率为多少？该流水线的效率为多少？

17. 根据题目给出的流水线每段执行时间，确定其时钟周期至少为 20ns。对于完成 50 条指令的流水线而言，其实际吞吐率为 $50 / [20\text{ns} \times (4 + 49)] \approx 47 \times 10^6$ 条指令/s。其加速比为 $(50 \times 4) / (4 + 50 - 1) = 3.77$ 。该流水线的效率为 $3.77 / 4 \approx 0.94$ 。

18. 与各中断源的中断级别相比，是否可以说 CPU(或主程序)的级别最高，为什么？

18. 与各个中断源的中断级别相比，不能说 CPU(主程序)的级别最高。因为在主程序执行时，若有 I/O 请求或有硬件等方面的故障（若它们未被屏蔽），都可以中断主程序的执行，因此 CPU 的级别并不是最高的。

19. 什么是中断？设计中断系统需考虑哪些主要问题？

19. CPU 在程序运行过程中，遇到异常情况或特殊请求，需暂停现执行程序，转至对这些异常情况或特殊请求的处理，处理完后再返回到原程序断点处继续执行，这一过程即为中断。设计中断系统需考虑如下几个问题。

- (1) 中断源如何向 CPU 提出请求？
- (2) 当多个中断源同时提出请求时，CPU 如何确定响应的优先次序？
- (3) CPU 在什么条件、什么时间、以什么方式响应中断？
- (4) 如何保护现场？
- (5) 如何寻找中断服务程序的入口地址？
- (6) 如何恢复现场？
- (7) 当出现中断嵌套时如何处理？

20. 在计算机系统中，为了管理中断，硬件上通常有哪些设置？各有何作用？指令系统应有哪些设置？

20. 在计算机系统中，为了管理中断需设置下列这些硬件，它们的作用分别是：

- (1) 中断请求触发器，其个数与中断源个数相等，用以标志某个中断源向 CPU 提出中断请求。
- (2) 中断屏蔽触发器，其个数与中断请求触发器相等，当其为 1 时，表示该中断源的中断请求被屏蔽，CPU 不能响应。
- (3) 排队器，用来进行中断判优。当多个中断源同时请求时，排队器可选中优先级最高的中断请求。
- (4) 向量地址形成部件，用以产生中断源的向量地址，从而可找到中断服务程序的入口地址。
- (5) 允许中断触发器，当其为 1 时，CPU 允许处理中断。
- (6) 中断标志触发器，标志系统进入中断周期。
- (7) 堆栈，用来保护现场。
- (8) 中断查询信号电路。在每条指令执行周期结束时刻，该电路向各中断源发查询信号。在计算机系统中，为了管理中断，指令系统应设有开中断、关中断、置屏蔽字及中断返回等指令。

21.什么是中断隐指令？它有哪些功能？

21.中断隐指令是指令系统中没有的指令，它由 CPU 在中断响应周期自动完成。其功能是保护程序断点、硬件关中断、向量地址送 PC(硬件向量法)或中断识别程序入口地址送 PC (软件查询法)。

22.中断系统中采用屏蔽技术有何作用？

22.采用屏蔽技术的作用是：

(1)在多重中断系统中，CPU 响应中断后不希望有级别低的其他中断请求的干扰，采用屏蔽技术可屏蔽本级和更低级的中断请求，使中断处理可靠进行。

(2)改变中断处理的优先级。

(3)有选择地封锁部分中断请求，使程序控制更灵活。

23.为实现多重中断，需有哪些硬件支持？

23.为实现多重中断，需设置中断请求触发器、屏蔽触发器、排队器、向量地址形成部件、中断标志触发器、允许中断触发器、堆栈及中断查询信号电路等。

24.在中断系统中 INTR、INT、EINT 三个触发器各有什么作用？

24.INTR 是中断请求触发器，每个中断源都对应一个 INTR,当其为“1”状态时，表示该中断源有请求。EINT 是允许中断触发器，当其为“1”时，表示 CPU 允许响应中断源的请求；当其为“0”时，意味着 CPU 禁止响应中断。INT 是中断标记触发器，当其为“1”时，表示 CPU 进入中断周期。

25.CPU 在处理中断过程中，有几种方法找到中断服务程序的入口地址？举例说明。

25.CPU 在处理中断过程中有两种方法找到中断服务程序的入口地址。

(1)硬件向量法是由硬件电路产生对应某中断源的向量地址，在向量地址内可设一条无条件转移指令，转向中断服务程序的入口地址。只需在中断响应周期将向量地址送至 PC，在 CPU 进入下一取指周期时，就可取出无条件转移指令，执行该指令即可转至中断服务程序。也可以在向量地址内直接存放服务程序的入口地址，通过访问向量地址的存储单元，采用间址的方法找到服务程序的入口地址。

(2)软件查询法是在主存中存有一段中断识别程序，它通过程序判断是哪个中断源提出请求，并转至相应的入口地址。只要在中断响应周期将中断识别程序的首地址送至 PC,在 CPU 进入下一取指周期时，就可取出中断识别程序的第一条指令，逐条执行指令，便可找到相应的服务程序入口地址。

26.中断处理过程中为什么要中断判优？有几种方法实现？若想改变原定的优先级顺序，可采取什么措施？

26.中断源的请求是随机的,在某一时刻可能有多个中断源提出请求,而 CPU 只能响应一个,故必须中断判优,以解决响应的优先次序。中断判优有两种方法实现：硬件排队和软件排队。前者用组合逻辑电路实现，后者用程序按优先级别（从高至低）顺序查询各中断源，以实现排队。欲想改变优先顺序，可采用屏蔽技术，重新设置屏蔽字，封锁级别高的请求源，开放级别低的请求源。

27.中断处理过程中保护现场需完成哪些操作？如何实现？

27.中断处理过程中，保护现场包括以下操作：

(1)将程序断点保存起来，可用中断隐指令完成。

(2)将各通用寄存器及状态寄存器的内容保存起来，可在中断服务程序中用机器指令编程完成。

28.CPU 响应中断的条件是什么？CPU 什么时间响应中断？

28.CPU 响应中断的条件是：允许中断触发器必须为 1；中断源提出请求，又未被屏蔽，并排上队。

CPU 在每条指令执行周期结束时刻要向所有中断源发中断查询信号，此时若条件满足，即可响应中断。

29.什么是多重中断？实现多重中断有无条件约束？

29.多重中断即指 CPU 在处理中断的过程中，又出现了新的中断请求，此时若 CPU 暂停现行的中断处理，转去处理新的中断请求，如图 8.34 所示，即多重中断。

实现多重中断的条件如下：

(1)必须重新设置“开中断”指令。因 CPU 响应中断后，即由硬件自动将允许中断触发器清“0”，关闭了中断系统，CPU 不再能响应中断。只有在中断服务程序中重新设置一条“开中断”指令，使允许中断触发器为“1”，开放中断系统，才能再次响应中断请求。

(2)只有优先级别更高的中断请求才能中断现行的中断处理程序。

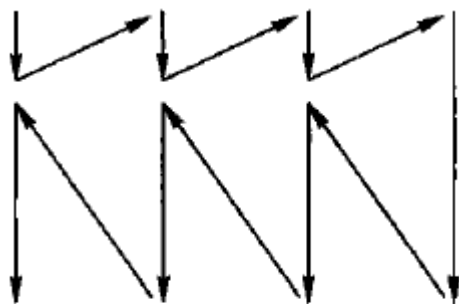


图 8.34 第 29 题答图

30.画出中断服务程序的处理流程，若想改变优先级可采取什么措施？

30.以实现多重中断处理的服务程序为例，其处理流程如图 8.35 实线部分所示。若想改变中断优先级，可在开中断前增加“置新屏蔽字”，在恢复现场后增加“恢复屏蔽字”，如图 8.35 中虚线部分所示。根据新屏蔽字的要求，就可改变处理优先级。

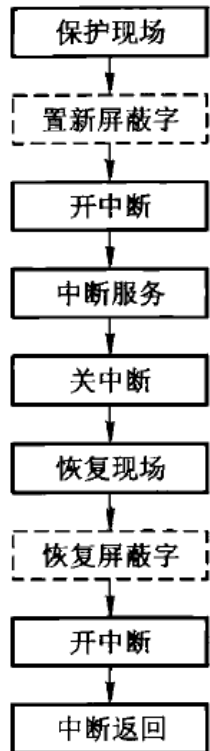


图 8.35 第 30 题答图

31.什么叫屏蔽字？如何设置屏蔽字？

31.每个中断源都有一个中断屏蔽触发器，当其为“1”时，CPU 不响应该中断源的请求。将所有中断屏蔽触发器组合起来，构成一个中断屏蔽寄存器，而中断屏蔽寄存器的内容即为屏蔽字。屏蔽字的设置与中断源的优先级有关，主要有以下几个原则。

(1)如果根据需要，对某个中断源的请求不予处理，则可将对应该中断源的屏蔽触发器置“1”。

(2)通常在多重中断中，为了使中断处理可靠进行，响应中断后需屏蔽本级和更低级的中断请求。例如共有 8 个中断源，则排序为第 3 优先级的中断源应设置“00111111”屏蔽字。

(3)若想改变优先级，可按新的优先级设置屏蔽字。仍以 8 个中断源为例，如果想改变排序为第 5 和第 6 中断源的优先级，那么在响应了第 5 个中断源的中断请求后，设置新的屏蔽字“00001011”，便可使级别为 6 的中断源可以中断级别为 5 的中断服务程序。

32.什么叫向量中断？举出两个不同的例子加以说明。

32.向量中断即当有中断请求时，由硬件产生该中断源对应的向量地址，再由向量地址找到服务程序的入口地址，然后暂停现行程序为中断源服务。例如，向量地址内可以存放一条无条件转移指令，转移地址即为该中断源的服务程序入口地址。只要在中断周期内完成向量地址 PC，那么在接着的取指周期便可取出无条件转移指令，执行该指令，即可转至服务程序的入口地址。又如，在向量地址内直接存入服务程序的入口地址，而所有向量地址的内容就组成了一个入口地址表。同样只要在中断周期内完成向量地址+PC，那么通过查入口地址表，间址后就可找到服务程序的入口地址。

33.现有 A、B、C、D 四个中断源，其优先级由高向低按 A、B、C、D 顺序排列。若中断服务

程序的执行时间为 20 μ s,请根据图 8.28 时间轴给出的中断源请求中断的时刻, 画出 CPU 执行程序的轨迹。

33.根据给出的 A、B、C、D 中断源的中断请求时刻, CPU 执行程序的轨迹如图 8.36 所示。

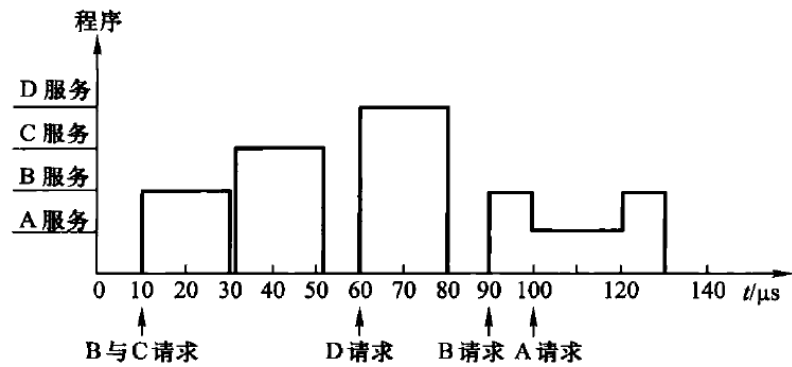


图 8.36 第 33 题答图

34.设某机配有 A、B、C 三台设备, 其优先顺序是 $A > B > C$,为改变中断处理次序, 将它们的屏蔽字分别设置为如表 8.7 所示:

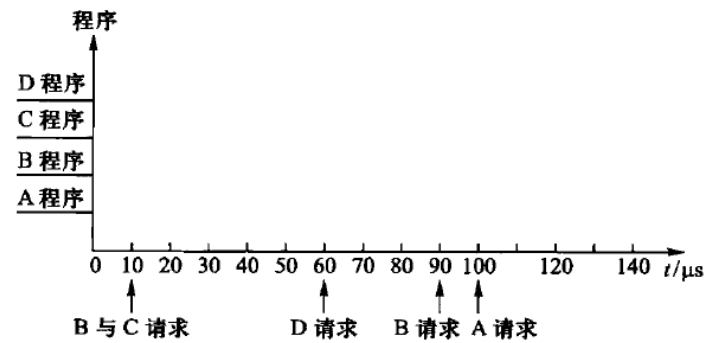


图 8.28 A、B、C、D 四个中断源的中断请求

表 8.7 第 34 题各中断源对应的屏蔽字

设备	屏蔽字		
A	1	1	1
B	0	1	0
C	0	1	1

请按图 8.29 所示的时间轴给出的设备请求中断的时刻, 画出 CPU 执行程序的轨迹。设 A、B、C 中断服务程序的执行时间均为 20s。

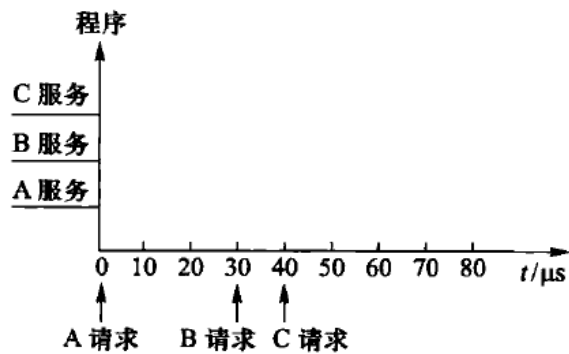


图 8.29 A、B、C 三个中断源的中断请求

34.根据题意，CPU 执行程序的轨迹如图 8.37 所示。

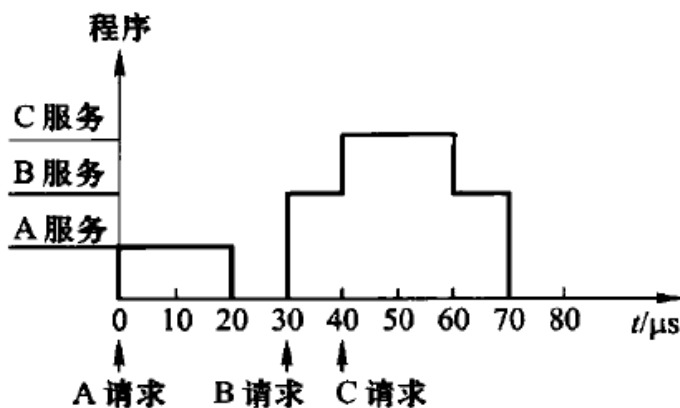


图 8.37 第 34 题答图

35.某机有五个中断源 L_0, L_1, L_2, L_3, L_4 , 按中断响应的优先次序由高向低排序为 $L_0 \rightarrow L_1 \rightarrow L_2 \rightarrow L_3 \rightarrow L_4$, 现要求中断处理次序改为 $L_1 \rightarrow L_3 \rightarrow L_4 \rightarrow L_0 \rightarrow L_2$, 写出各中断源的屏蔽字。

35.五个中断源的屏蔽字如表 8.8 所示。

表 8.8 第 35 题五个中断源的屏蔽字

中断源	屏蔽字				
	L_0	L_1	L_2	L_3	L_4
L_0	1	0	1	0	0
L_1	1	1	1	1	1
L_2	0	0	1	0	0
L_3	1	0	1	1	1
L_4	1	0	1	0	1

36.某机有三个中断源，其优先级按 $1 \rightarrow 2 \rightarrow 3$ 降序排列。假设中断处理时间均为 T , 在图 8.30 所示的时间内共发生 5 次中断请求，图中①表示 1 级中断源发出的中断请求信号，其余

类推，画出 CPU 执行程序的轨迹。

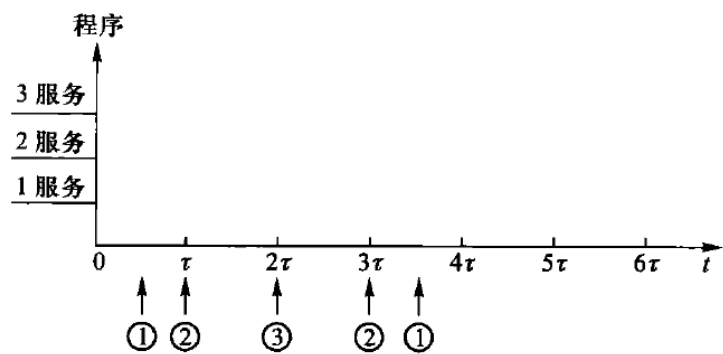


图 8.30 第 36 题 5 次中断请求

36.根据题意，CPU 执行程序的轨迹如图 8.38 所示。

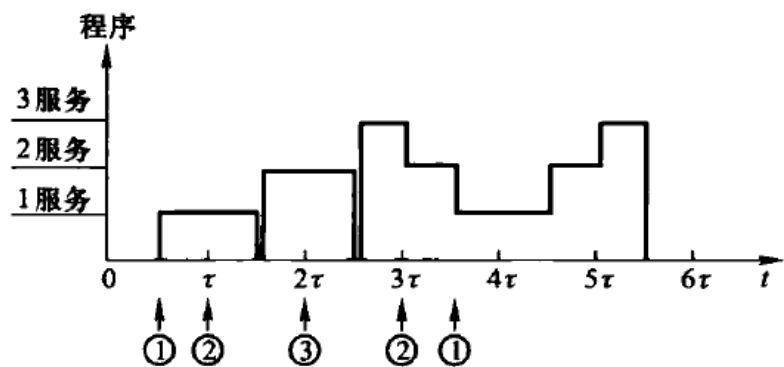


图 8.38 第 36 题答图

第九章

填空

- 1.CPU 从主存取出一条指令并执行该指令的时间叫做 **指令周期**,它常常用若干个 **机器周期** 来表示，而后者又包含有若干个 **时钟周期**。
- 2.对于某些指令（如乘法指令），控制器通常采用 **局部** 控制方式来控制指令的执行，但这种控制中的节拍宽度与 **中央** 控制的节拍宽度是相等的，而且这两种控制是 **同步的**。
- 3.控制部件通过控制线向执行部件发出各种控制命令，通常把这种控制命令叫做 **微命令**,而执行部件执行此控制命令后所进行的操作叫做 **微操作**。
- 4.控制器的控制方式分 **同步控制**、**异步控制**、**联合控制**和**人工控制**四类。
- 5.CPU 采用同步控制方式时，控制器使用 **机器周期**和**节拍**组成的多级时序系统。
- 6.程序顺序执行时，后继指令的地址由 **PC 自动加 1** 形成，遇到转移指令和调用指令时，后继指令的地址从 **指令寄存器的地址码字段** 获得。
- 7.控制器在生成各种控制信号时，必须按照一定的 **时序** 进行，以便对各种操作实施时间上的控制。
- 8.同步控制是 **对所有指令中的任何一个微操作的执行，都由统一基准时标的时序信号控制的**

方式

- 9.异步控制是**不存在基准时标信号**，微操作的时序由专用的应答线路控制的方式
- 10.联合控制是**同步控制和异步控制相结合**的方式，即大多数微操作在同步时序控制下进行，而对那些时间难以确定的微操作（如涉及 I/O 的操作），则采用异步控制。
- 11.中央与局部控制相结合的控制属于**同步**控制方式，要求中央节拍的宽度与局部控制节拍的宽度**相同**。
- 12.控制器的控制方式中，机器周期中的节拍数可以不同，这属于**同步**控制。
- 13.在总线复用的 CPU 中，**地址线**和**数据线**共用一组总线，必须采用**分时**控制的方法，先给**地址**信号，并用**地址锁存**信号将其保存。
- 14.机器 X 和 Y 的主频分别是 8MHz 和 12MHz,则 X 机的时钟周期为 $0.125\mu\text{s}$ 。若 X 机的平均指令执行速度为 0.4MIPS,则 X 机的平均指令周期为 $2.5\mu\text{s}$ 。若两个机器的机器周期内时钟周期数相等，则 Y 机的平均执行速度为 0.6 MIPS。
- 15.设 CPU 的主频为 8MHz,若每个机器包含 4 个时钟周期，该机的平均执行速度为 0.8MIPS,则该机的时钟周期为 $0.125\mu\text{s}$,平均指令周期为 $1.25\mu\text{s}$,每个指令周期含 2.5 个机器周期。
- 16.一个主频为 25MHz 的 CPU,平均每条指令包含 2 个机器周期，每个机器周期包含 2 个时钟周期，则计算机的平均速度是 6.25MIPS。如果每两个机器周期中有一个用于访存，而存储器速度较慢，需再插入 2 个时钟周期，此时指令周期为 $0.24\mu\text{s}$ 。
- 17.设某机主频为 200MHz,每个指令周期平均为 2.5 个机器周期，每个机器周期平均包括 2 个时钟周期，则该机平均速度是 40 MIPS。
- 18.在非间址的情况下，对于一条 R-S 型指令，指令的执行阶段需要一个**存取**周期取操作数：对于一条 S-S 型指令，指令的执行阶段需要**两个存取**周期取操作数。
- 19.假设进栈操作是先存数据再修改堆栈指针 SP,则进入中断周期的第一个微操作是 **SP→MAR**
- 20.控制单元的输入信号可来自**时钟、指令寄存器、各种状态标记和控制总线**。

问答题

- 1.什么是计算机的主频，主频和机器周期有什么关系？
 - 1.一台机器时钟信号的频率即为主频，主频的倒数称为时钟周期，机器周期内包含若干个时钟周期。
- 2.控制器中常采用哪些控制方式，各有何特点？
 - 2.控制器常采用同步控制、异步控制和联合控制。同步控制即微操作序列由基准时标系统控制，每一个操作出现的时间与基准时标保持一致。异步控制不存在基准时标信号，微操作的时序是由专用的应答线路控制的，即控制器发出某一个微操作控制信号后，等待执行部件完成该操作时所发回的“回答”或“终了”信号，再开始下一个微操作。联合控制是同步控制和异步控制相结合的方式，即大多数微操作在同步时序信号控制下进行，而对那些时间难以确定的微操作，如涉及 I/O 操作，则采用异步控制。
- 3.设机器 A 的主频为 8MHz,机器周期含 4 个时钟周期,且该机的平均指令执行速度是 0.4MIPS,试求该机的平均指令周期和机器周期。每个指令周期包含几个机器周期？如果机器 B 的主频为 12MHz,且机器周期也含 4 个时钟周期,试问 B 机的平均指令执行速度为多少 MIPS？
 - 3.根据机器 A 的主频为 8MHz,得时钟周期为 $1/8\text{MHz}=0.125\mu\text{s}$
 - (1)机器周期= $0.125\mu\text{s}\times 4=0.5\mu\text{s}$

(2)平均指令执行时间是 $1/0.4\text{MIPS}=2.5\mu\text{s}$

(3)每个指令周期含 $2.5/0.5=5$ 个机器周期

(4)在机器周期所含时钟周期数相同的前提下，两机平均指令执行速度与它们的主频有关，即 A 机的平均指令速度/B 机的平均指令速度=A 机主频/B 机主频，则 B 机的平均指令执行速度= $(0.4\text{ MIPS}\times 12\text{MHz})/8\text{MHz}=0.6\text{MIPS}$

4.某 CPU 主频 8MHz,设每个机器周期包含 4 个时钟周期，且该机的平均指令执行速度为 1MIPS。

(1)求该机平均指令周期。

(2)求每个指令周期包含的平均机器周期。

(3)若改用时钟周期为 0.01s 的 CPU 芯片，求平均指令执行速度。

4.(1)根据平均指令执行速度为 1MIPS,则平均指令周期为 $1/1\text{MIPS}=1\mu\text{s}$ 。

(2)根据主频为 8MHz,得出时钟周期为 $1/8\text{MHz}=0.125\mu\text{s}$,一个机器周期为 $0.125\mu\text{s}\times 4=0.5\mu\text{s}$,一个指令周期包含的平均机器周期数为 $1/0.5\mu\text{s}=2$ 。

(3)改用时钟周期为 $0.01\mu\text{s}$ 的 CPU 芯片，则一个机器周期为 $0.01\mu\text{s}\times 4=0.04\mu\text{s}$,一条指令的执行时间为 $0.04\mu\text{s}\times 2=0.08\mu\text{s}$,故平均指令执行速度为 $1/0.08\mu\text{s}=12.5\text{MIPS}$ 。

5.若某机主频为 100MHz,每个指令周期平均包含 2 个机器周期，每个机器周期包含 2 个时钟周期。

(1)求该机平均指令执行速度。

(2)若频率不变，但每条指令平均包含 5 个机器周期，每个机器周期包含 4 个时钟周期，求平均指令执行速度。

5.(1)根据机器主频为 100MHz,得时钟周期= $1/100\text{MHz}=0.01\mu\text{s}$ 。

根据每个指令周期包含 2 个机器周期，每个机器周期包含 2 个时钟周期，则一条指令的执行时间为 $0.01\mu\text{s}\times 2\times 2=0.04\mu\text{s}$,故该机平均指令执行速度为 $1/0.04\mu\text{s}=25\text{MPS}$ 。

(2)若每条指令平均包含 5 个机器周期，每个机器周期包含 4 个时钟周期，而且主频不变，则一条指令的执行时间为 $0.01\mu\text{s}\times 4\times 5=0.2\mu\text{s}$,故该机平均指令执行速度为 $1/0.2\mu\text{s}=5\text{MIPS}$ 。

6.图 9.10 所示是双总线结构的机器。图中 IR 为指令寄存器，PC 为程序计数器，MAR 为存储器地址寄存器，M 为主存（受 R/W 信号控制），MDR 为存储器数据寄存器，R0、R1、R2、R3、X、Y 均为寄存器，ALU 由 +、- 控制信号决定完成何种操作，控制信号 G 控制一个门电路。此外，线上标注有控制信号，如 Y_i 表示寄存器 Y 的输入控制信号， R_{10} 表示寄存器 R1 的输出控制信号，未标字符的线为直通线，不受控制。

ADD R2,R0 指令完成 $(R2)+(R0)\rightarrow R2$ 的操作，画出其指令周期信息流程图（假设指令的地址已放在 PC 中），并列出的微操作控制信号序列。

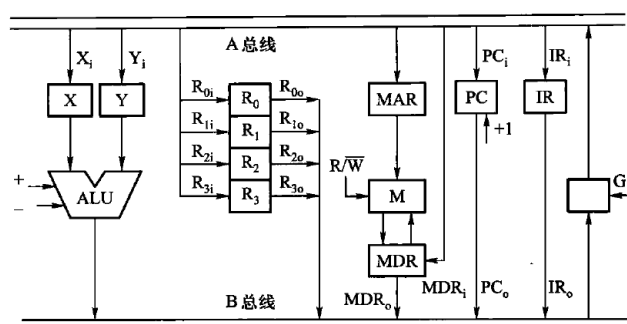


图 9.10 双总线结构示意图

6.ADD R2,R0 指令周期的信息流程图及相应的控制信号如图 9.12 所示。

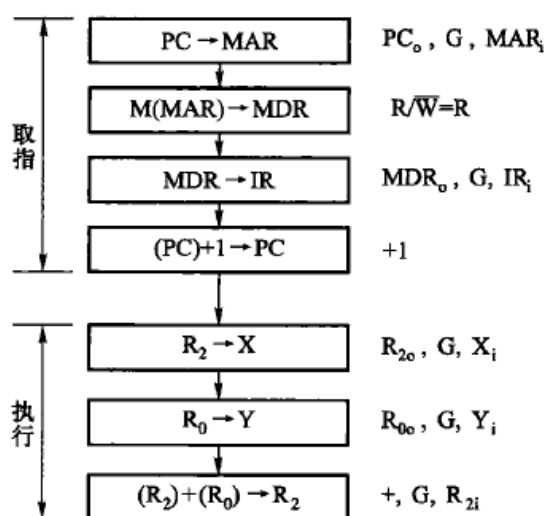


图 9.12 第 6 题答图

7.在第 6 题给出的条件下, SUB R1,R3 指令完成(R1)-(R3)→R1 的操作, 画出其指令周期信息流程图 (假设指令的地址已放在 PC 中), 并列出相应的微操作控制信号序列。

7.SUB R1,R3 指令周期的信息流程图及相应的控制信号如图 9.13 所示。

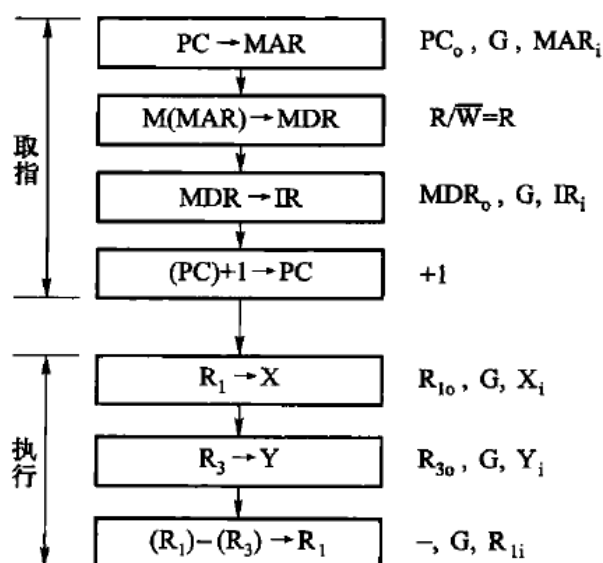
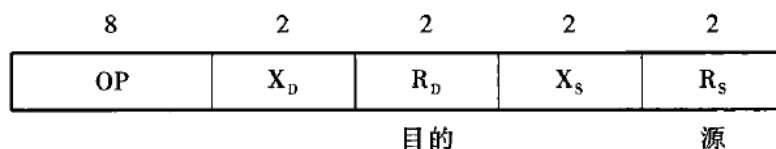


图 9.13 第 7 题答图

8.在第 6 题给出的条件下, 写出完成下述四条单字长指令的操作流程及相应的控制信号。

- | | | |
|---|---|---|
| (1) MOV R ₁ , R ₀ | (R ₀) → R ₁ | R ₁ 、R ₀ 寄存器寻址 |
| (2) MOV @R ₁ , R ₀ | (R ₀) → (R ₁) | R ₁ 寄存器间址、R ₀ 寄存器寻址 |
| (3) MOV R ₃ , @R ₂ | ((R ₂)) → R ₃ | R ₃ 寄存器寻址、R ₂ 寄存器间址 |
| (4) MOV @R ₃ , @R ₂ | ((R ₂)) → (R ₃) | R ₃ 、R ₂ 寄存器间址 |

指令格式如下, 其中 XD 和 Xs 分别为目的操作数和源操作数的寻址模式。



8.(1)MOV R1,R0 指令操作流程及相应的控制信号如图 9.14 所示。

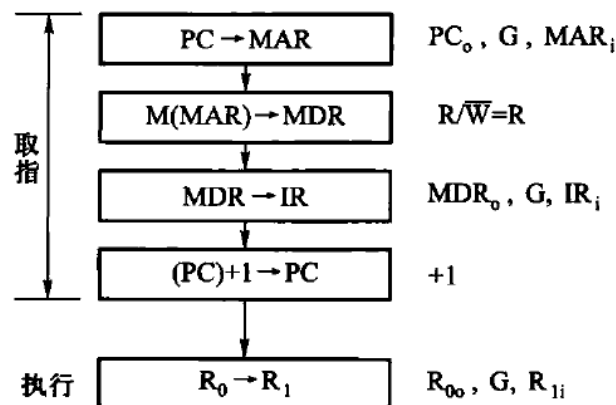


图 9.14 第 8 题(1)答图

(2)MOV @R1,R0 指令执行阶段的操作流程及相应的控制信号如图 9.15 所示。该指令的取指阶段操作流程及相应的控制信号同图 9.14 中取指部分。

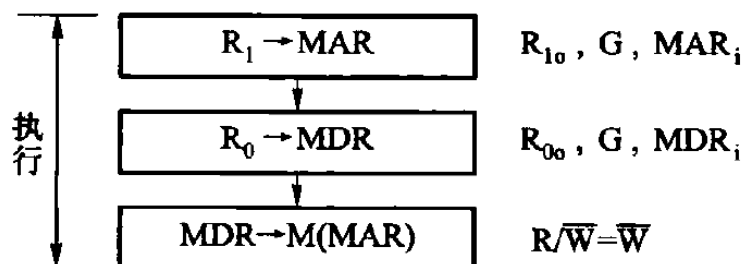


图 9.15 第 8 题(2)答图

(3)MOV R3,@R2 指令执行阶段的操作流程及相应的控制信号如图 9.16 所示。该指令的取指阶段操作流程及相应的控制信号同图 9.14 中取指部分。

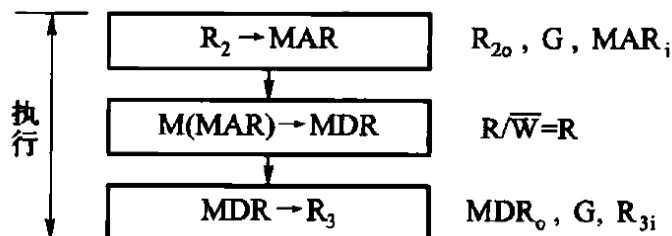


图 9.16 第 8 题(3)答图

(4)MOV @R3,@R2 指令执行阶段的操作流程及相应的控制信号如图 9.17 所示。该指令的取指阶段操作流程及相应的控制信号同图 9.14 中取指部分。

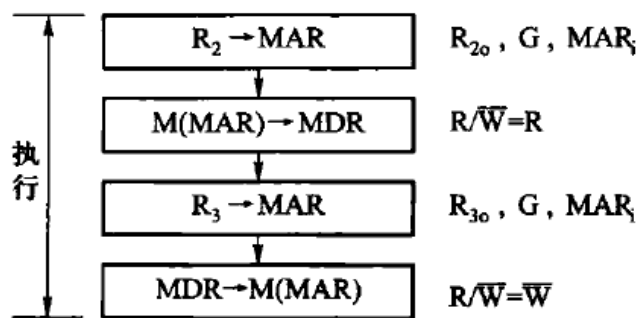
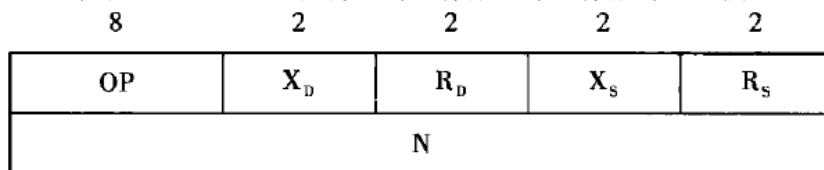


图 9.17 第 8 题(4)答图

9.在第 6 题给出的条件下, 写出完成下述双字长指令的操作流程及相应的控制信号。

- (1) MOV $R_0, \#N$ $N \rightarrow R_0$ $\#N$ 为立即数
- (2) MOV $@R_1, \#N$ $N \rightarrow (R_1)$ $@R_1$ 为寄存器间接寻址
- (3) MOV R_2, N $(N) \rightarrow R_2$ N 为存储器地址
- (4) MOV $R_3, @N$ $((N)) \rightarrow R_3$ $@$ 为存储器间接寻址特征

指令格式如下, 其中 X_o 和 X_s 分别为目的操作数和源操作数的寻址模式。



9.对于双字长指令, 完成取指令操作要访问两次存储器, 其操作流程及相应的控制信号如图 9.18 所示。

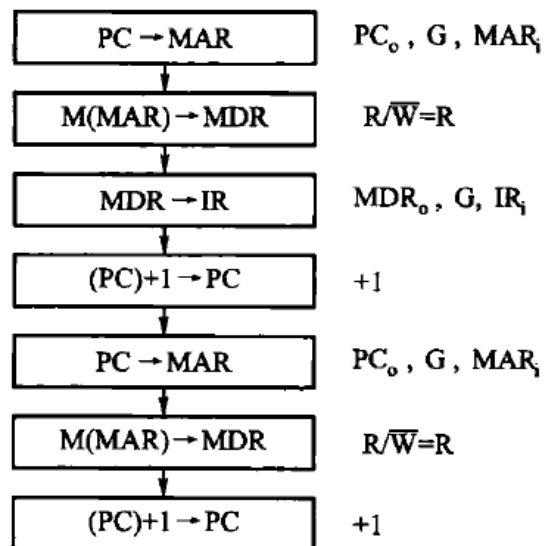


图 9.18 第 9 题取指操作流程及相应的控制信号

(1)MOV $R_0, \#N$ 指令执行阶段的操作流程及相应的控制信号如图 9.19 所示。



图 9.19 第 9 题(1)答图

(2)MOV @R1,#N 指令执行阶段的操作流程及相应的控制信号如图 9.20 所示。

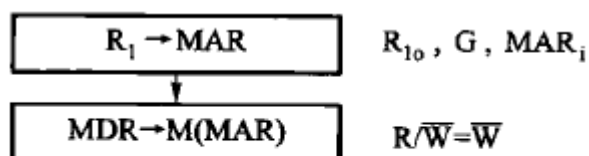


图 9.20 第 9 题(2)答图

(3)MOV R2,N 指令执行阶段的操作流程及相应的控制信号如图 9.21 所示。

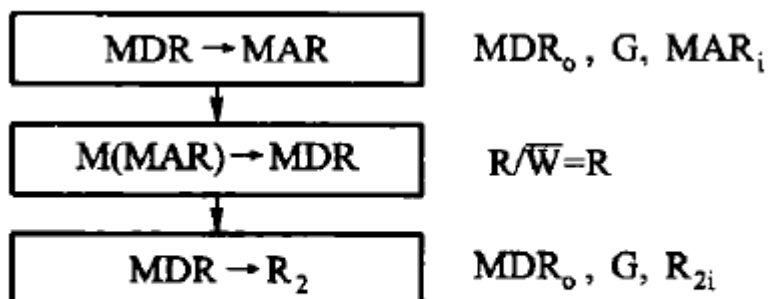


图 9.21 第 9 题(3)答图

(4)MOV R3,@N 指令执行阶段的操作流程及相应的控制信号如图 9.22 所示。

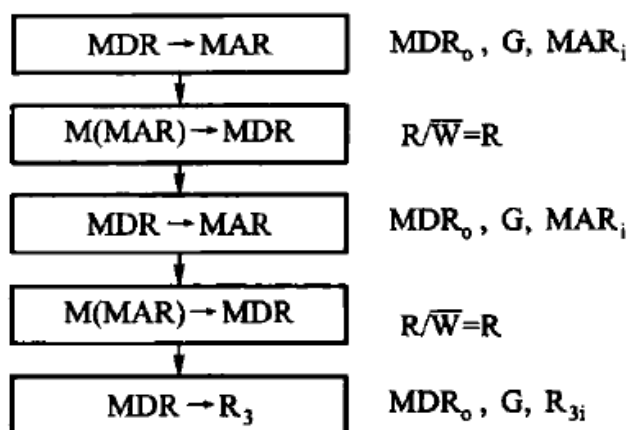


图 9.22 第 9 题(4)答图

10.已知单总线计算机结构如图 9.7 所示，其中 XR 为变址寄存器，EAR 为有效地址寄存器，LATCH 为暂存器。假设指令地址已存于 PC 中，画出 ADD*D 指令周期信息流程图，并列出相应的控制信号序列。

说明：

- (1) ADD *D 指令字中*表示相对寻址, D 为相对位移量。
- (2)寄存器的输入和输出均受控制信号控制, 如 PC: 表示 PC 的输入控制信号, 又如 MDR, 表示 MDR 的输出控制信号。
- (3)凡是需要经过总线实现寄存器之间的传送, 需在流程图中注明, 如 PC→Bus→MAR, 相应的控制信号为 PC_o 和 MAR_i。

10.ADD *D 指令取指周期的操作流程及相应的控制信号如图 9.23 所示, 它的执行周期操作流程及相应的控制信号示于图 9.24, 图中 Ad(IR)为相对位移量的机器代码。

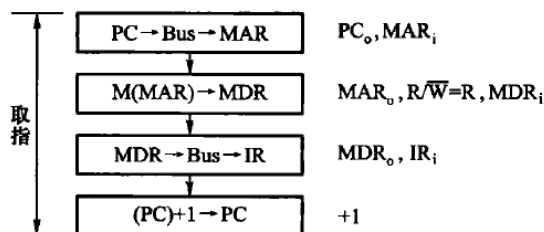


图 9.23 第 10 ~ 13 题取指操作流程

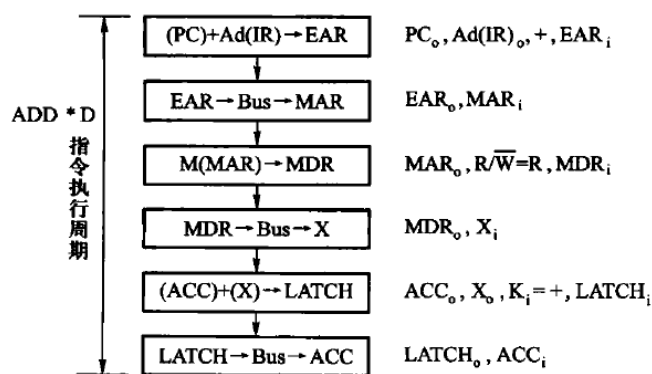


图 9.24 第 10 题答图

11.在第 10 题给出条件下, 假设指令地址已存于 PC 中, 画出 JMP*D 指令周期信息流程图, 并列出相应的控制信号序列。

说明:

- (1)JMP *D 指令字中*表示相对寻址, D 为相对位移量。
- (2)寄存器的输入和输出均受控制信号控制, 如 PC,表示 PC 的输入控制信号, 又如 MDR,表示 MDR 的输出控制信号。
- (3)凡是需要经过总线实现寄存器之间的传送, 需在流程图中注明, 如 PC→Bus→MAR, 相应的控制信号为 PC_o 和 MAR_i。

11.JMP *D 指令取指周期的操作流程及相应的控制信号如图 9.23 所示, 它的执行周期操作流程及相应的控制信号示于图 9.25, 图中 Ad(R)为相对位移量的机器代码。

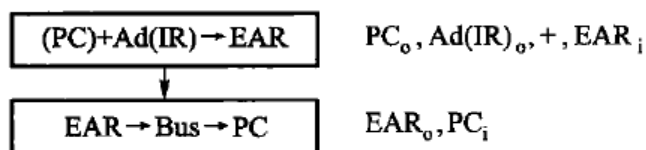


图 9.25 第 11 题答图

12.在第 10 题给出的条件下, 假设指令地址已存于 PC 中, 画出 LDAX,D 指令周期信息流程图, 并列出相应的控制信号序列。

说明:

(1)LDAX,D 指令字中 X 为变址寄存器 XR,D 为形式地址。

(2)寄存器的输入和输出均受控制信号控制, 如 PC:表示 PC 的输入控制信号, 又如 MDR_o表示 MDR 的输出控制信号。

(3)凡是需要经过总线实现寄存器之间的传送, 需在流程图中注明, 如 PC→Bus→MAR,相应的控制信号为 PC_o 和 MAR_i。

12.LDAX,D 指令取指周期的操作流程及相应的控制信号如图 9.23 所示, 它的执行周期操作流程及相应的控制信号示于图 9.26, 图中 Ad(R)为形式地址。

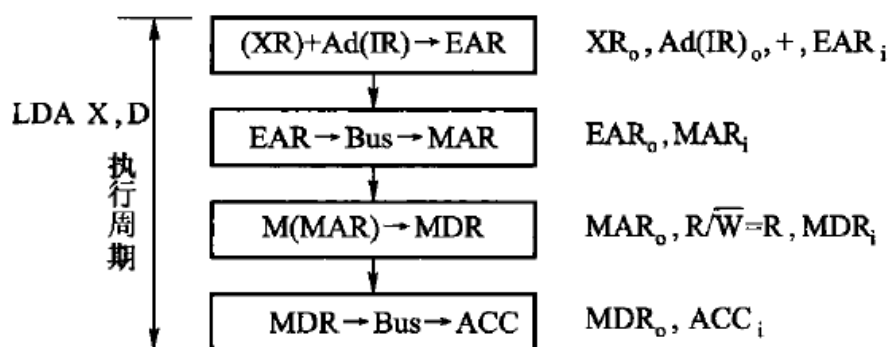


图 9.26 第 12 题答图

13.在第 10 题给出的条件下, 假设指令地址已存于 PC 中, 画出 STA X,D 指令周期信息流程图, 并列出相应的控制信号序列。

说明:

(1)STA X,D 指令字中 X 为变址寄存器 XR,D 为形式地址。

(2)寄存器的输入和输出均受控制信号控制, 如 PC:表示 PC 的输入控制信号, 又如 MDR_o表示 MDR 的输出控制信号。

(3)凡是需要经过总线实现寄存器之间的传送, 需在流程图中注明, 如 PC→Bus-+MAR,相应的控制信号为 PC_o 和 MAR_i。

13.STA X,D 指令取指周期的操作流程及相应的控制信号如图 9.23 所示, 它的执行周期操作流程及相应的控制信号示于图 9.27, 图中 Ad(IR)为形式地址。

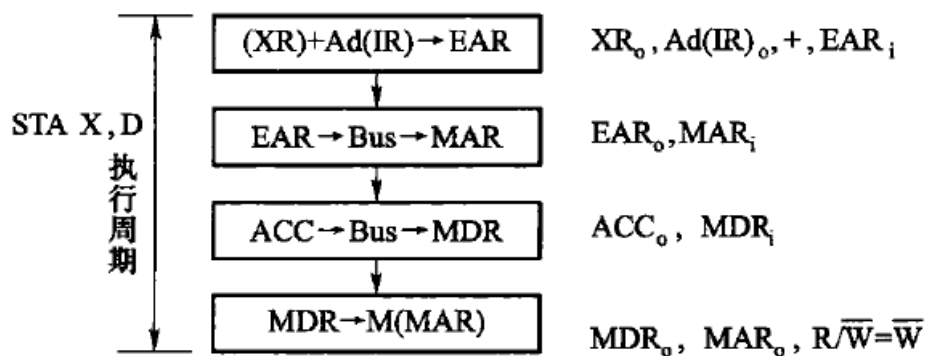


图 9.27 第 13 题答图

14. 某假想机主要部件如图 9.11 所示，其中：

LA	ALU 的 A 输入端选择器	LB	ALU 的 B 输入端选择器
M	主存	MDR	主存数据寄存器
IR	指令寄存器	MAR	主存地址寄存器
PC	程序计数器	$R_0 \sim R_3$	通用寄存器
C、D	暂存器		

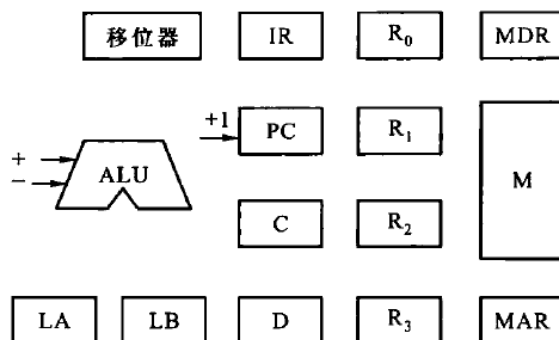


图 9.11 假想机主要部件

(1) 补充各种部件之间的主要连接线，并注明数据流动方向。

(2) 写出 ADD @R1, @R2 和 SUB @R1, @R2 指令取指阶段和执行阶段的信息流程。R1 寄存器中存放源操作数的地址，R2 寄存器中存放的是目的操作数的地址。

14. (1) 方案一：根据要求，采用单总线结构，将各寄存器接到单总线上，而且用 C、D 两个暂存器存放 ALU 两个端口的操作数，并将其输出直接接到 ALU 的 A、B 两个输入端上，省去 LA 和 LB，则得假想机框图，如图 9.28 所示。

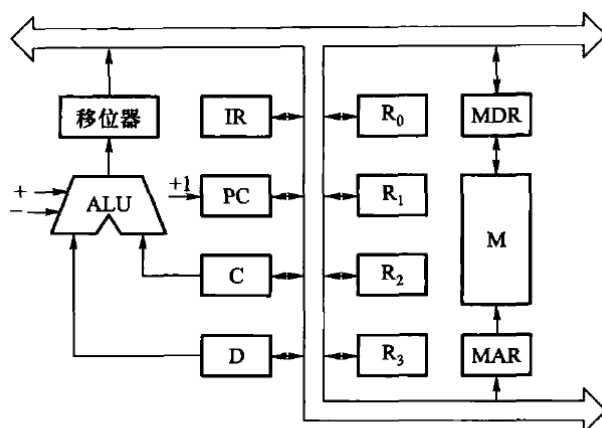


图 9.28 第 14 题假想机方案一答图

方案二：将 10 个寄存器用一条总线连接，而且总线只与寄存器的输入端相连，如图 9.29 所示。10 个寄存器输出又接到 ALU 的左、右两个数据选择器 LA 和 LB 上，以便送至 ALU 进行加工处理或传送。

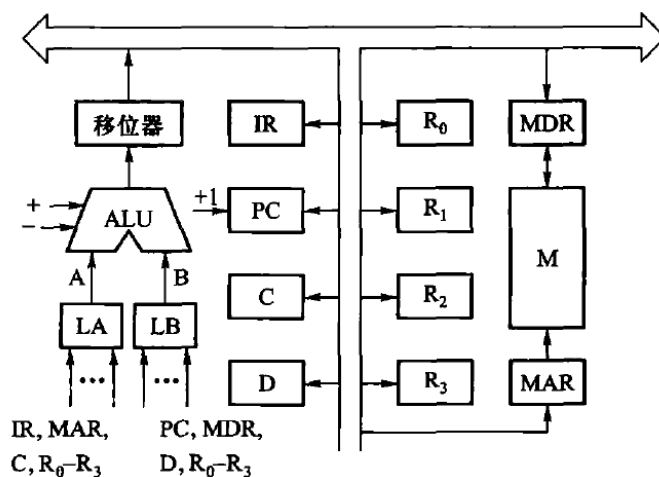


图 9.29 第 14 题假想机方案二答图

(2)对应方案一(图 9.28), ADD @R1,@R2 指令取指阶段和执行阶段的操作流程如图 9.30 所示。对应方案一(图 9.28), SUB @R1,@R2 指令取指阶段和执行阶段的操作流程与图 9.30 相同，但需将图中倒数第二个加操作改为减操作，即(C)→(D)→Bus→MDR。

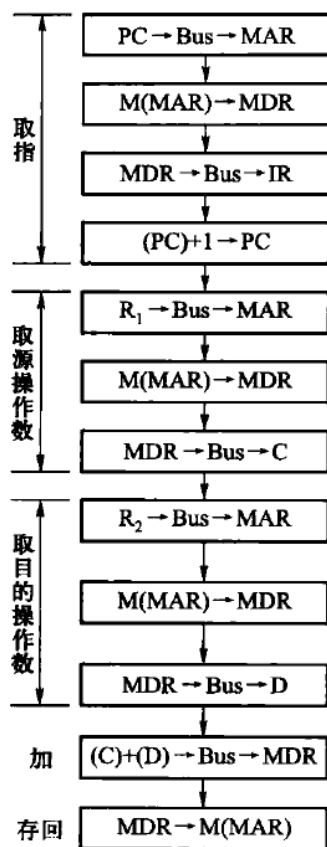


图 9.30 第 14 题操作流程答图

第十章

填空

- 通常控制器的设计可分为**组合逻辑设计**和**微程序设计**两大类，相对应的控制器结构就有**硬连线逻辑式**和**存储逻辑式**，前者采用的核心器件是**门电路**，后者采用的核心器件是**ROM**。
- 在微程序控制器中，一条机器指令对应一个**微程序**，若某机有 35 条机器指令，通常可对应**38 个微程序**。
- 微指令格式可分为**垂直型**和**水平型**两类，其中**垂直型**微指令用较长的微程序结构换取较短的微指令结构。
- 在用微程序实现的控制器中，一条机器指令对应若干条**微指令**，它又包含若干**微命令**。微指令格式分成**垂直型**和**水平型**两类，**水平型**微指令可同时执行若干个微操作，所以执行指令的速度比**垂直型微指令**快。
- 在用微程序实现的控制器中，微操作命令可采用**直接**和**编码**两种控制方式，后者又可分为**显式编码（或字段直接编码）**和**隐式编码（或字段间接编码）**，其中**隐式编码（或字段间接编码）**微指令字长最短。
- 实现机器指令的微程序一般存放在**控制存储器**中，而用户程序存放在**主存**中，前者的速度比后者**快**。若采用水平型微指令，则微指令长度一般比机器指令**长**。

- 7.在微程序控制器中,后续微指令地址的形成方式有**直接由微指令的下地址字段给出、根据指令的操作码形成、增量计数器法、分支转移、通过测试网络形成和由硬件直接产生**
- 8.某计算机采用微程序控制,微指令字中操作控制字段共 16 位,若采用直接控制,则可以定义 **16** 种微操作,此时一条微指令最多可同时启动 **16** 个微操作。若采用编码控制,并要求一条微指令需同时启动 4 个微操作,则微指令字中的操作控制字段应分 **4** 段,若每个字段的微命令数相同,这样的微指令格式最多可包含 **60(每个字段均包含一种不发出命令的情况)**个微操作命令。
- 9.由一组实现一定操作功能的微命令的组合可构成一条**微指令**,它由**操作控制字段**和**顺序控制字段**两部分组成,由它组成的序列叫做**微程序**
- 10.微程序控制部件主要由**控制存储器、控存地址寄存器、控存数据寄存器和微地址形成部件**几大部分组成,其核心部件**控制存储器**由**高速 ROM** 组成,用来存放**微程序**。
- 11.在微程序控制器中,一次能够定义并执行多个并行操作命令的微指令叫做**水平型**微指令。若采用微操作码方式,一次只能执行一个操作命令的微指令(例如,控制信息从某个源部件到某个目标部件)叫做**垂直型**微指令,后者实现一条机器指令的微程序要比前者编写的微程序**长**
- 12.在串行微程序控制器中,执行现行微指令的操作与取下一条微指令的操作在时间上是**串行**进行的,所以微指令周期等于**取微指令时间加上执行微指令时间**。在并行微程序控制器中,执行现行微指令的操作与取下一条微指令的操作是**重叠**进行的,所以微指令周期等于**执行微指令的时间**。
- 13.在设计微程序控制器时,所追求的目标是**缩短微指令字长、减少控存容量、提高微程序的执行速度和便于对微指令的修改等**。
- 14.在组合逻辑控制器中,微操作控制信号由**指令操作码、时序和状态条件**决定。
- 15.当指令取至指令寄存器后,每一条机器指令微程序的入口地址根据**操作码**通过**微地址形成部件**形成。
- 16.在微程序控制中,计算机执行一条指令的过程就是依次执行一个确定的**微指令序列(微程序)**的过程。
- 17.在设计微指令的控制字段时,由于数据通路的关系,微操作可分为**相容性**和**相斥性**两种。
- 18.动态微程序控制单元是用 **EPROM** 等可擦写的只读存储器组成的控制存储器,它允许**改变微指令和微程序**。
- 19.静态微程序控制单元是用 **ROM** 组成的控制存储器,它不允许改变微指令和微程序。
- 20.微指令的顺序控制部分用来**指出下一条微指令的地址**。
- 21.微程序设计是利用**软件**方法设计**控制单元 CU**,具有**规整性、灵活性、可维护性**等一系列优点。
- 22.组合逻辑设计控制单元的设计步骤是先**列出操作时间表**,再**写出最简的逻辑表达式**,最后用**门电路**等器件实现。

问答题

- 1.画出组合逻辑控制器框图,根据指令处理过程,结合有关部件说明控制器的工作原理。
1.组合逻辑控制器框图如图 10.23 所示。

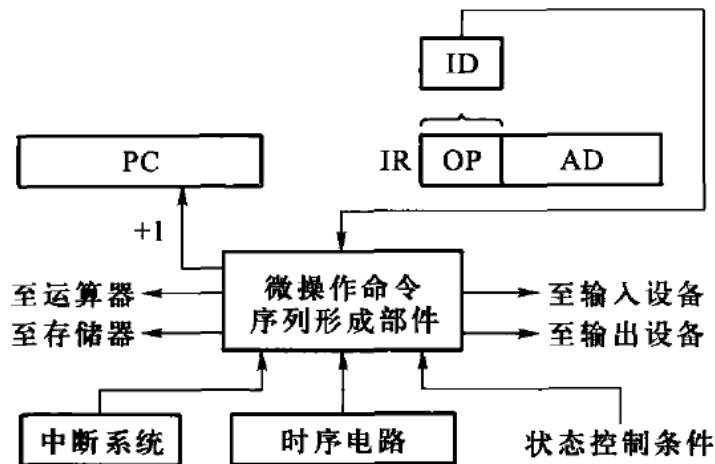


图 10.23 组合逻辑控制器框图

完成一条指令要经过取指阶段和执行阶段。

取指阶段完成的任务是：根据 PC 给定的地址发出读命令，访存后取出相应的指令送至 IR，再经指令译码器 ID 给出信号，控制微操作命令序列形成部件，并修改 PC。

执行阶段完成的任务是：微操作命令序列形成部件同时还接受状态控制条件、中断系统以及时序电路发来的时序信号，在译码输出的共同作用下，按指令操作码的含义，发出一系列微操作命令信号，控制相应部件操作，实现指令功能。

2.画出微程序控制器框图，根据指令处理过程，结合有关部件说明控制器的工作原理。

2.微程序控制器框图如图 10.24 所示。

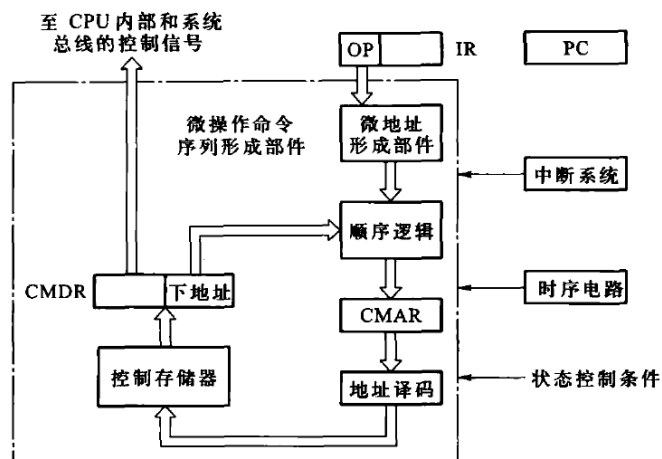


图 10.24 微程序控制器框图

完成一条指令要经过取指和执行两个阶段。

首先将取指操作微程序的首地址送至 CMAR，读出该条微指令，并送至 CMDR。此时微指令的操作控制字段发出各种微命令，同时由下地址字段指出下一条微指令的地址，然后重复取微指令、执行微指令的操作，直到按 PC 指出的存储单元中的指令读至 IR，并自动修改后继指令地址。这一过程为取指阶段。

接着根据指令的操作码，经过微地址形成部件，产生对应该机器指令的微程序首地址并送至 CMAR，然后从控制存储器中读出微指令并送至 CMDR。此时操作控制字段发出各种微命令，且下地址字段指出下一条微指令地址，然后重复取微指令、执行微指令的操作，直

到对应该机器指令的操作全部执行完毕，并指出取指微程序的首地址。这一过程为执行机器指令的阶段。

可见，每完成一条机器指令，需相应完成两个微程序：一个是取指微程序，另一个是对应该机器指令操作的微程序。而且所有的微命令都是由控制存储器中的微指令发出的。

3.比较组合逻辑控制器和微程序控制器的组成。按序写出完成一条减法指令 SUB α (α 为主存地址)两种控制器所发出的微操作命令及节拍安排。

3.结合本章图 10.23 和图 10.24，两种控制器的相同之处是：均有 PC、IR、时序电路、中断系统及状态条件。不同之处主要是微操作命令序列形成部件不同，组合逻辑控制器的核心部件是门电路，微程序控制器的核心部件是控制存储器 ROM。

组合逻辑控制器完成 SUB α 指令的微操作命令及节拍安排如下：

取指周期

T0 PC \rightarrow MAR, 1 \rightarrow R(读命令)
T1 M(MAR) \rightarrow MDR, (PC)+1 \rightarrow PC
T2 MDR \rightarrow IR, OP(IR) \rightarrow ID

执行周期

T0 Ad(IR) \rightarrow MAR, 1 \rightarrow R(即 $\alpha\rightarrow$ MAR)
T1 M(MAR) \rightarrow MDR
T2 (ACC)-(MDR) \rightarrow ACC

微程序控制器完成 SUB α 指令的微操作命令及节拍安排如下：

取指周期

T0 PC \rightarrow MAR, 1 \rightarrow R
T1 Ad(CMDR) \rightarrow CMAR
T2 M(MAR) \rightarrow MDR, (PC)+1 \rightarrow PC
T3 Ad(CMDR) \rightarrow CMAR
T4 MDR \rightarrow IR
T5 OP(IR) \rightarrow 微地址形成部件 \rightarrow CMAR

执行周期

T0 Ad(IR) \rightarrow MAR, 1 \rightarrow R(即 $\alpha\rightarrow$ MAR)
T1 Ad(CMDR) \rightarrow CMAR
T2 M(MAR) \rightarrow MDR
T3 Ad(CMDR) \rightarrow CMAR
T4 (ACC)-(MDR) \rightarrow ACC
T5 Ad(CMDR) \rightarrow CMAR

4.比较组合逻辑控制器和微程序控制器的设计思想。按序写出完成一条加法指令 ADD α (α 为主存地址)两种控制器所发出的微操作命令及节拍安排。

4.组合逻辑控制器的设计思想是采用硬连线逻辑。首先根据指令系统，写出对应所有机器指令的全部微操作及其节拍安排，然后列出操作时间表，再写出每一种微操作的逻辑表达式，化简后画出相应的逻辑图，即完成了设计。这种逻辑电路主要是由门电路构成的复杂树形网络，一旦构成后，除非在物理上进行重新连线，否则要增加新的控制功能是不可能的。微程序控制器的设计思想是采用存储逻辑。首先根据指令系统，写出对应所有机器指令的全部微操作及其节拍安排，再根据微操作的数目，经压缩确定微指令的控制方式、下地址

形成方式、微指令格式及微指令字长，然后编写出全部微指令的代码（码点），即完成了设计。最后将微指令的码点注入 ROM 中，即可作为微操作的命令信号。

组合逻辑控制器完成 ADD α 指令的微操作命令及节拍安排为：

取指周期

- T0 PC→MAR, 1→R
- T1 M(MAR)→MDR, (PC)+1→PC
- T2 MDR→IR, OP(IR)→ID

执行周期

- T0 Ad(IR)→MAR, 1→R(即 α →MAR)
- T1 M(MAR)→MDR
- T2 (ACC)+(MDR)→ACC

微程序控制器完成 ADD α 指令的微操作命令及节拍安排为：

取指周期

- T0 PC→MAR, 1→R
- T1 Ad(CMDR)→CMAR
- T2 M(MAR)→MDR, (PC)+1→PC
- T3 Ad(CMDR)→CMAR
- T4 MDR→IR
- T5 OP(IR)→微地址形成部件→CMAR

执行周期

- T0 Ad(IR)→MAR, 1→R(即 α →MAR)
- T1 Ad(CMDR)→CMAR
- T2 M(MAR)→MDR
- T3 Ad(CMDR)→CMAR
- T4 (ACC)+(MDR)→ACC
- T5 Ad(CMDR)→CMAR

5.已知程序表 10.5，分别写出组合逻辑控制部件和微程序控制部件所发出的全部微命令及节拍安排（指令地址和操作数地址均用十六进制数表示）。

表 10.5 第 5 题程序表

程序表	
指令地址	指令
200	LDA 206
201	ADD 207
202	BAN 204
203	STA 205
204	STP

5.组合逻辑控制部件发出的全部微操作命令及节拍安排如下：

取指周期

- T0 PC→MAR, 1→R(即 200→MAR)
- T1 M(MAR)→MDR, (PC)+1→PC
- T2 MDR→IR, OP(IR)→ID

执行周期

T0 $Ad(IR) \rightarrow MAR, 1 \rightarrow R$ (即 $206 \rightarrow MAR$)

T1 $M(MAR) \rightarrow MDR$

T2 $MDR \rightarrow ACC$

取指周期

T0 $PC \rightarrow MAR, 1 \rightarrow R$ (即 $201 \rightarrow MAR$)

T1 $M(MAR) \rightarrow MDR, (PC)+1 \rightarrow PC$

T2 $MDR \rightarrow IR, OP(IR) \rightarrow ID$

执行周期

T0 $Ad(IR) \rightarrow MAR, 1 \rightarrow R$ (即 $207 \rightarrow MAR$)

T1 $M(MAR) \rightarrow MDR$

T2 $(ACC)+(MDR) \rightarrow ACC$

取指周期

T0 $PC \rightarrow MAR, 1 \rightarrow R$ (即 $202 \rightarrow MAR$)

T1 $M(MAR) \rightarrow MDR, (PC)+1 \rightarrow PC$

T2 $MDR \rightarrow IR, OP(IR) \rightarrow ID$

执行周期

T0

T1

T2 $A_0 \cdot Ad(IR) + \overline{A_0} \cdot PC \rightarrow PC$ ($A_0=1$ 时 $204 \rightarrow PC$)

取指周期

T0 $PC \rightarrow MAR, 1 \rightarrow R$ (即 $203 \rightarrow MAR$)

T1 $M(MAR) \rightarrow MDR, (PC)+1 \rightarrow PC$

T2 $MDR \rightarrow IR, OP(IR) \rightarrow ID$

执行周期

T0 $Ad(IR) \rightarrow MAR, 1 \rightarrow W$ (即 $205 \rightarrow MAR$)

T1 $ACC \rightarrow MDR$

T2 $MDR \rightarrow M(MAR)$

取指周期

T0 $PC \rightarrow MAR, 1 \rightarrow R$ (即 $204 \rightarrow MAR$)

T1 $M(MAR) \rightarrow MDR, (PC)+1 \rightarrow PC$

T2 $MDR \rightarrow IR, OP(IR) \rightarrow ID$

执行周期

T0

T1

T2 $0 \rightarrow G$ (G 为运行标志触发器)

微程序控制部件和组合逻辑控制部件所发出的全部微操作命令及节拍安排大部分相同, 可将组合逻辑控制部件在每个 T 内发出的微命令安排为一条微指令。此外, 还需增加将后续微指令地址 $\rightarrow CMAR$ 的微操作命令, 其中除取指阶段最后增加 $OP(IR) \rightarrow$ 微地址形成部件 $\rightarrow CMAR$ 微命令外, 其余的微指令后面均增加 $Ad(CMDR) \rightarrow CMAR$ 微命令。

6. 什么是水平型微指令? 什么是垂直型微指令? 各有何特点?

6. 水平型微指令一次能定义并执行多个并行操作, 其并行操作能力强, 效率高。而且水平型

微指令的大多数微命令一般可直接控制对象，故执行每条微指令的时间短。又因水平型微指令字长较长，故可用较少的微指令数来实现一条机器指令的功能。

垂直型微指令的结构类似于一般机器指令的结构，由微操作码译码确定微指令的功能。通常一条微指令只能有 1~2 个微操作命令。因为它要经过译码后控制对象，影响每条微指令的执行时间。而且垂直型微指令字长较短，实现一条机器指令的微程序要比水平型微指令编写的微程序长得多，它是用较长的微程序结构来换取较短的微指令结构。

7.微指令字中操作控制字段有哪些控制方法？各有何特点？

7.微指令中操作控制字段主要有三种控制方式。

(1)直接控制，又称直接编码，其特点是操作控制字段中的每一位代表一个微命令，如图 10.25 所示。其优点是简单直观，输出直接用于控制，执行速度快。缺点是微指令字较长，使控存容量较大。

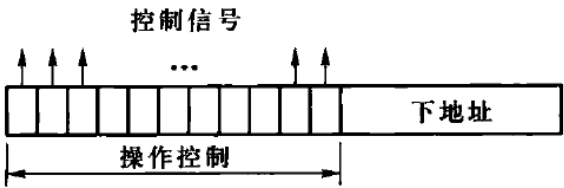


图 10.25 第 7 题答图(1)

(2)字段直接编码控制，其特点是将微指令操作控制字段分成几段，并使每个字段经译码后发出各个微操作命令，如图 10.26 所示。每个字段中的微命令必须是互斥的。这种控制方式用较少的二进制信息表示较多的微命令信号，它缩短了微指令字长，但增加了译码电路，使微程序的执行速度降低。这种编码控制又叫显式编码。

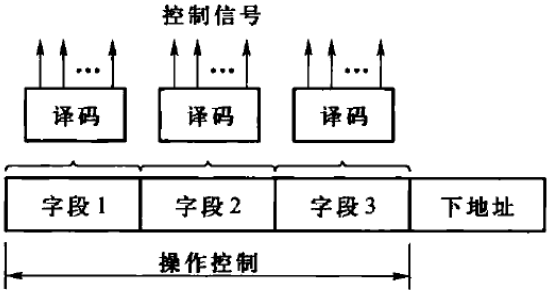


图 10.26 第 7 题答图(2)

(3)字段间接编码控制，这种方式一个字段的某些微命令还需由另一个字段中的某些微命令解释，才能使微操作命令有确切含义，故又称为隐式编码，如图 10.27 所示。这种方法更能缩短微指令字长。

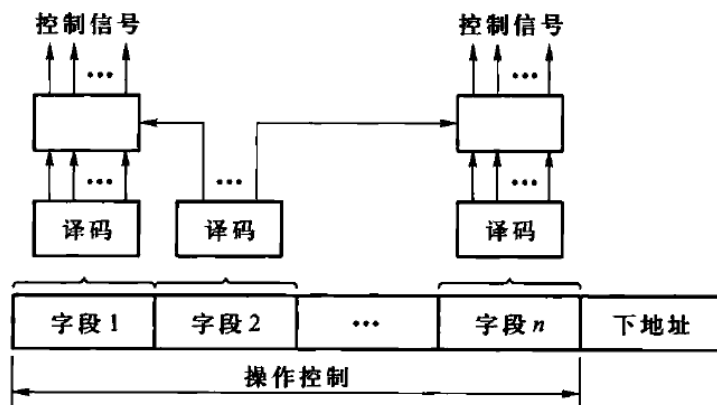


图 10.27 第 7 题答图(3)

此外还可把直接控制和字段编码（直接或间接）控制混合使用。

8.说明微程序控制器中微指令的地址有几种形成方式。

8.微指令的地址有六种方式形成。

- (1)直接由微指令的下地址字段指出。
- (2)根据机器指令的操作码形成。
- (3)增量计数器法。
- (4)根据各种标志决定微指令分支转移的地址。
- (5)通过测试网络形成。
- (6)由硬件产生微程序入口地址。

9.设有一运算器通路如图 10.22 所示，假设操作数 a 和 b(均为补码)已分别放在通用寄存器 R1 和 R2 中，ALU 有+、-、M(传送)三种操作功能。

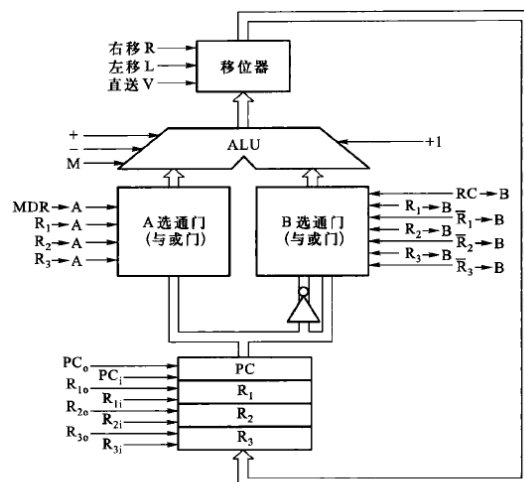


图 10.22 第 9 题运算器通路框图

(1)指出互斥性微操作和相容性微操作。

(2)采用字段直接编码控制方式，设计适合此运算器的微指令格式。

(3)画出计算 $(a-b)/2 \rightarrow R2$ 的微程序流程图，试问执行周期需要几条微指令？

(4)按设计的微指令格式，写出(3)要求的微指令码点。

9.(1)互斥性微操作有以下五组：

移位器(R、L、V);

ALU(+、-、M);

A 选通门的四个控制信号;

B 选通门的七个控制信号;

寄存器的输入与输出控制信号, 即输入时不能输出, 反之亦然。

相容性微操作有以下五类:

A 选通门的任一控制信号与 B 选通门的控制信号;

B 选通门的任一控制信号与 A 选通门的控制信号;

ALU 的任一信号与加 1 控制信号;

寄存器的四个输入控制信号;

五组控制信号中组与组之间是相容的。

(2)采用字段直接编码控制方式设计的微指令格式如图 10.28 所示 (不包括顺序控制部分), 其中每个字段都包含一种不操作的情况。

XXX	XXX	XX	XX	X	XXXX
3	3	2	2	1	4
001 MDR→A	001 PC→B	01 +	01 R	1+1	0001 PC _{out}
010 R ₁ →A	010 R ₁ →B	10 -	10 L		0010 PC _{in}
011 R ₂ →A	011 R ₁ →B	11 M	11 V		0011 R _{1out}
100 R ₃ →A	100 R ₂ →B				0100 R _{1in}
	101 R ₂ →B				0101 R _{2out}
	110 R ₃ →B				0110 R _{2in}
	111 R ₃ →B				0111 R _{3out}
					1000 R _{3in}

图 10.28 第 9 题(2)答图

(3)由于操作数 a 和 b(补码)已分别放在 R1 和 R2 中, 根据图 10.22 所示的数据通路, 计算(a-b)/2→R2 的微程序流程图如图 10.29 所示。执行周期只需用一条微指令即可。

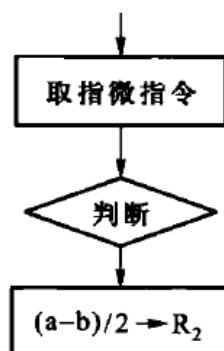


图 10.29 第 9 题(3)答图

(2) 根据(2)的微指令格式, 不考虑顺序控制部分, 这条微指令控制字段的二进制代码为

010 101 01 01 1 0110,其控制信号是 $R_1 \rightarrow A, \bar{R}_2 \rightarrow B, +, R, +1$ 和 R_{2in}

10.某机共有 55 个微操作控制信号, 构成 5 个相斥类的微命令组, 各组分别包含 4、7、8、12 和 24 个微命令。已知可判定的外部条件有 CY 和 ZF 两个, 微指令字长 30 位。

(1)给出采用断定方式的水平型微指令格式。

(2)指出控制存储器的容量。

10.(1)微指令格式如图 10.30 所示。其中每一个字段均包含一种不发出命令的情况，条件测试字段包含一种不转移的情况。

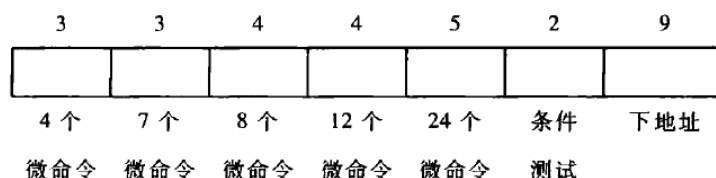


图 10.30 第 10 题(1)答图

(2)控制存储器容量为 512×30 位。

11.试比较计算机的仿真和计算机的模拟。

11.计算机的仿真是一种采用硬件机制获得机器软件兼容的方法，它使已有的软件能够在新型的计算机中继续运行。采用微程序设计来实现不同机器指令系统的方式称为计算机系统的仿真。

计算机的模拟是在一种计算机上运行另一种计算机指令的软件方法，即用软件来解释执行另一种计算机的指令。与仿真不同，模拟是纯软件的方法，通常用几条指令完成一个目标指令的操作，因此速度比仿真低。

12.某机的微指令格式中，共有 10 个控制字段，每个字段可分别激活 4、4、3、11、9、16、7、1、8、22 种控制信号。试问采用字段直接编码方式和直接编码（控制）方式，微指令的操作控制字段各取几位？

12.(1)采用字段直接编码方式，需要的控制位少。根据题目给出的 10 个控制字段及各段可激活的控制信号数，再加上每个控制字段至少要留一个码字表示不激活任何一条控制线，微指令的操作控制字段的总位数为：

$$3+3+2+4+4+5+3+1+4+5=34$$

(2)采用直接编码（控制）方式，微指令的操作控制字段的总位数等于控制信号数。即 $4+4+3+11+9+16+7+1+8+22=85$

13.在一条单总线结构的计算机中，用一条总线连接了指令寄存器 IR、程序计数器 PC、存储器地址寄存器 MAR、存储器数据寄存器 MDR、通用寄存器 R0~R7 的输入和输出端。ALU 的两个输入端分别与总线和寄存器 Y 的输出端相连，ALU 的输出端与寄存器 Z 的输入端相连。Y 的输入端与总线连接，Z 的输出端与总线连接。该机有下列指令：

ADD	R ₁ , R ₂ , R ₃	; (R ₂) + (R ₃) → R ₁
JMP	* K	; (PC) + (K - 1) → PC
LOAD	R ₁ , mem	; (mem) → R ₁
STORE	mem, R ₂	; R ₂ → mem

写出控制器执行上述指令的微操作及节拍安排。

13.(1)四条指令取指周期的微操作命令及节拍安排如下：

T0 PC → Bus → MAR, 1 → R
T1 M(MAR) → MDR, (PC) + 1 → PC
T2 MDR → Bus → IR, OP(IR) → ID

(2)四条指令执行周期的微操作命令及节拍安排如下：

①ADD R1,R2,R3 指令

T0 R2→Bus→Y

T1 (R3)+(Y)→Z

T2 Z→Bus→R1

②JMP *K 指令

T0 PC→Bus→Y

T1 Ad(IR)+(Y)→Z Ad(IR)为相对位移量的机器代码(K-1)

T2 Z→Bus→PC

③LOAD R1,mem

T0 Ad(IR)→Bus→MAR, 1→R Ad(IR)为 mem

T1 M(MAR)→MDR

T2 MDR→Bus→R1

④STORE mem,R2

T0 Ad(IR)→Bus→MAR, 1→W Ad(IR)为 mem

T1 R2→Bus→MDR

T2 MDR→M(MAR)

14.根据取指操作所需的微操作命令，采用直接编码方式，定义控制字段每一位代表的微命令名称，并列出完成取指令操作所用到的微指令控制字段的码点。

14.取指操作所需的微操作命令及节拍安排如下：

T0 PC→MAR, 1→R

T1 M(MAR)→MDR, (PC)+1→PC

T2 MDR→IR

假设按一个时钟周期取出并执行一条微指令考虑，取指操作共需 3 条微指令。采用直接编码，微指令操作控制字段每一位代表的微命令如下所示。

1	2	3	4	5	6	7	8	
PC _o	MAR _i	1→R	MAR _o	MDR _i	(PC)+1	MDR _o	IR _i

3 条微指令所对应的控制字段码点分别示于图 10.31。

	1	2	3	4	5	6	7	8	
第一条微指令	1	1	1	0	0	0	0	0
第二条微指令	0	0	0	1	1	1	0	0
第三条微指令	0	0	0	0	0	0	1	1

图 10.31 第 14 题答图