

ĐẠI HỌC QUỐC GIA THÀNH PHỐ HỒ CHÍ MINH
TRƯỜNG ĐẠI HỌC CÔNG NGHỆ THÔNG TIN
KHOA KỸ THUẬT MÁY TÍNH



BÁO CÁO THỰC HÀNH LAB1
MÔN CE118 – THIẾT KẾ LUẬN LÝ SỐ
Giảng viên hd: Ths. HỒ NGỌC DIỄM

Sinh viên thực hiện :

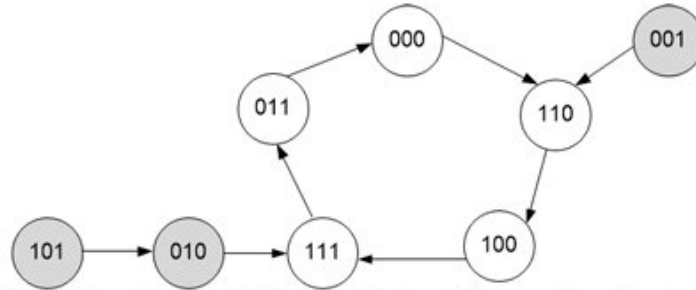
Nguyễn Đình Anh. MSSV: 23520057

Nguyễn Hoàng Quốc Cường. MSSV: 23520200

1. Nội dung thực hành

1.2 Nội dung thực hành

Sử dụng **FF-T** để thiết kế một mạch đếm đồng bộ có chu trình đếm như sau:



Mạch có thêm chức năng Load bất đồng bộ cho phép nạp giá trị ban đầu vào bộ đếm.

2. Lập bảng trạng thái

- Đề bài yêu cầu thiết kế mạch đếm đồng bộ có năm trạng thái nên ta sử dụng 3 flip flop
- Ta có bảng trạng thái:

Trạng thái hiện tại			Trạng thái kế tiếp			Ngõ vào T flip flop		
A	B	C	A +	B+	C+	T2	T1	T0
0	0	0	1	1	0	1	1	0
0	0	1	1	1	0	1	1	1
0	1	0	1	1	1	1	0	1
0	1	1	0	0	0	0	1	1
1	0	0	1	1	1	0	1	1
1	0	1	0	1	0	1	1	1
1	1	0	1	0	0	0	1	0
1	1	1	0	1	1	1	0	0

Ngõ vào T2

BC \ A	0	1
00	1	
01	1	1
11		1
10	1	

$$T2 = A'B' + A'C' + AC$$

Ngõ vào T1

BC \ A	0	1
00	1	1
01	1	1
11	1	
10		1

$$T1 = B' + A'C + AC'$$

Ngõ vào T0

BC	A	0	1
00			1
01		1	1
11		1	
10		1	

$$T0 = A'B + B'C + AB'$$

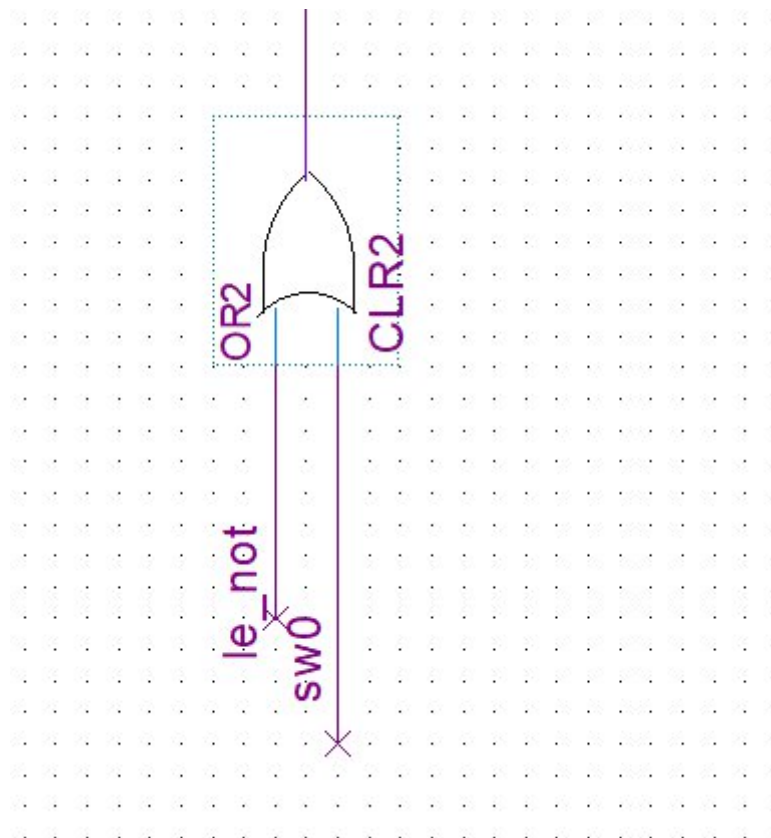
Ngõ vào bất đồng bộ :

E	SW	PRE	CLR
0	0	1	1
0	1	1	1
1	0	1	0
1	1	0	1

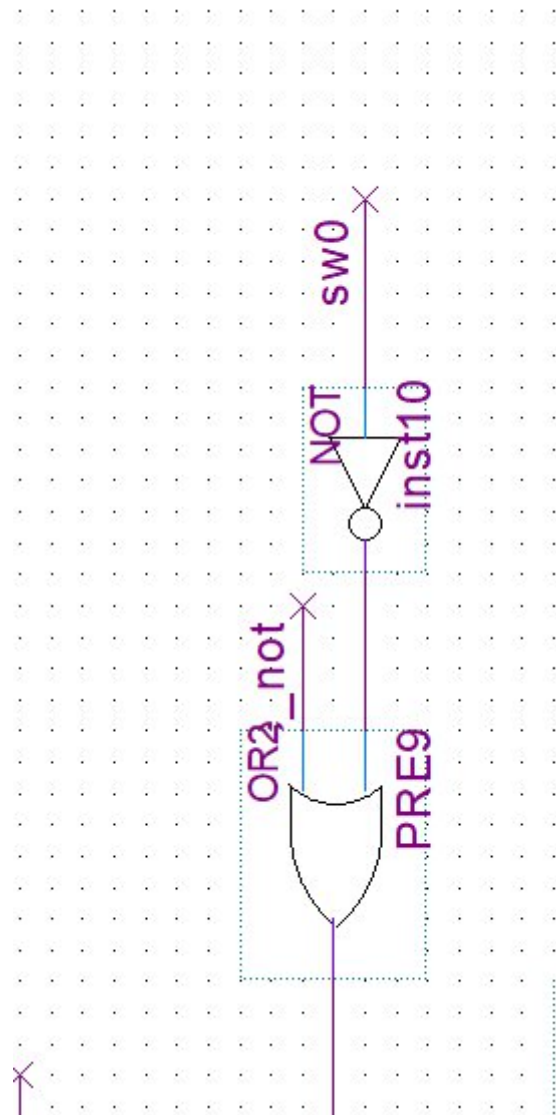
$$PRE = E' + SW'$$

$$CLR = E' + SW$$

- Giải thích ý tưởng thiết kế bộ load bất đồng bộ cho phép nạp giá trị ban đầu : Khi ngõ enable = 0 thì chân preset và clear của flip flop nhận vào giá trị 1 và 1 (do ngõ vào tích cực mức thấp) tức là giữ nguyên trạng thái .
Khi enable =1, nếu ngõ vào SW là 1 thì chúng ta sẽ cho ngõ PRESET tích cực và CLEAR không tích cực. Ngược lại khi ngõ vào SW là 0

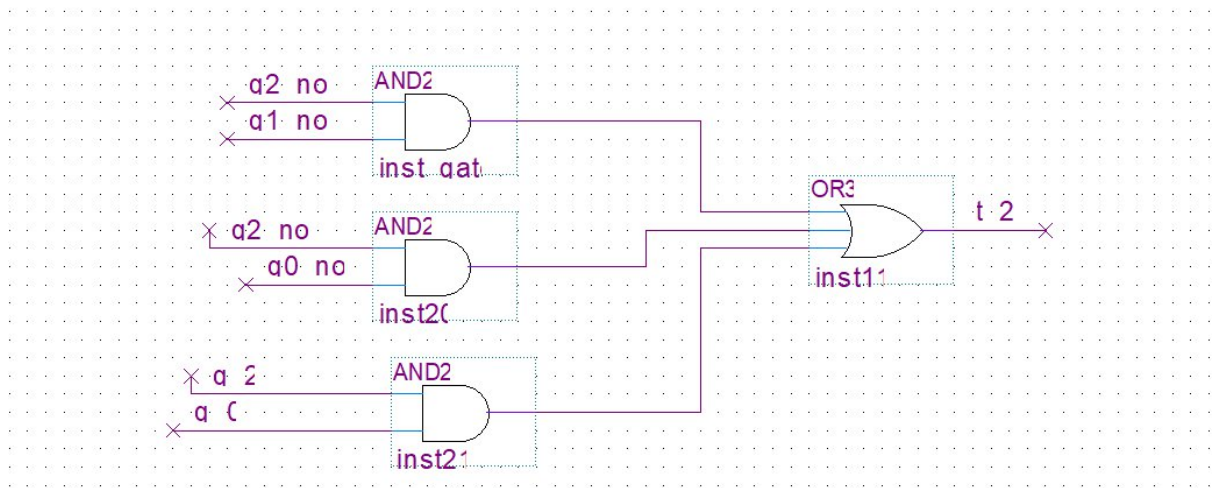


Hình 1. Ngõ vào chân CLEAR của flip flop T0 với ngõ vào là ngõ LOAD ENABLE và SW[0]

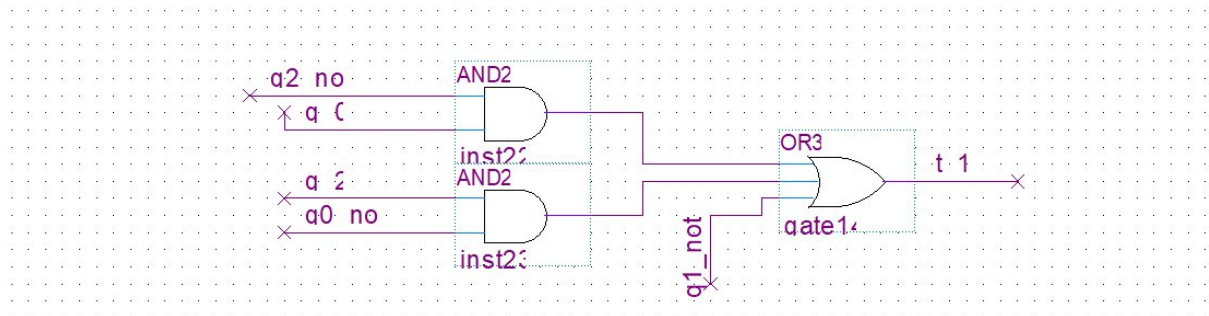


Hình 2: Ngõ vào chân PRESET của flip flop T0 với ngõ vào là LOAD ENABLE và SW[0]

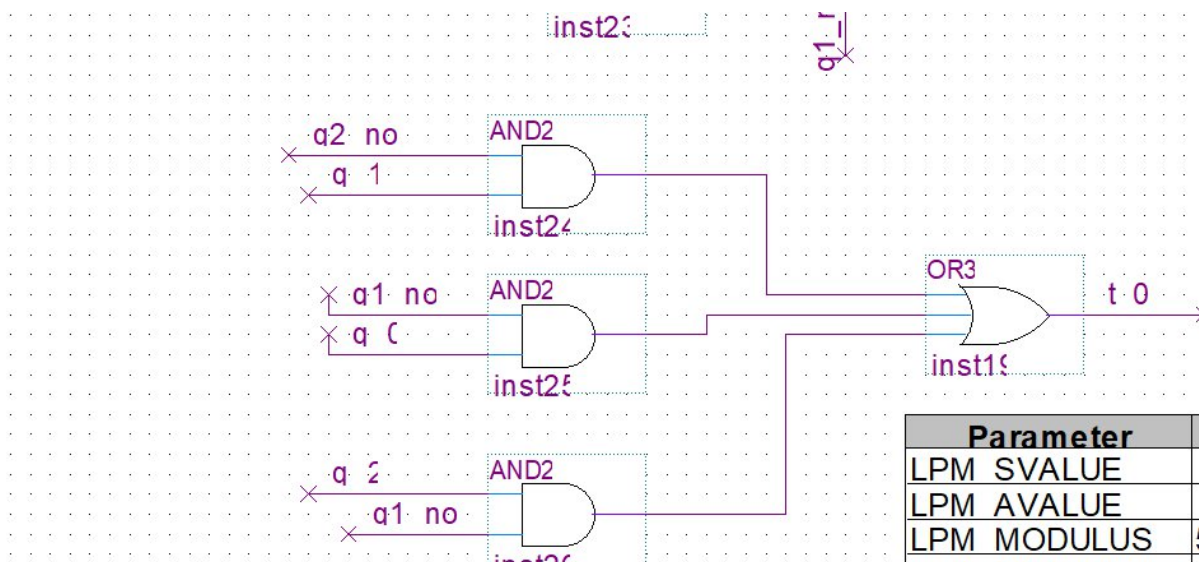
- Tương tự ta thiết kế lần lượt với các ngõ còn lại của các flip flop .



Hình 3: Ngõ vào chân của flip flop T2

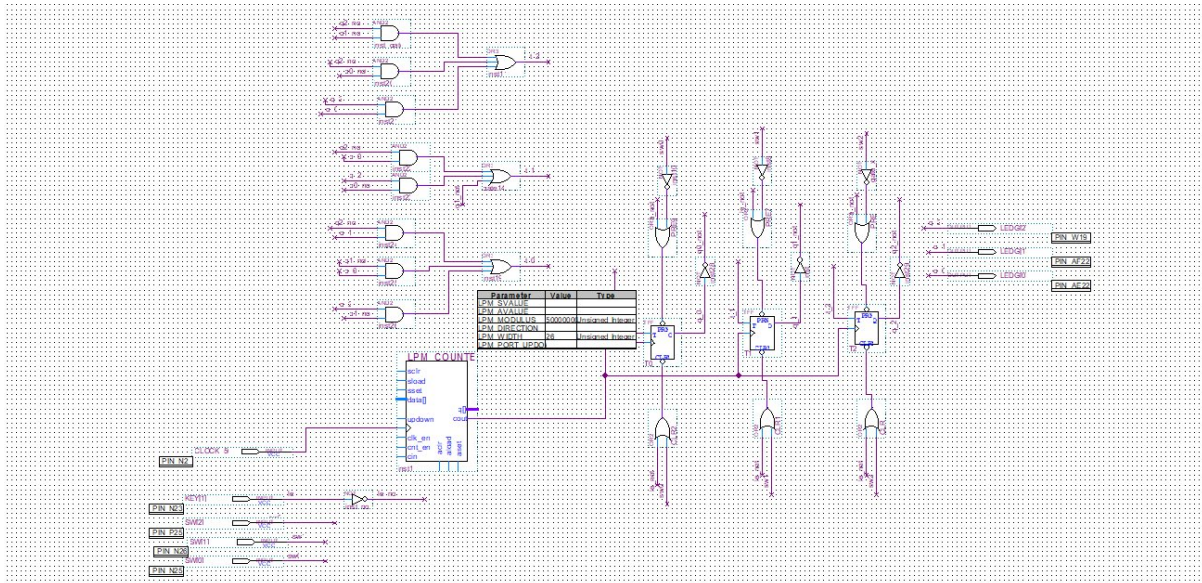


Hình 4. Ngõ vào chân của flip flop T1



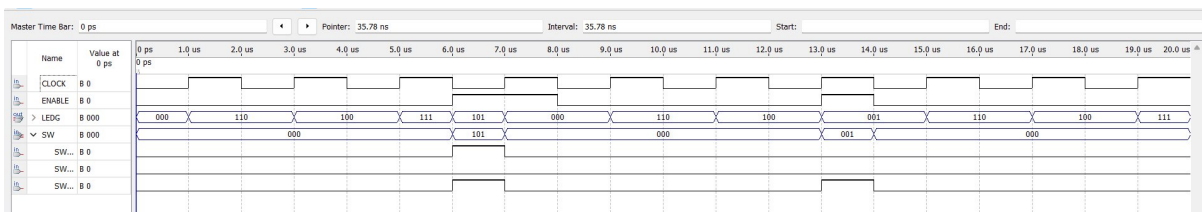
Hình 5. Ngõ vào chân Flip Flop T0

- Toàn bộ mạch thiết kế khi đã gán Pin (Hình 6)



Hình 6.

- Mô phỏng bằng wave form:
Mạch bắt đầu đếm từ giá trị 000 -> 110 -> 100-> 111-> 011 -> 000 như yêu cầu
Khi bật enable kết hợp nạp giá trị ban đầu từ các SW thì mạch có giá trị như trong SW . VD : Từ 6 us -> 8us mạch được nạp giá trị lần lượt là 101 và 000 (Hình 7)



Hình 7.

- Kiểm tra kết quả trên kit
+ Khi giá trị nạp vào trên swich[2:0] là 110 thì LEDG[2:0] sáng như trên hình (hình 8)



Hình 8

+ Khi nhấn nút Key[1] tức là đã tắt ngõ vào LOAD ENABLE thì mạch bắt đầu đếm như trong chu trình yêu cầu, ở đây nạp vào là 110 thì giá trị tiếp theo sẽ là 100 -> 111-> 011->000. (Hình 9 – 10-11-12)



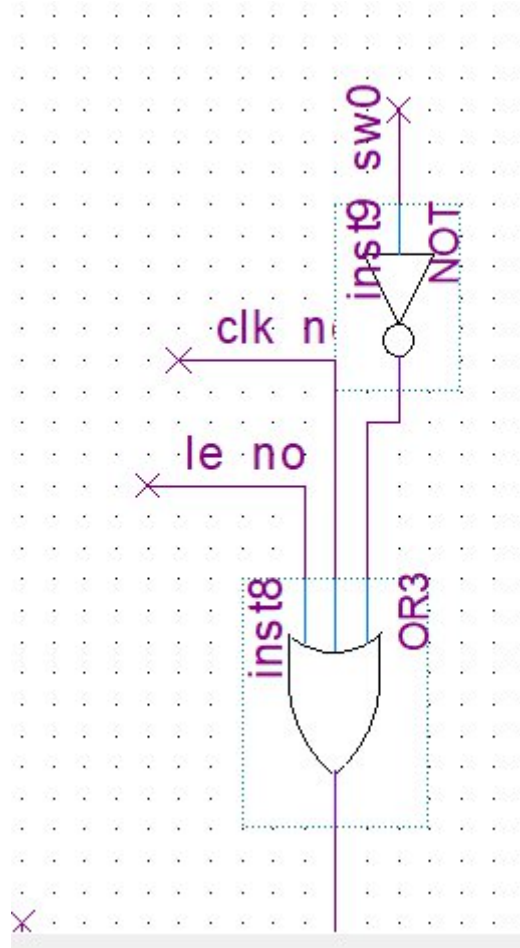
Hình 9. (giá trị 100)



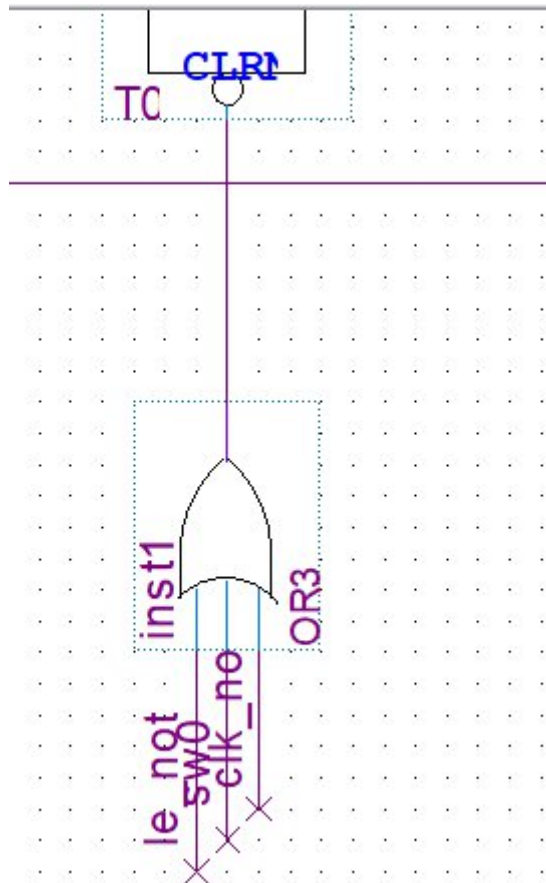
Ý tưởng thiết kế : về các ngõ vào T của các flip flop thì giống như đã thiết kế ở trên, ở đây ta thiết kế thêm bộ nạp giá trị đồng bộ bằng cách thêm ngõ vào xung clock vào ở mạch tổ hợp thiết kế cho chân PRESET và CLEAR

Vậy $\text{PRESET} = \text{ENABLE}' + \text{CLK}' + \text{SW}'$ (Hình 13)

$\text{CLEAR} = \text{ENABLE}' + \text{CLK}' + \text{SW}$ (Hình 14)

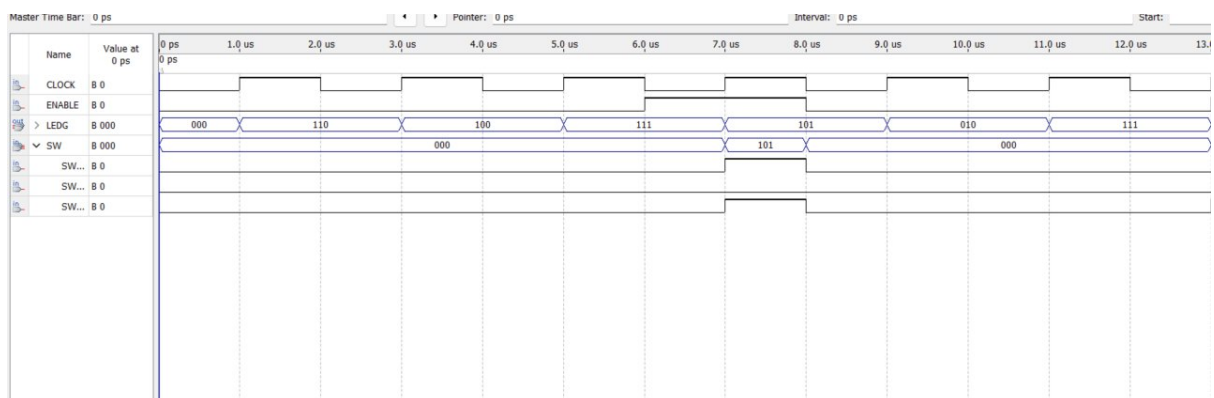


Hình 13



Hình 14

- Wave form kiểm tra : giải thích ở đoạn 6us đến 8us ngõ vào enable được bật lên nhưng mạch phải chờ cho tới khi nào clk tích cực cạnh lên thì mạch mới được nạp vào giá trị. (Tức là từ 7us thì mạch mới được nạp vào giá trị thay vì là được nạp ngay vào 6us như ngõ vào bất đồng bộ) (Hình 15)



Hình 15