

第五章

5.1

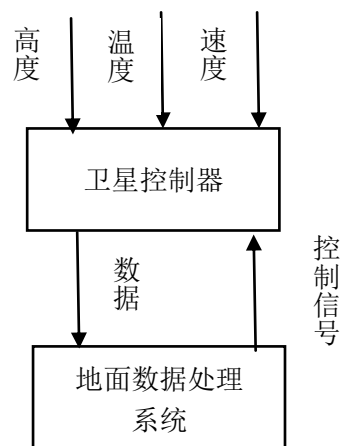
自顶向下的设计过程是以用户的功能和性能需求为出发点,根据已明确的系统需求说明来确定系统内包含的由信息处理器处理的数据流和由控制器处理的控制流。整个设计系统可分为4个层级:性能级、功能级、结构级和物理级,对应三个设计过程分别为系统设计、逻辑设计和物理设计。

- 1) 在性能级,用户与设计者要写出详细描述系统功能及指标的系统说明书。
- 2) 在功能级,设计人员必须给出描述子系统或模块的功能以及输入输出信号的模块说明书。
- 3) 在逻辑级,设计人员用硬件描述语言或 ASM 图等手段,定义和描述硬件结构算法,并由算法转化为相应的结构。
- 4) 在物理级,设计人员要给出逻辑电路或基本逻辑组件的物理实现。

5.2

在自底向上的集成中,测试和验证不仅在于判定已集成的子系统或模块、子模块是否达到设计的预期目的和要求,更重要的在于发现和修改个阶段的设计中可能隐含的不足和错误。模拟是数字系统设计的各个层次上最基本、最有效的测试和验证方法。模拟能在近似于实际情况的环境下使被测试的系统、模块运行,执行实际的操作或任务,便于测试人员监测其中的数据流和控制流信息,用以发现被测对象与外部设备、外部模块接口的匹配兼容性、信号的量值和时序的匹配等问题。

5.3



5.4

逻辑流程图的描述对象是控制器,并且以系统时钟来驱动整个流程。逻辑流程图能够描述整个数字系统对信息的处理过程,也能描述控制器所提供的控制步骤,它既便于设计者发现和改良信息处理过程中的错误和缺陷,又可以成为电路后续设计的依据。

ASM 图即算法流程图,是在逻辑流程图的基础上发展起来的,它和实现它的硬件很好地

对应起来。二者的判别框及条件输出框基本相同，能够很好转换。但其状态框的状态输出表填在框内，状态名在左上角，而逻辑流程图的状态输出表标在框外，里面是状态名。在 ASM 图中判别框忽略了在特定条件下的无效输入信号。

5.5

由图可知，其控制算法可分为四个步骤

(1)寄存器 C 清零，取被加数至寄存器 A；

(2)将 A 中数据送到寄存器 B；

(3)取加数至寄存器 A；

(4)将 A 与 B 中的数相加，结果存入 B，进位信号送至 C

设四个状态的名字为 a、b、c、d，并把操作控制命令命名为：

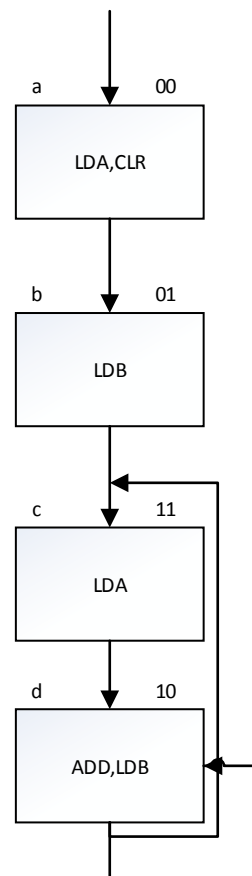
CLR——寄存器清零；

LDA——寄存器 A 接受输入数据；

LDB——寄存器 B 接受从加法器送来的数据；

ADD——加法使能信号。

寄存器 B 的数据通过通路开关进入加法器，并与寄存器 A 送来的数相加。ASM 图如下：



根据流程图可得到它的状态转移表，A、B 均为 D 触发器，则求得触发器词太激励方程如下：

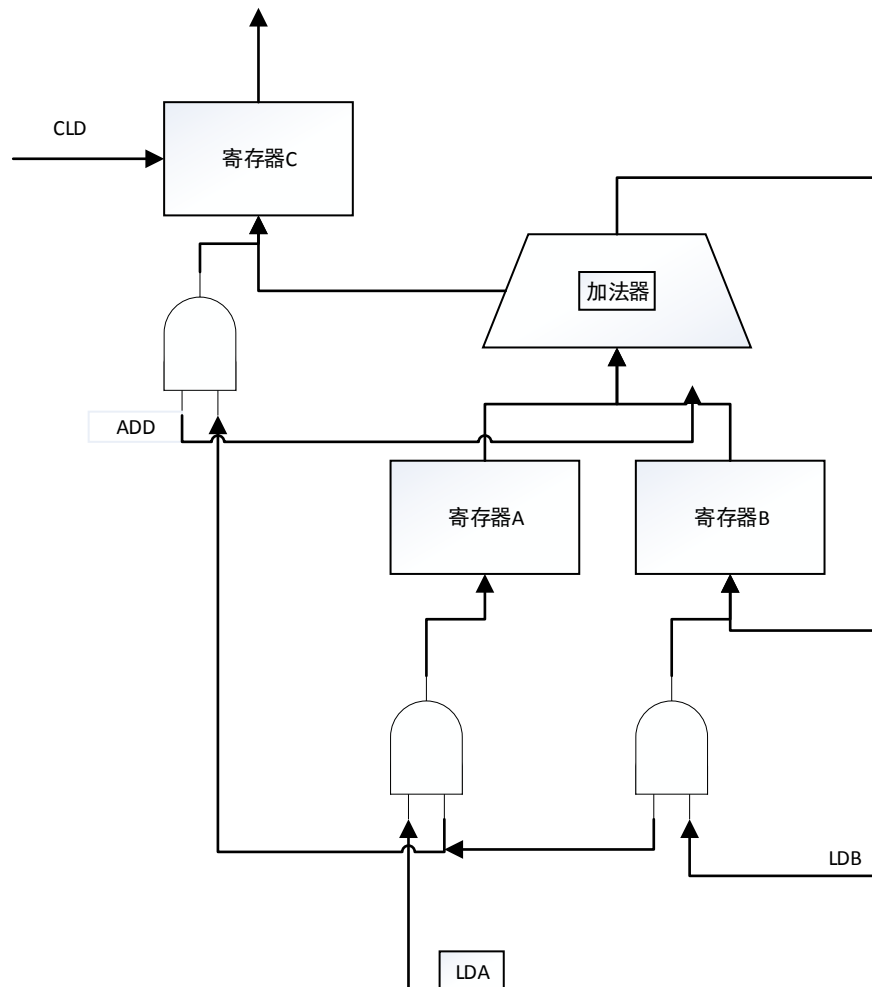
$$B(D) = \bar{B}A + BA + B\bar{A} = B + A$$

$$A(D) = \bar{B}\bar{A} + \bar{B}A + B\bar{A} = \bar{B} + \bar{A}$$

则状态转移真值表为:

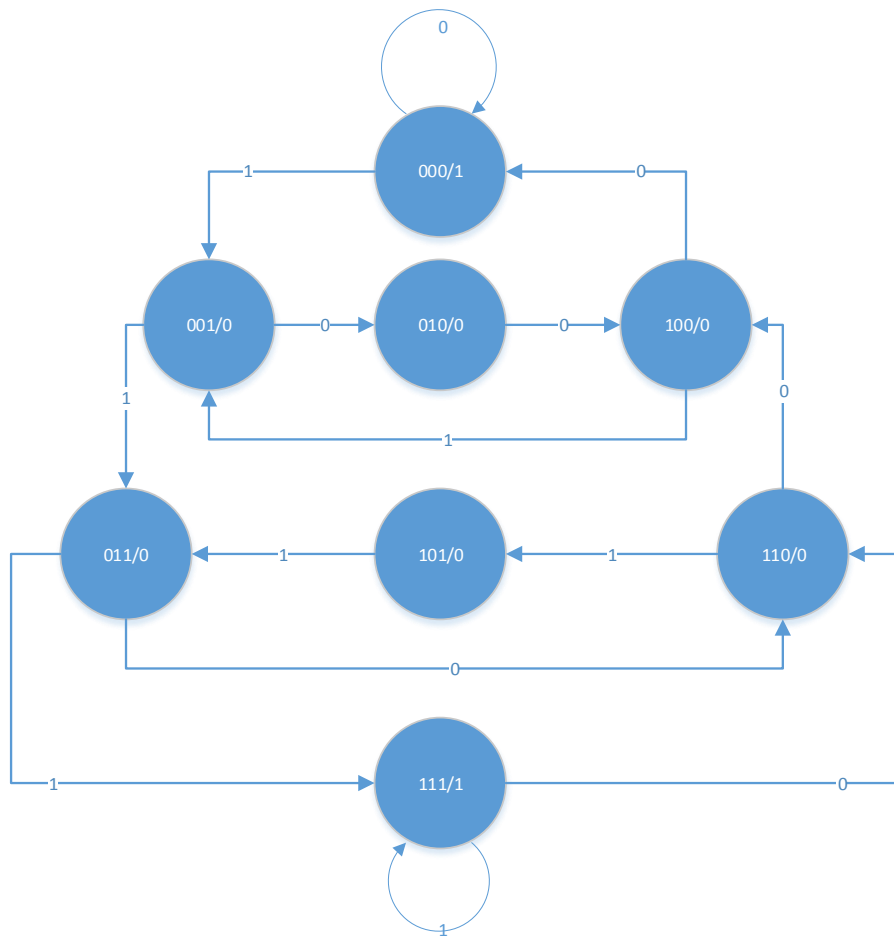
PS(现态)		NS(次态)			
B	A	状态名	状态名	B(D)	A(D)
0	0	a	b	0	1
0	1	b	c	1	1
1	1	c	d	1	0
1	0	d	c	1	1

可绘制其框图如下:

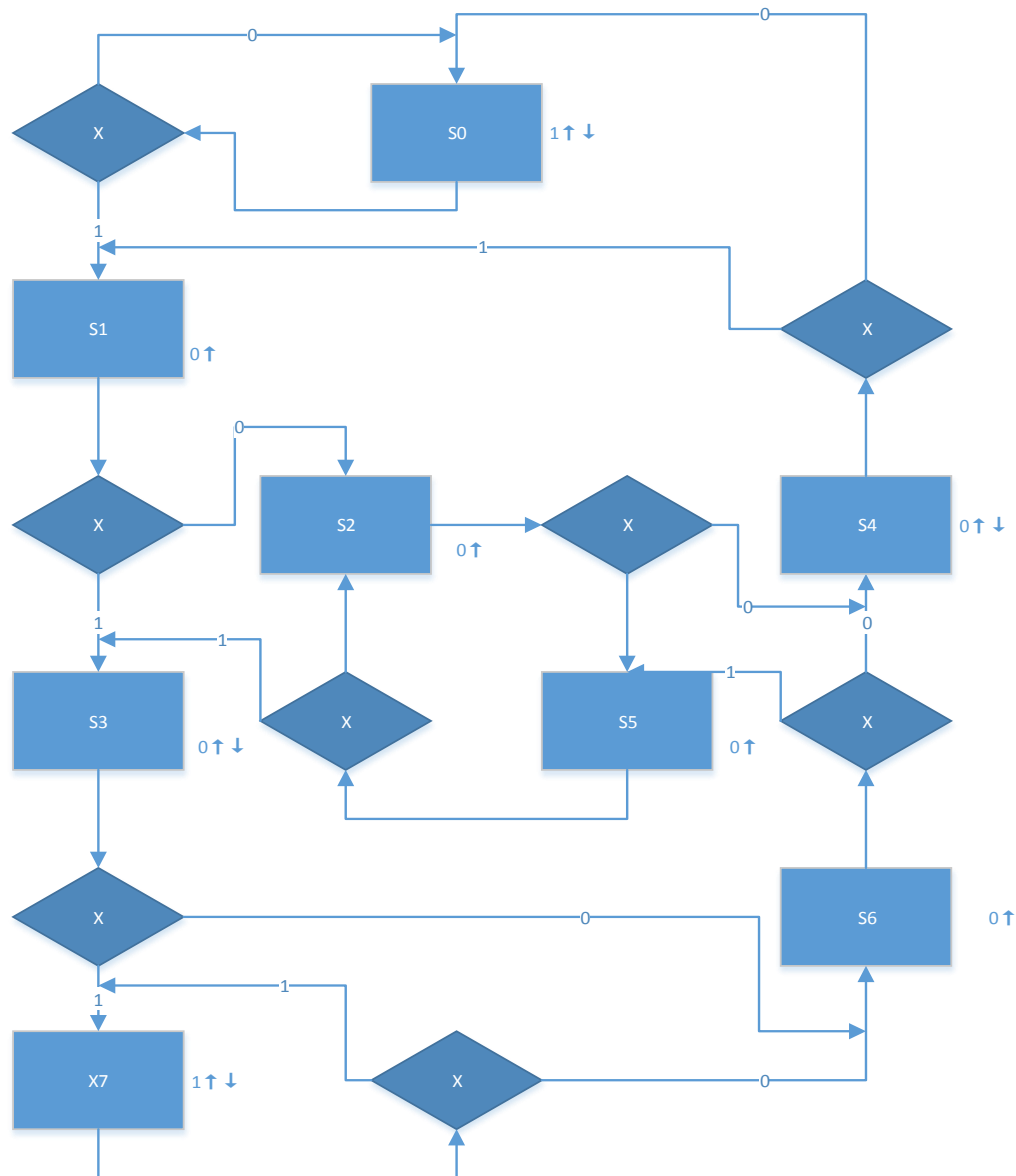


5.6

根据题意可得其状态图如下:



设状态 000~111 分别为 S1~S7，根据状态图可以画出逻辑流程图如下：



从而可以得到 ASM 图。

5.7

控制器是一种时序网络，作用是解释所收到的各个输入信号，根据输入信号和预定的算法流程图使整个系统按制定的方工作，三个控制器都由硬件实现。

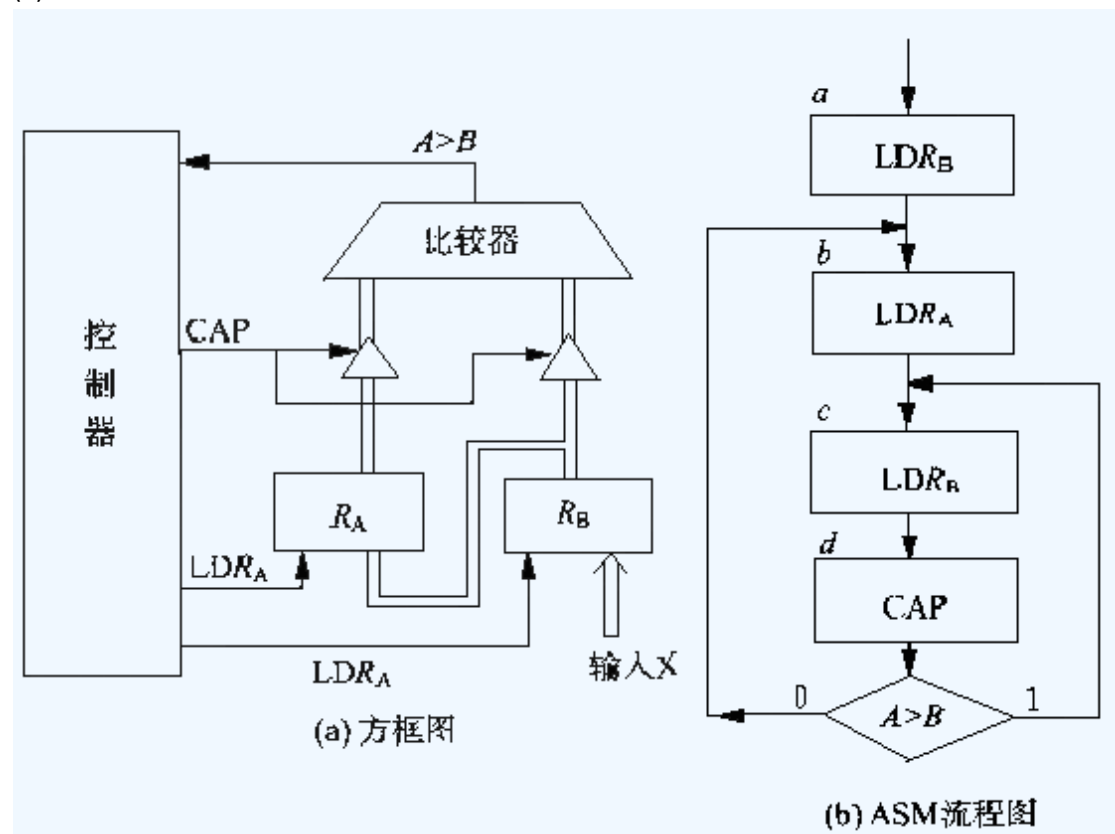
计数器型控制器是计数器将状态按一定原则进行编码分配，设计成一种状态计数型的控制器。各种形式的计数器均可以改造成控制器，只要按照控制条件实现状态的转移，就可以从不同状态下的输出得到所需要的控制信号。

选择器型控制器利用多路选择器输出的组合来产生控制器次态的激励函数，多路选择器应有足够的输入端，使得所有的状态变量都有其相应的输入端。

时序型控制器的基本设计思想是每一个状态使用一个 D 触发器，即“一对一法”，触发器的数目就是状态数，并依赖最新代码实现状态转移，因而需要较多数量的触发器。这种方法设计简单，不需要状态译码。

5.8

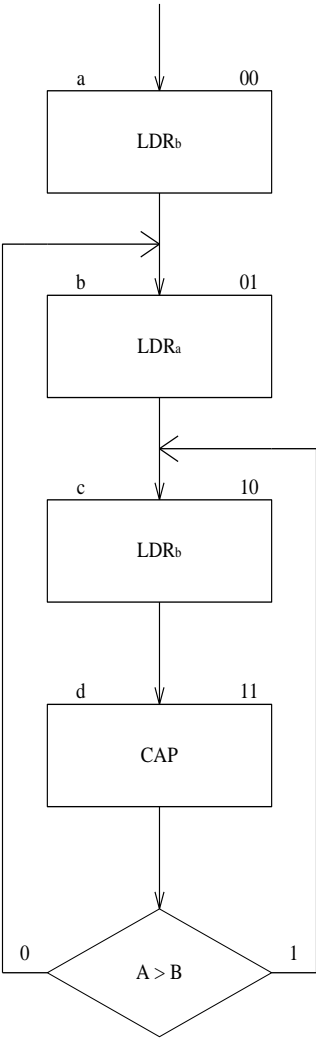
(1) 框图及 ASM 流程图



(2)

1) 计数器型控制器

① 状态转移真值表



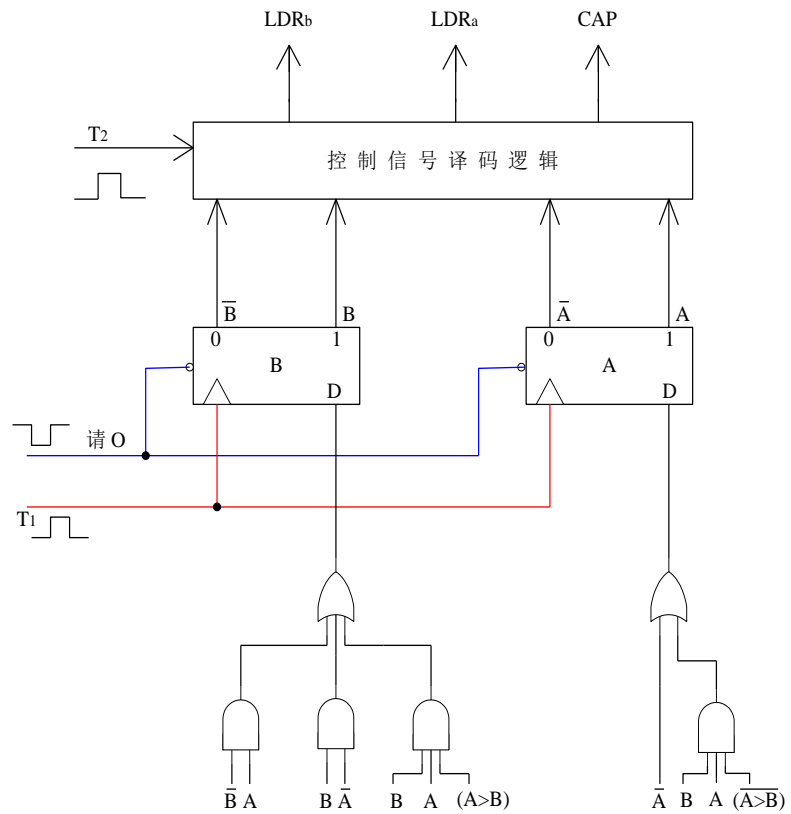
PS		NS		转移条件 C
B	A	B(D)	A(D)	
0	0	0	1	无条件转移
0	1	1	0	无条件转移
1	0	1	1	无条件转移
1	1	1	0	(A > B) = 1
		0	1	A > B = 0

根据 $NS = \sum PS \cdot C$ 公式，激励方程表达式为：

$$B(D) = \bar{B}\bar{A} + B\bar{A} + BA \cdot (A > B)$$

$$A(D) = \bar{B}\bar{A} + B\bar{A} + BA \cdot (\overline{A > B}) = \bar{A} + BA \cdot (\overline{A > B})$$

② 电路图

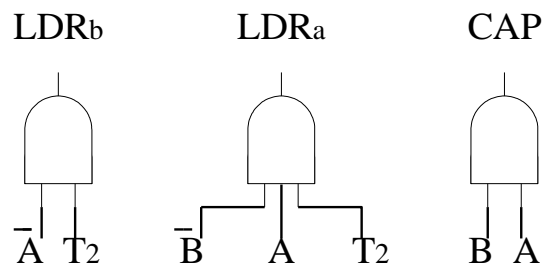


③控制信号表达式:

$$LDRb = (\text{状态 a} + \text{状态 c}) T2 = (\bar{B}\bar{A} + B\bar{A}) T2 = \bar{A}T2$$

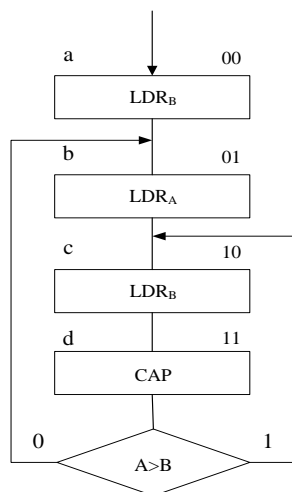
$$LDRa = \text{状态 b} \cdot T2 = \bar{B}AT2$$

$$CAP = \text{状态 d} = BA$$



2) MUX 型控制器

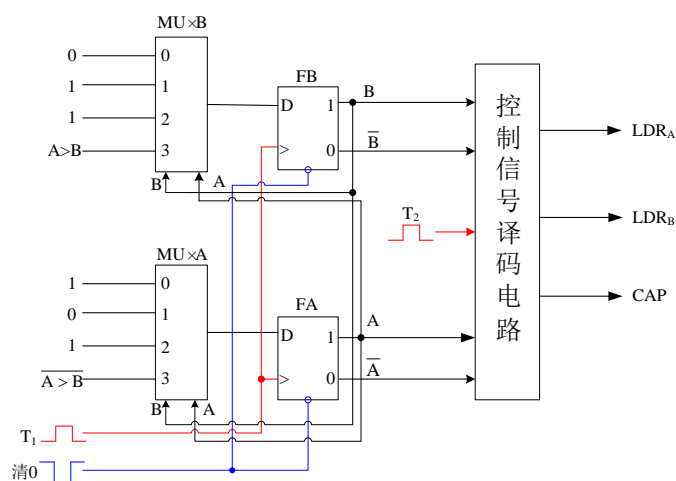
① ASM 流程图



②状态转移表

十进制编码	PS		NS		转移条件C
	B	A	B(D)	A(D)	
0 (00)	0	0	0	1	$C_B=0, C_A=1$
1 (01)	0	1	1	0	$C_B=1, C_A=0$
2 (10)	1	0	1	1	$C_B=1, C_A=1$
3 (11)	1	1	1	0	$C_B=(A>B), C_A=0$
			0	1	$C_B=0, C_A=\overline{A>B}$

③电路图



④控制信号表达式为：

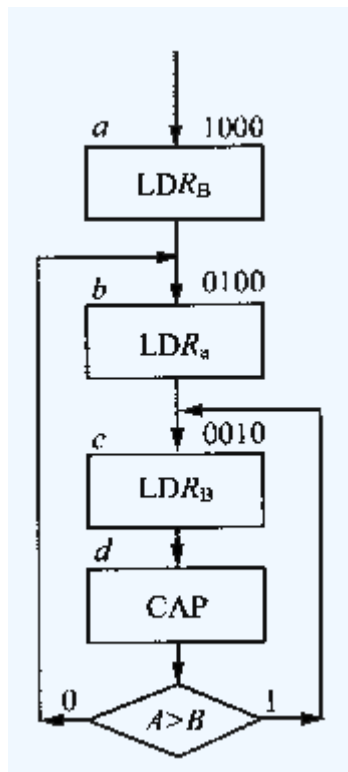
$$LDR_B = (\text{状态 } a + \text{状态 } c) \cdot T_2 = (\overline{B} \overline{A} + B \overline{A}) \cdot T_2$$

$$LDR_A = \text{状态 } b \cdot T_2 = \overline{B} A \cdot T_2$$

$$CAP = \text{状态 } d = BA$$

3) 时序型控制器

① ASM 流程图



② 状态转移表

现态(PS)				次态(NS)				转移条件(C)
Q_a	Q_b	Q_c	Q_d	Q_a	Q_b	Q_c	Q_d	
1	0	0	0	0	1	0	0	初始化强置“1”
0	1	0	0	0	0	1	0	
0	0	1	0	0	0	0	1	
0	0	0	1	0	0	1	0	$A > B$
0	0	0	1	0	1	0	0	$\overline{A > B}$

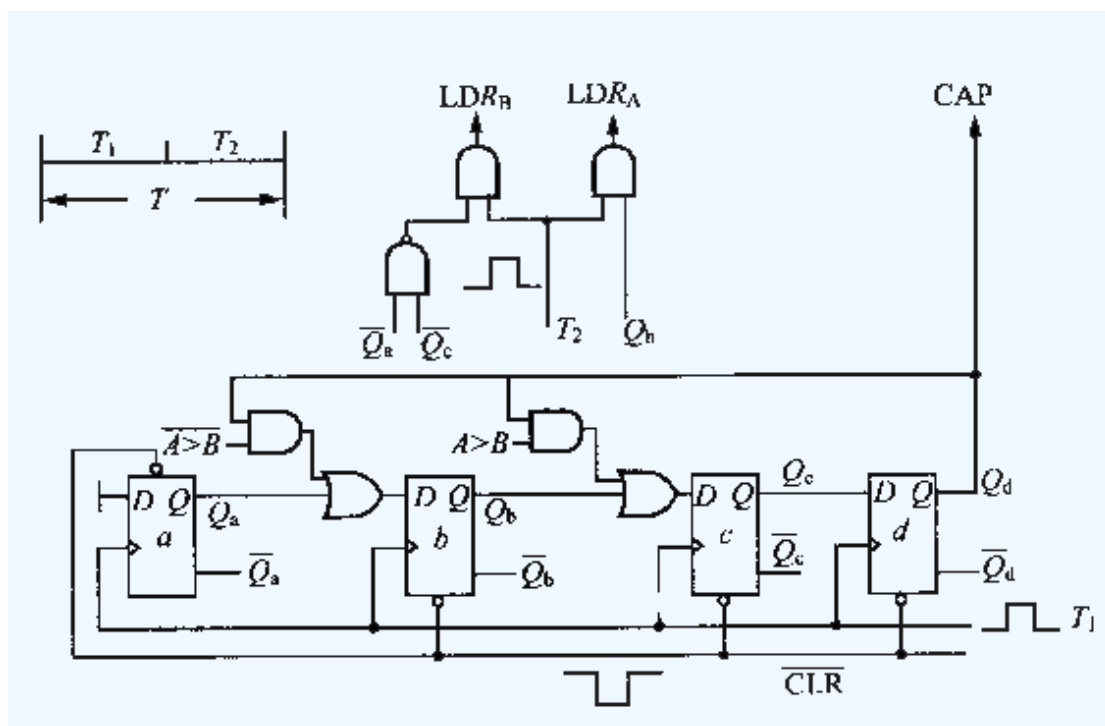
③ 写出激励方程 $NS = \sum PS \cdot C$

$$\begin{aligned}
 Q_a &= 0 \\
 Q_b &= Q_a + (A > B) \cdot Q_d \\
 Q_c &= Q_b + (A > B) \cdot Q_d \\
 Q_d &= Q_c
 \end{aligned}$$

控制信号表达式

$$\begin{aligned}
 LDR_B &= (Q_a + Q_c) \cdot T_2 \\
 LDR_A &= Q_b \cdot T_2 \\
 CAP &= Q_d
 \end{aligned}$$

④逻辑电路图



5.9

(1)计数型控制器

1) ASM 流程图与编码(Q₁,Q₂为两个触发器)

令状态 a=00, b=01, c=11, d=10

2) 状态转移表

PS		NS		转移条件
Q ₂	Q ₁	Q ₂	Q ₁	
0	0	0	1	
0	1	0	1	$\overline{x}\overline{y}$
		1	0	$xy\overline{z}$
		1	1	\overline{x}
1	1	0	0	$x\oplus w$
		1	0	$\overline{x}w$
		1	1	xw
1	0	0	0	

3) 次态方程

$$Q_2^n = \overline{Q_2}Q_1xy\overline{z} + Q_2Q_1\overline{x}w + Q_2Q_1xw$$

$$Q_1^n = \overline{Q_2}\overline{Q_1} + \overline{Q_2}Q_1x\overline{y} + \overline{Q_2}Q_1\overline{x} + Q_2Q_1xw$$

4) 控制信号

$$F = \overline{Q_2}Q_1xy$$

(2)MUX 型控制器

- 1) ASM 流程图、编码、状态转移真值表同计数器型控制器
- 2) MUXA 的输出接触发器 D₂, MUXB 的输出接触发器 D₁, 则

$$MUXA(0) = 0$$

$$MUXA(1) = xy\overline{z} + \overline{x} = y\overline{z} + \overline{x}$$

$$MUXA(2) = 0$$

$$MUXA(3) = \overline{x}\overline{w} + xw$$

$$MUXB(0) = 1$$

$$MUXB(1) = x\overline{y} + \overline{x} = \overline{y} + \overline{x}$$

$$MUXB(2) = 0$$

$$MUXB(3) = xw$$

3) 控制信号

$$F = \overline{Q_2}Q_1xy$$

(3)时序型控制器

- 1)使用 Q_a、Q_b、Q_c、Q_d 四个触发器对应四个状态 a, b, c, d
- 2)状态转移真值表及激励方程表达式

PS				NS				转移条件
Q _a	Q _b	Q _c	Q _d	Q _a	Q _b	Q _c	Q _d	
1	0	0	0	0	1	0	0	
0	1	0	0	0	1	0	0	$x\overline{y}$
				0	0	0	1	$xy\overline{z}$
				0	0	1	0	\overline{x}
0	0	1	0	1	0	0	0	$x \oplus w$
				0	0	0	1	$\overline{x}w$
				0	0	1	0	xw
0	0	0	1	1	0	0	0	

$$Q_a(D) = Q_c x \oplus w + Q_d$$

$$Q_b(D) = Q_a + Q_b \overline{x}y$$

$$Q_c(D) = Q_b \overline{x} + Q_c xw$$

$$Q_d(D) = Q_b xy\overline{z} + Q_c \overline{x}w$$

(3) 控制信号

$$F = Q_b xy$$

5.10

5.11

状态图的规则是以圆圈表示电路的各个状态，以箭头表示状态的转换方向。同时在箭头旁边注明状态转换前的输入变量取值和输出值。状态图对于小型局部电路的状态转换描述是比较直观明了的，但对于复杂系统，一般情况下用一个状态图表示系统某一时刻所有状态变量的取值是不可能的。

而 MDS 从逻辑流程图直接导出，圆圈里面也是状态名，外面表示的是输出变化，而且可以表示条件输出，因此 MDS 图用来描述控制器具有更丰富的表达能力。

5.12 类似图 5.12P202。

5.13

输入 X 将其存放在寄存器 A 的 A8 位，然后 Ai 的值加 1。

即输入一个数到寄存器，将其右移一位。

5.14

寄存器传送语言是一种硬件程序语言，它是设计数字系统和使设计过程走向自动化的工具。用寄存器传送语言进行数字系统设计分为两步，首先，利用 RTL 来描述待设计的数字系统，如寄存器间的传送操作，算术、逻辑、移位操作以及输入输出操作等；其次，根据采用电路结构器件类型，进行适当的逻辑变换，得到符合某个标准的硬件实施方案。

5.15

算术逻辑单元（ALU）能够实现多组算术运算和逻辑运算的组合逻辑电路，包括累加器，加法器以及寄存器。

累加器主要保存参加运算的一个加数及相加运算结果；

加法器完成两个数的相加运算；

寄存器用来存放计算结果。

5.16

LD A 6 这条指令表示将 6 存入寄存器 A 中，执行过程如下：

取指令阶段完成从存储器中把操作码取出并送入指令寄存器，再经译码器译出取数指令操作；
执行阶段则完成将操作数 6 送入寄存器 A 的操作。

5.17

(1) 常见的 A/D 转换器有并行比较型 ADC、逐次比较型 ADC、双积分式 ADC。

并行比较型 ADC 提供了一个快速的转换时间，因为其有较高的吞吐量。缺点是由于常用的二进制编码需要较多数量的比较器。

逐次比较型 ADC 完成一次转换所需要的时间与其位数和时钟脉冲频率有关，位数越少，时间频率越高，转换所需时间越短。具有转换速度快，精度高的特点。

双积分式 ADC 消除了由于积分非线性带来的误差，且抗干扰能力较强，对时钟源稳定度较低。

(2) 常见的 D/A 转换器有权电阻 DAC、R-2R T 型 DAC、R-2R 倒 T 型 DAC。

有权电阻 DAC 电路结构比较简单，所用的电阻元件数比较少；缺点是电阻、电压值精度要求高，不同电阻值的阻值相差比较大。位数越多，问题越突出。

R-2R T 型 DAC 电阻种类少，只有 R 和 2R 两种，精度易保证，缺点是电阻数量较多，且在动态变化过程中需要一定传输时间，影响工作速度，有可能产生大脉冲。

R-2R 倒 T 型 DAC 中各支路电流直接流入了运算放大器的输入端，它们之间不存在传输的时间差，因而提高了转换速度并减小了动态过程中输出端可能出现的尖峰脉冲，因此其速度较快，应用最多。

(3) 采样就是在波形上采集大量的离散值，从而可以确定波形。保持是指采样后采样频率必须保持不变，直到下一个采样发生。只有这样才可以使得 ADC 有时间去处理采样值。通过采样-保持电路从而可以得到近似输入的模拟波形。

5.18

采样间隔	量化级	二进制编码
1	0	0000
2	5	0101
3	8	1000
4	7	0111
5	5	0101
6	4	0100
7	6	0110
8	10	1010
9	14	1110
1 0	15	1111
1 1	15	1111
1 2	15	1111
1 3	14	1110

5. 19

由电路图知， R_0 是输入二进制码最低位对应的权电阻，所以有

$R_1 = R_0 / 2 = 40K\Omega$, $R_2 = R_0 / 4 = 20K\Omega$, $R_3 = R_0 / 8 = 10K\Omega$,

$V_o = -\frac{R_f}{R} \cdot \frac{V_{REF}}{2^3} \cdot \sum_{i=0}^3 D_i 2^i$, 其中 $R_f = 5K\Omega$, $R = R_3 = 10K\Omega$, 代入得:

$V_o = -\frac{5K\Omega}{10K\Omega} \cdot \frac{5V}{2^3} (1 \times 2^3 + 1 \times 2^2 + 1 \times 2^0) = -4.0625V$

5.20

(1)分辨率为: $10/2^8=0.16$

(2) 根据逐次比较的原理可得:

5	7.5	6.25	6.875	7.1875	7.34375	7.42188	7.38281
1	0	1	1	1	1	0	0

最后得到 A/D 转换器的结果为 10111100，对应模拟电压为 7.382821V。