

实验三

试验名称：序列检测模块设计

1、功能描述：

设计一个序列检测器，检测串行输入数字序列 d 中出现的指定的序列模式：“10110”；当在输入序列中检测到“10110”时，则设置发现标志（flag）为 1，否则，置 0；

当指定序列模式重叠形式出现时，只有第一个序列有效，即不支持重叠形式的有效序列，

如：

d : 0101_1011_0110_1011_0100

flag: 0000_0100_0001_0000_1000

- (1) 使用在 Spartan - 3E FPGA Starter Kit Board 上的发光二极管 LED0 作为检出标志 flag；
- (2) 使用滑动开关 SW3 作为复位开关；
 - a) 当 SW3 = 0 时，复位；
 - b) 当 SW3 = 1 时，开始检测；
- (3) 使用 Spartan - 3E FPGA Starter Kit Board 上的辅助连接端口 6-pin header J1 的第 1 个管脚 J1<0>作为输入端口 d ；

NET "J1<0>" LOC = "B4" | IOSTANDARD = LVTTTL | SLEW = SLOW | DRIVE = 6 ;

2、实验要求：

分别采用 Mealy 型、Moore 型 FSM 实现序列检测器。

基于 FPGA 集成开发环境 Xilinx ISE 10.1 和仿真工具 ModelSim XE 6.3c:

- (1) 编写设计模块和测试台模块；
- (2) 完成行为（功能）仿真；
- (3) 完成设计实现（Implement）布局布线后仿真。