

第2章 数字电路中的基本门电路

2.1 集成逻辑门电路的一般特性

2.2 CMOS集成门电路

2.3 TTL集成门电路

2.4 集成门电路的实际应用问题

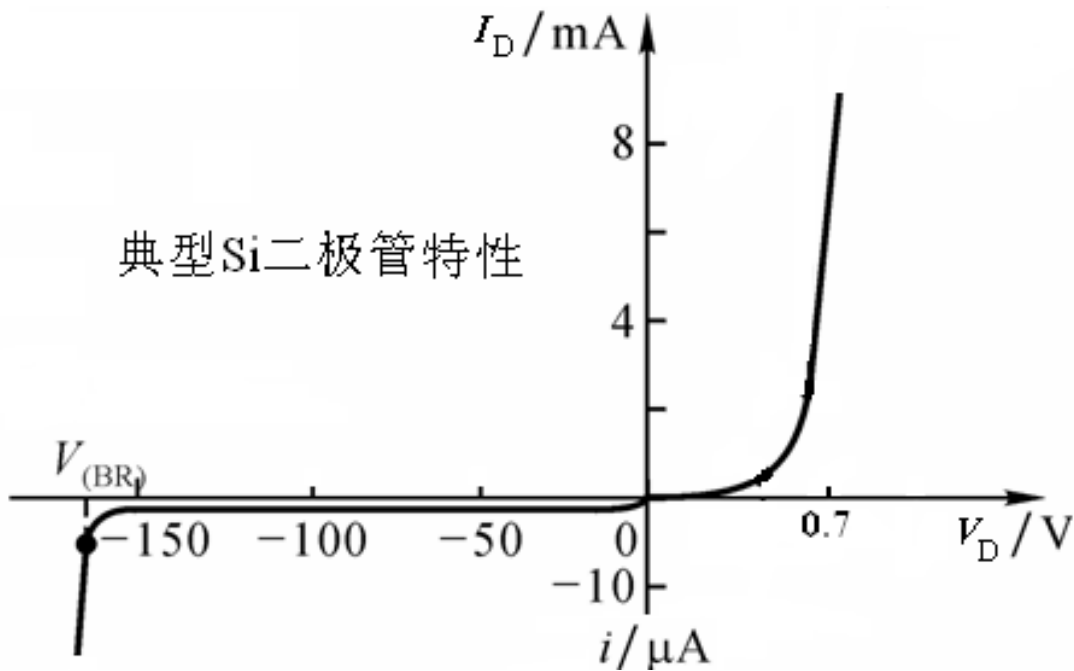
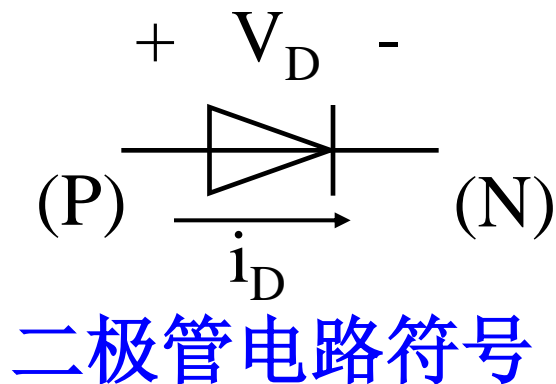
前面介绍的各种基本逻辑功能电路,其内部具体的电子电路是如何组成的,电路的工作原理又如何?

本章讨论实现各种基本逻辑功能的具体电子电路,它们的工作原理,使用时的注意事项等。

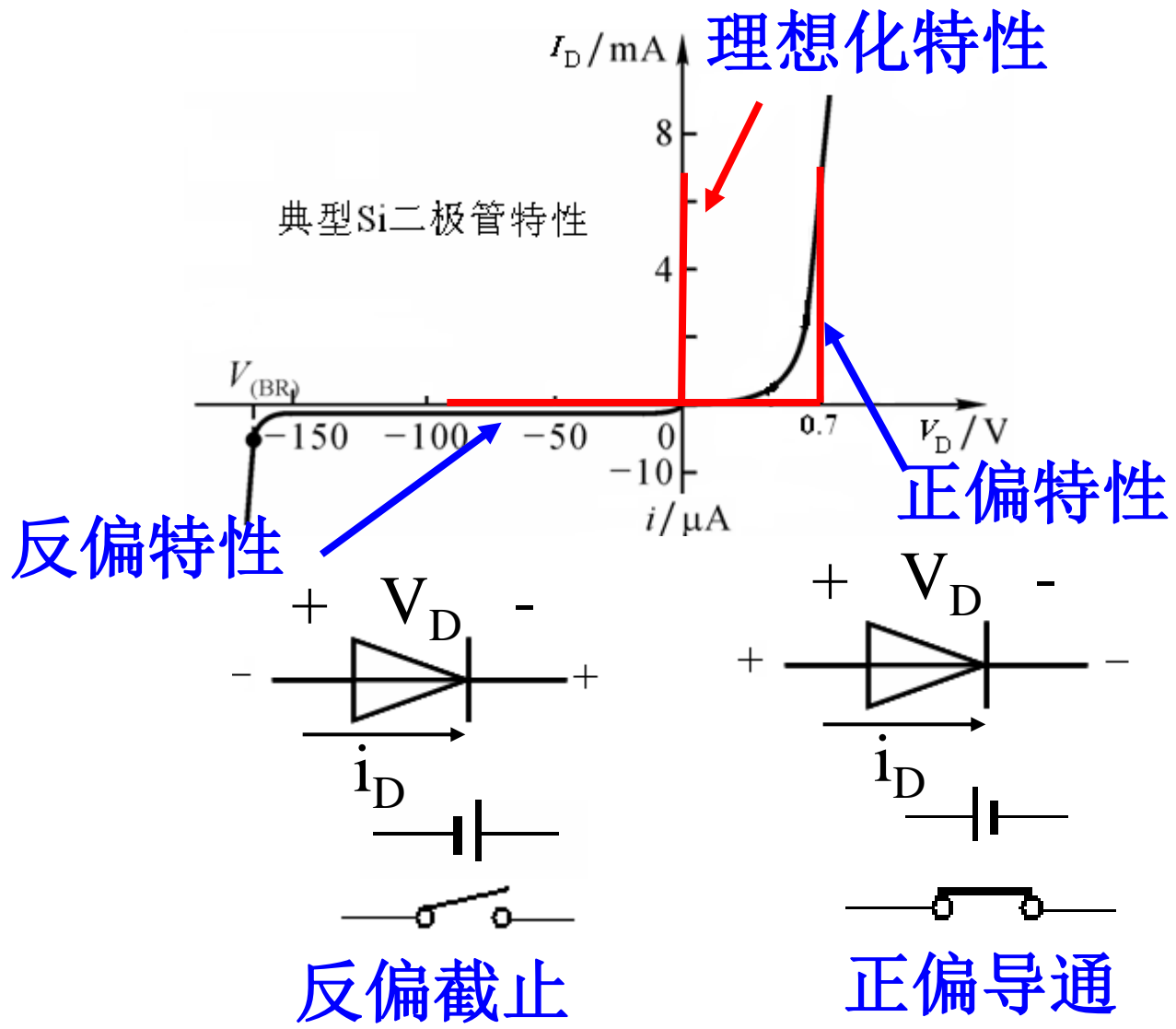
复习 半导体器件的开关特性和开关电路

一、二极管的开关特性和开关电路

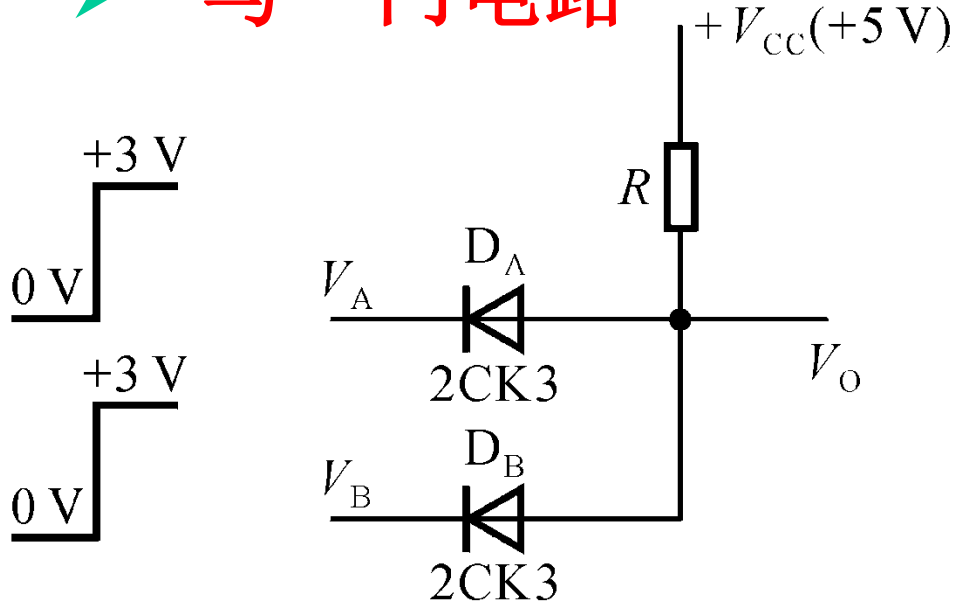
1. 开关特性



二极管的特性曲线



“与” 门电路



V_A	V_B	D_A	D_B	V_O
0 V	0 V	导通	导通	0.7 V
0 V	3 V	导通	截止	0.7 V
3 V	0 V	截止	导通	0.7 V
3 V	3 V	导通	导通	3.7 V

数字电路中，输入只有2种状态：要么是高电平(+3V)，要么是低电平(0V)。

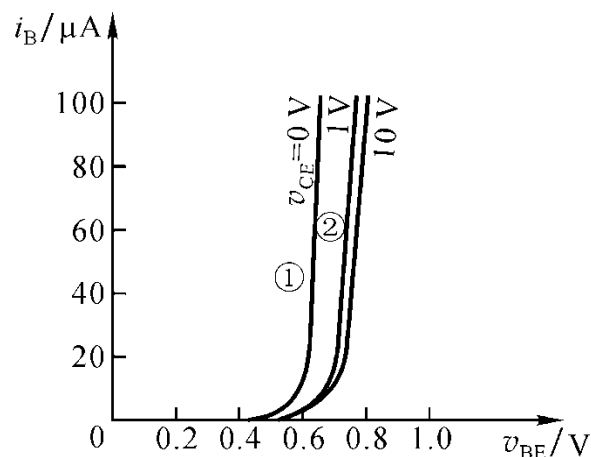
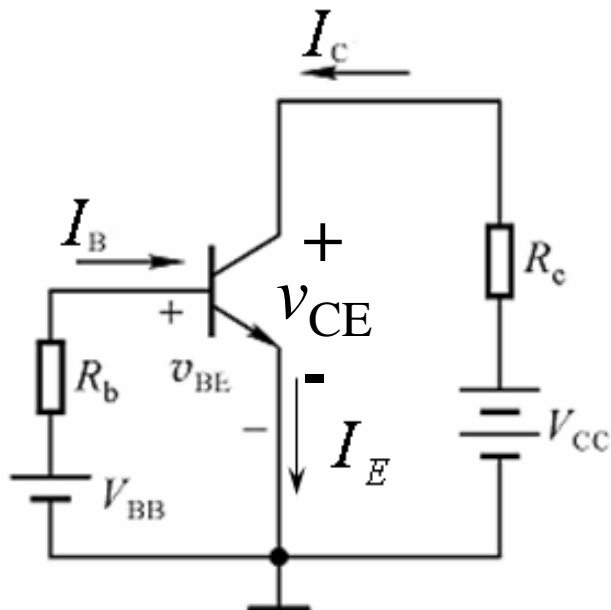
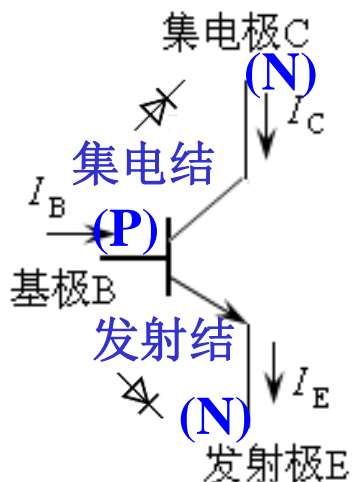
真值表

V_A	V_B	V_O
0	0	0
0	1	0
1	0	0
1	1	1

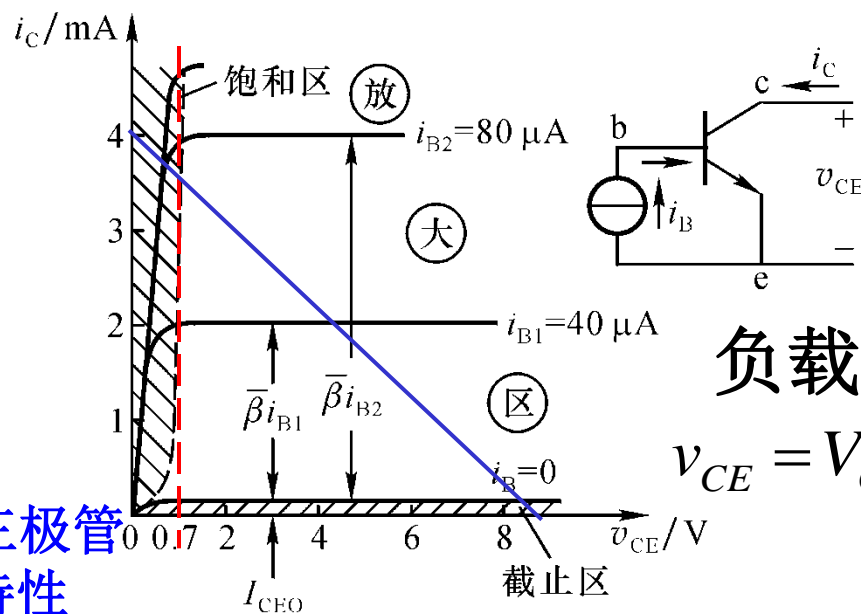
输入 V_A “与” V_B 都有效(高电平)时，输出 V_O 才有效(高电平)，称为“与”逻辑。

二、三极管的开关特性和开关电路

1. 开关特性



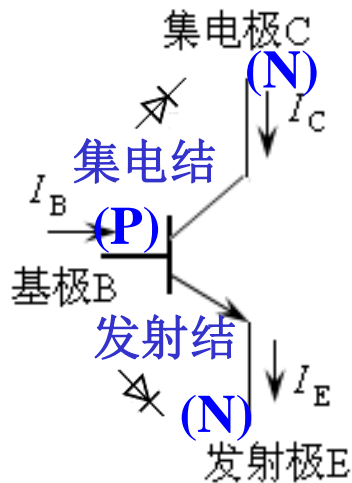
NPN三极管
输入特性



NPN三极管
输出特性

负载线方程

$$v_{CE} = V_{CC} - i_C R_C$$



四种工作状态

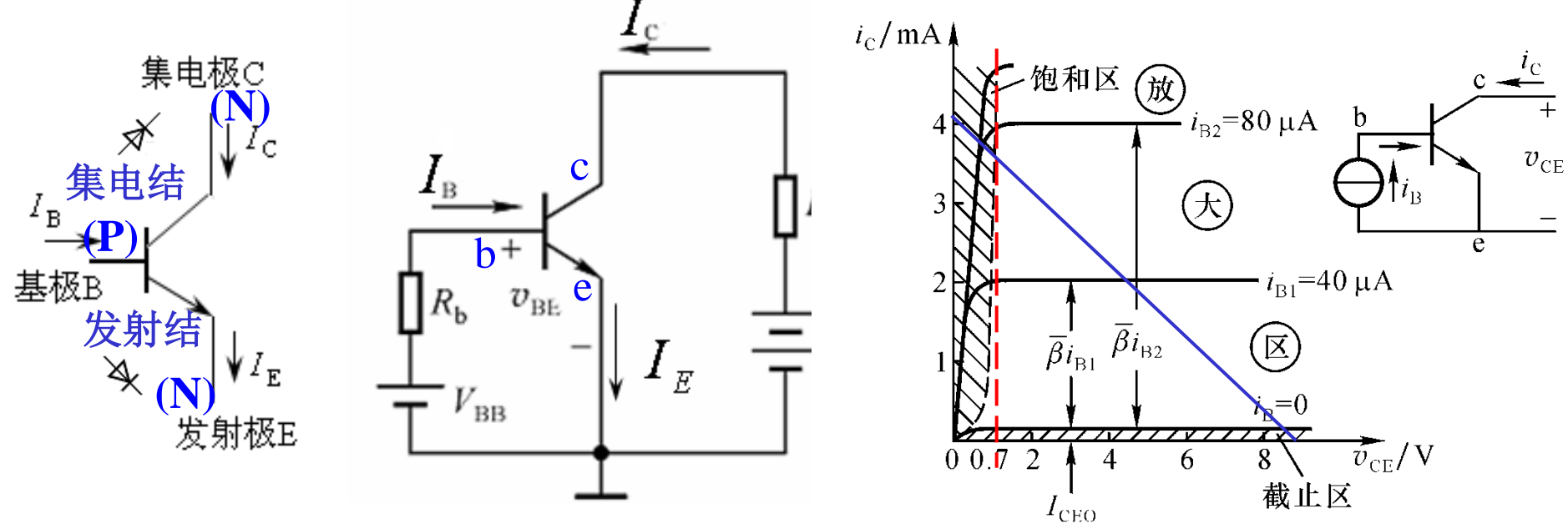
发射结**正偏**，集电结**反偏**：**放大**工作状态 模拟电路

发射结**反偏**，集电结**反偏**：**截止**工作状态

发射结**正偏**，集电结**正偏**：**饱和**工作状态

发射结**反偏**，集电结**正偏**：**倒置**工作状态 较少应用

数字
电路



(1) 放大区 (发射结正偏, 集电结反偏)

当be间加上正向电压, cb间加上反向电压时, 三个电极将产生图示方向的三个电流 I_B 、 I_C 、 I_E 。

$$I_B = \frac{V_{BB} - V_{BE}}{R_b}$$

$$I_E = I_C + I_B$$

在 I_B 较小时, 处放大区 $I_C = \beta I_B$

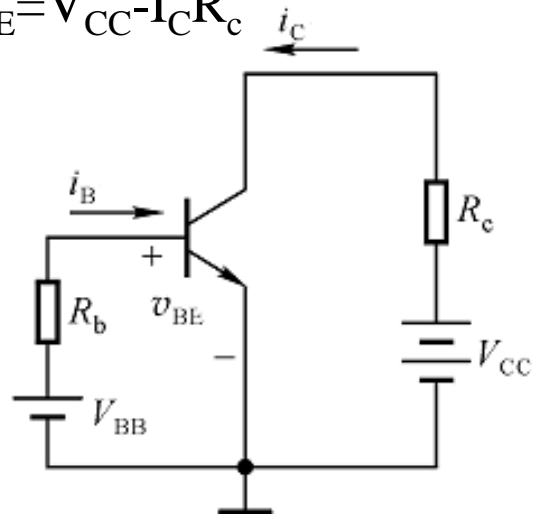
$$i_B > 0, v_{BE} = 0.7V, v_{CE} > 0.7V$$

$$V_{CE} = V_{CC} - I_C R_c$$

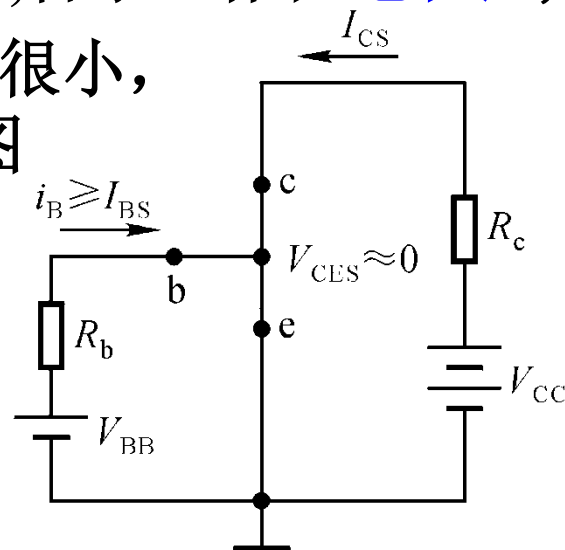
(2) **饱和区**(发射结**正偏**，集电结**正偏**) $v_{BE} > 0, v_{CB} < 0, v_{CE} < 0.7V$

当 I_B 足够大或 R_C 足够大时， $V_{CE} < 0.7V$ ，管子工作在**饱和区**，

$$V_{CE} = V_{CC} - I_C R_C$$



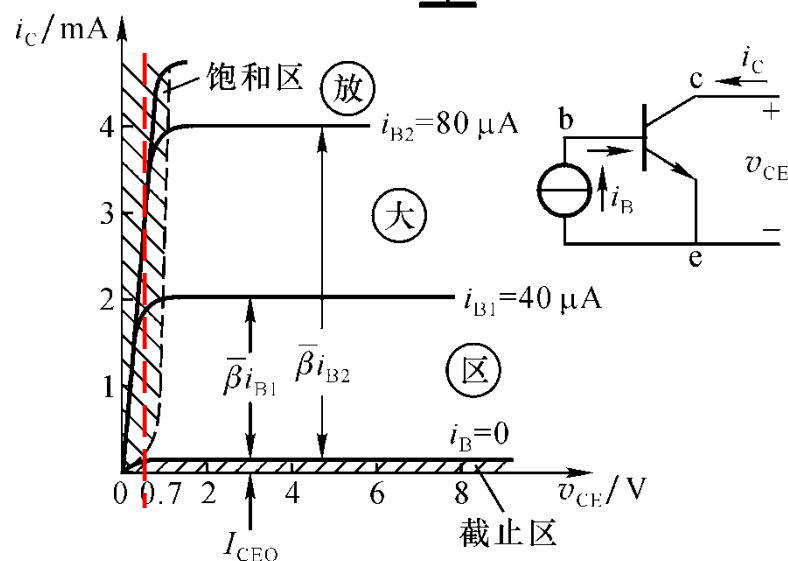
V_{CE} 两端电压很小，
等效电路如图



对硅管：

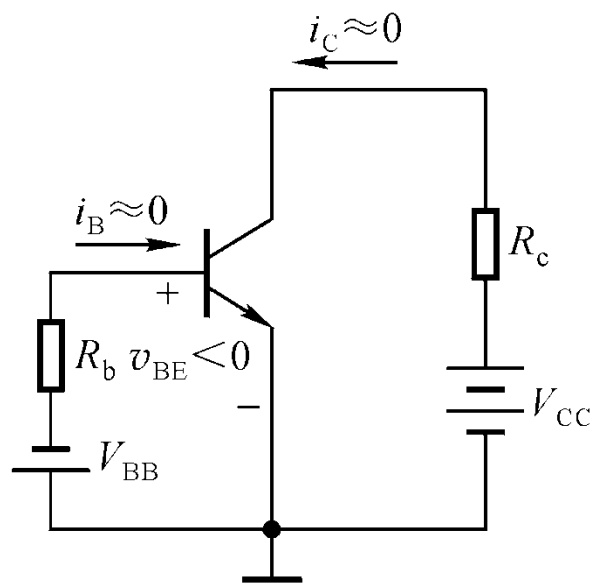
深度饱和：

$$V_{CES} \approx 0.3V$$



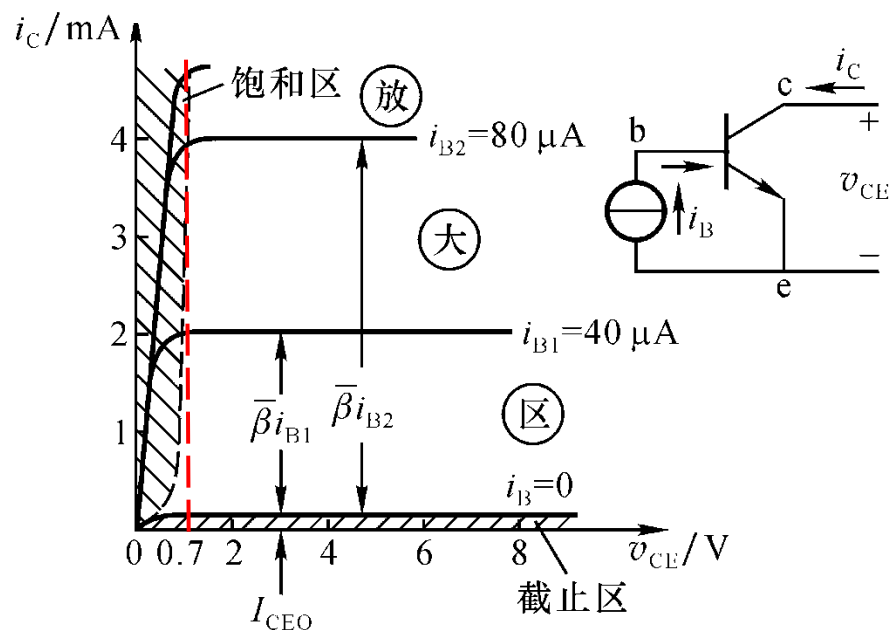
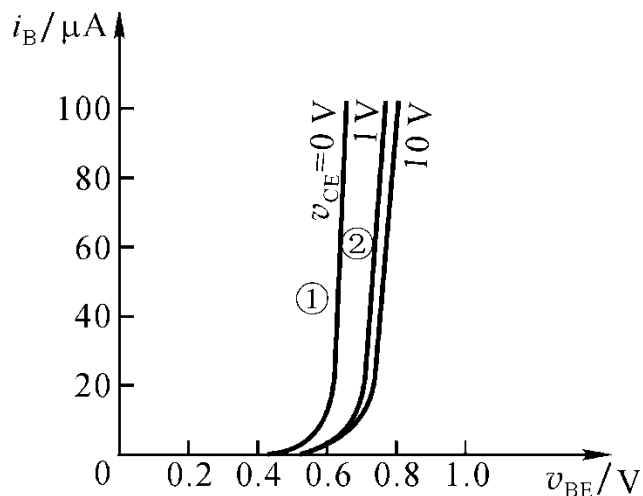
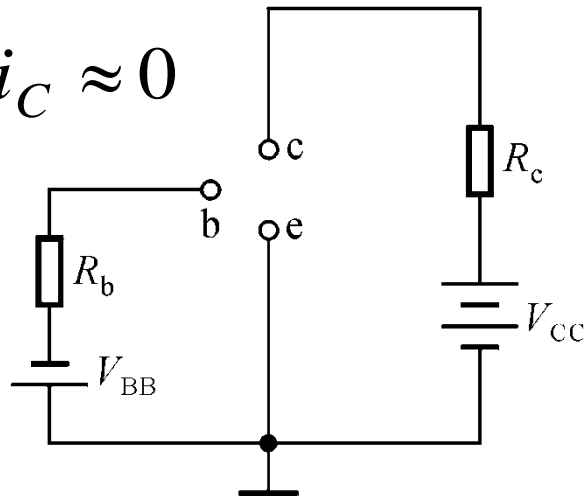
(3) 截止区 (发射结反偏, 集电结反偏)

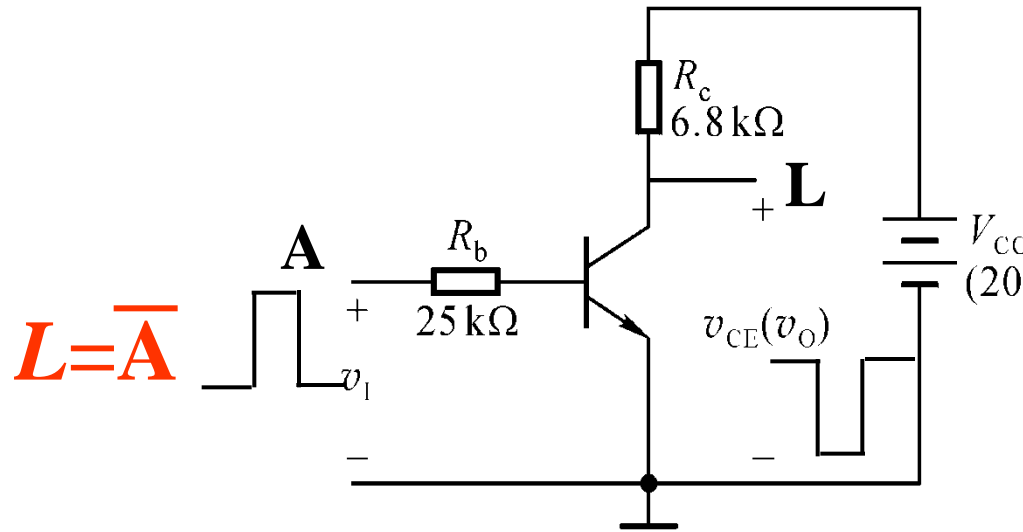
外加 $V_{RE} < 0.5V$ 时, 管子截止,



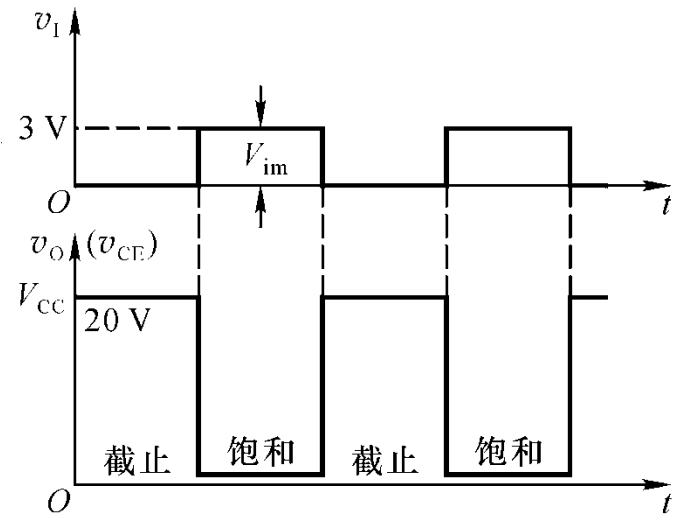
$$i_B \approx 0, i_C \approx 0$$

$$V_{CE} \approx V_{CC}$$





非门



$v_I=0$:三极管截止, $i_C=0$, $v_O=20V$

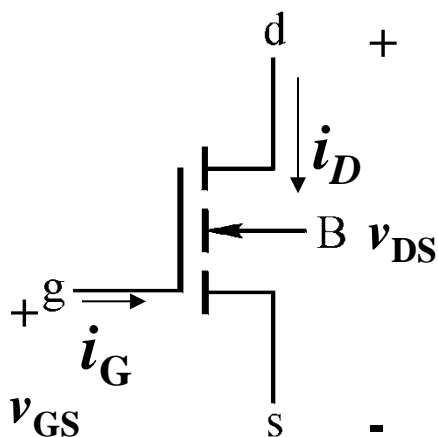
$v_I=3V$:三极管饱和 $\therefore i_B = \frac{3-0.7}{25} = 0.092\text{mA}$, $i_C = \beta i_B = 3.96\text{mA}$

$$v_{CE} = 20 - 3.96 \times 6.8 = -6.9 \text{ V} < V_{CES} (= 0.7\text{V})$$

当输入方波信号时，三极管交替工作在截止区和饱和区，类似于一个可控开关。

三、场效应管的开关特性和开关电路

1. 开关特性

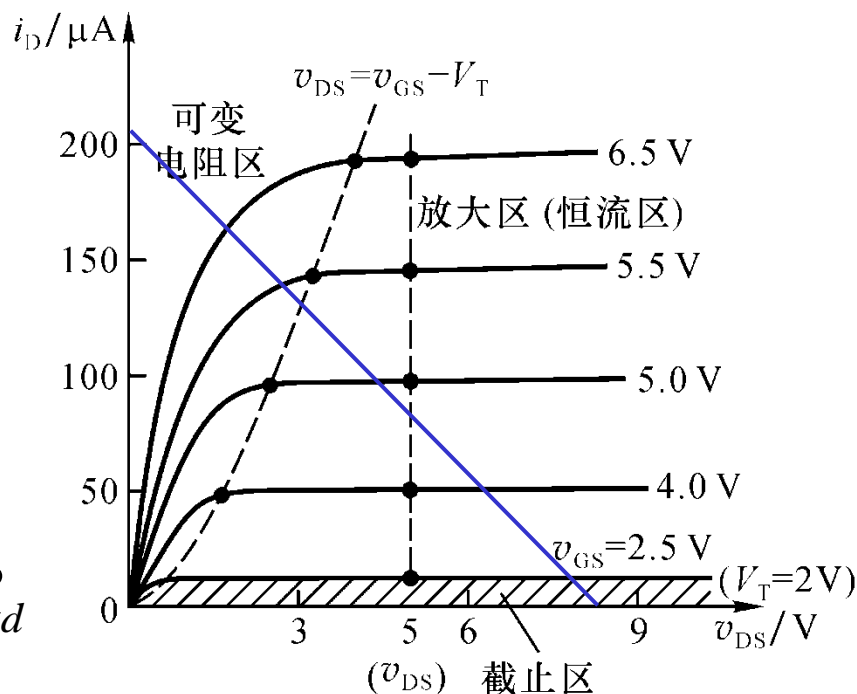


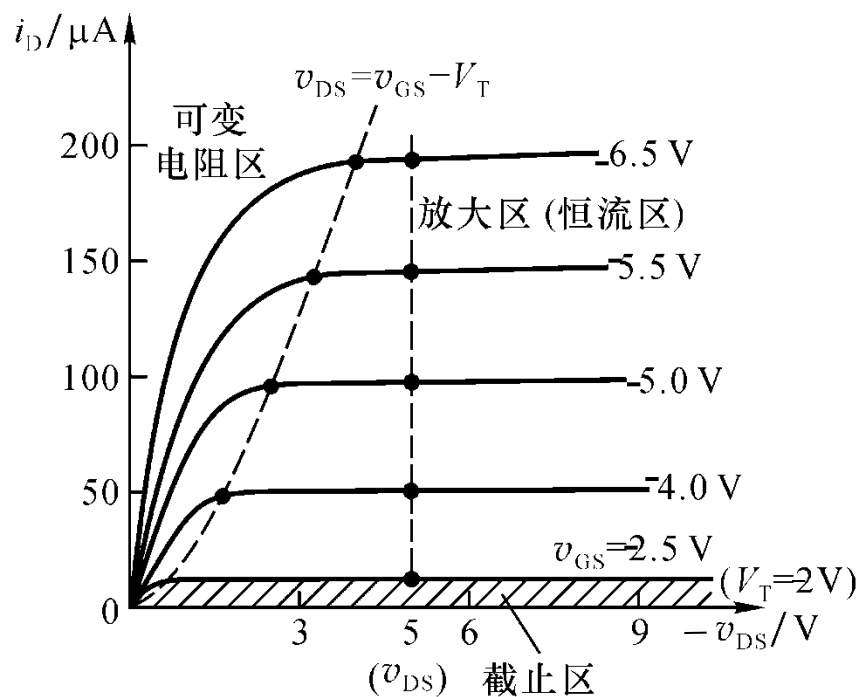
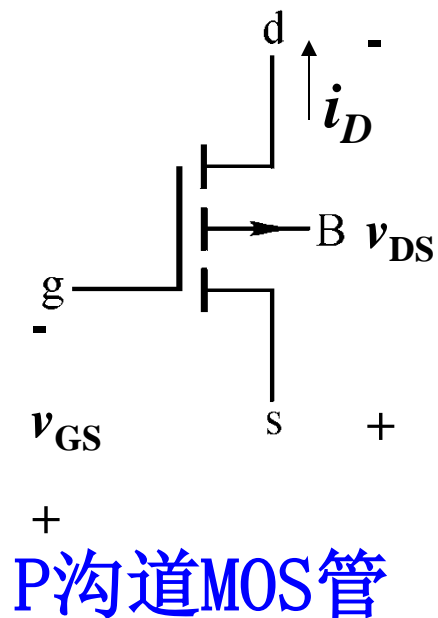
负载线方程

$$v_{DS} = V_{DD} - i_D R_d$$

N沟道MOS管

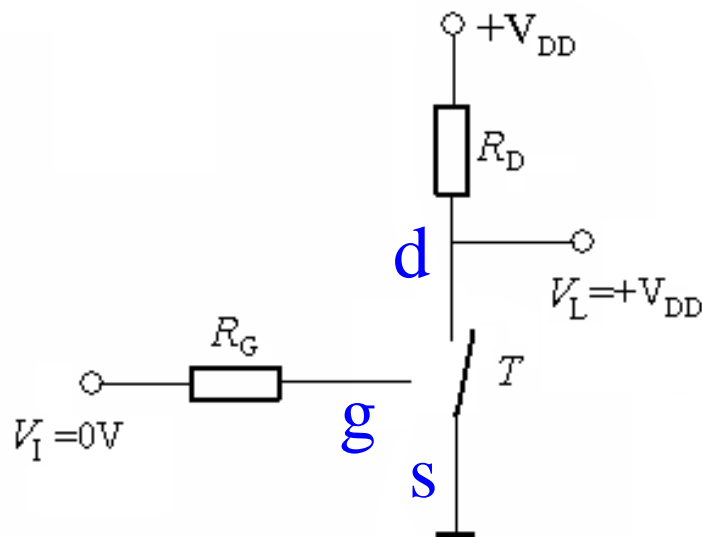
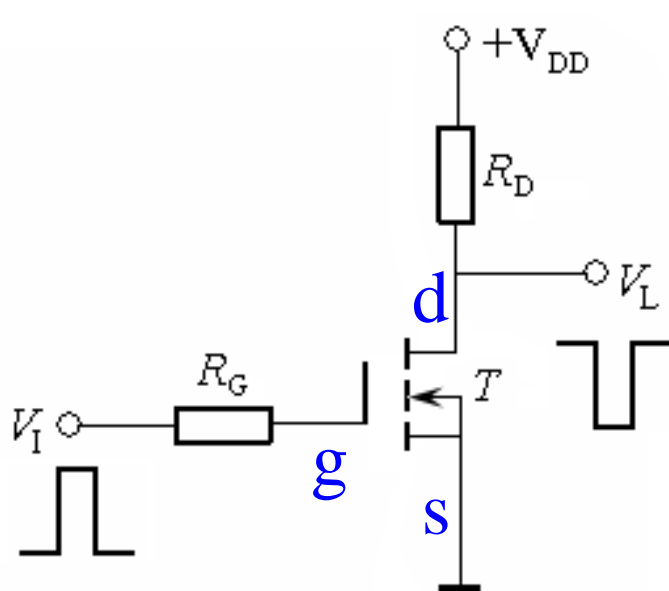
对NMOS管，当 $V_{GS} > V_T$ 时，场效应管导电，且 V_{GS} 较大，工作在可变电阻区， DS 间沟道电阻很小 $V_{GS} < V_T$ 时，场效应管截止， DS 间等效电阻很大。



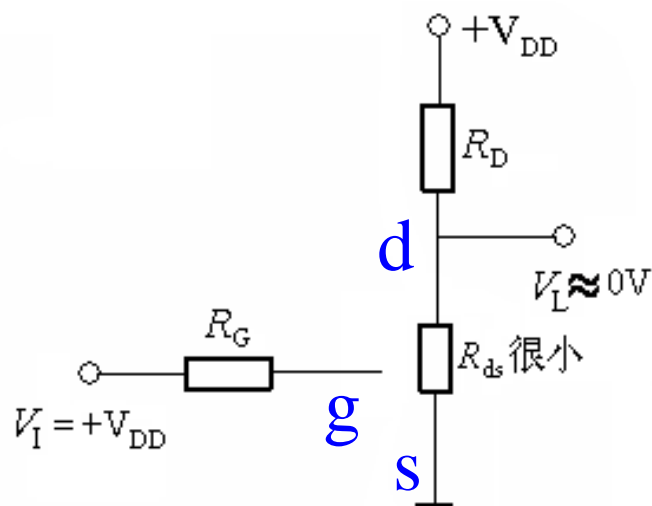


对PMOS管， V_T 为负值

2. 开关电路

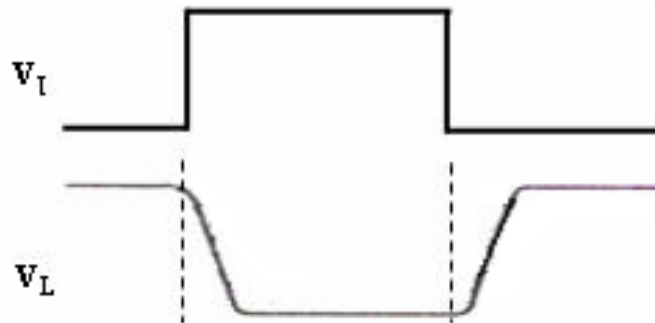


输入低电平0V，MOS管截止，漏源极间相当于开关断开，输出电压为 $+V_{DD}$ 。



输入高电平 $+V_{DD}$ ， $V_{GS} > V_T$ ，MOS管导电，漏源极间等效一只小电阻，输出近似为0V。

由于器件的电极间存在电容，还有下一级的输入电容，所以，开关电路的实际输出波形将延迟输入信号的变化，产生了延迟时间。



2.2 CMOS集成门电路

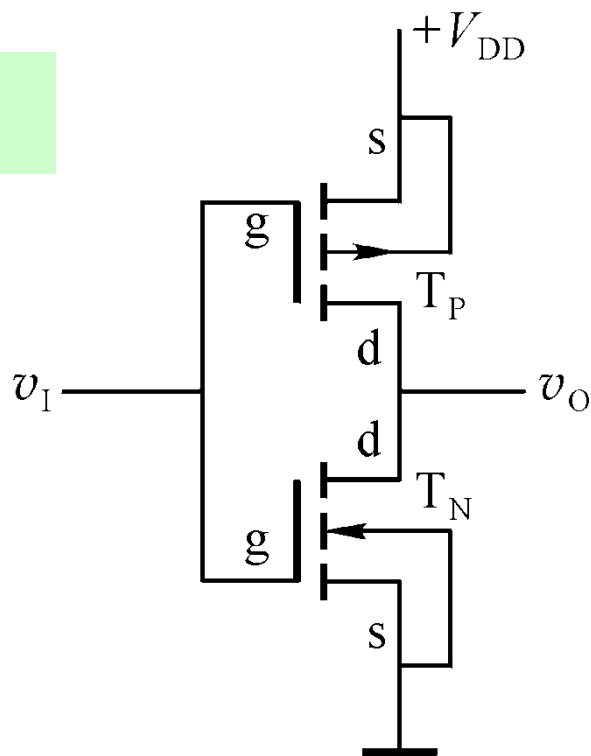
它是用NMOS和 PMOS组成的互补型的MOS电路。
它在集成度、功耗、输出高低电平等方面，都比TTL优越，是目前集成电路的主流产品。

一、典型集成CMOS门电路

➤ CMOS反相器

由增强型MOS管构成。

$$\text{设 } V_{DD} > V_{TN} + |V_{TP}|$$



■ 当 $v_I = V_{DD}$ 时,

$v_{GSN} = V_{DD} > V_{TN}$, T_N 导通, R_{DSN} 小;

$|v_{GSP}| = 0 < |V_{TP}|$, T_P 截止, R_{DSP} 很大。

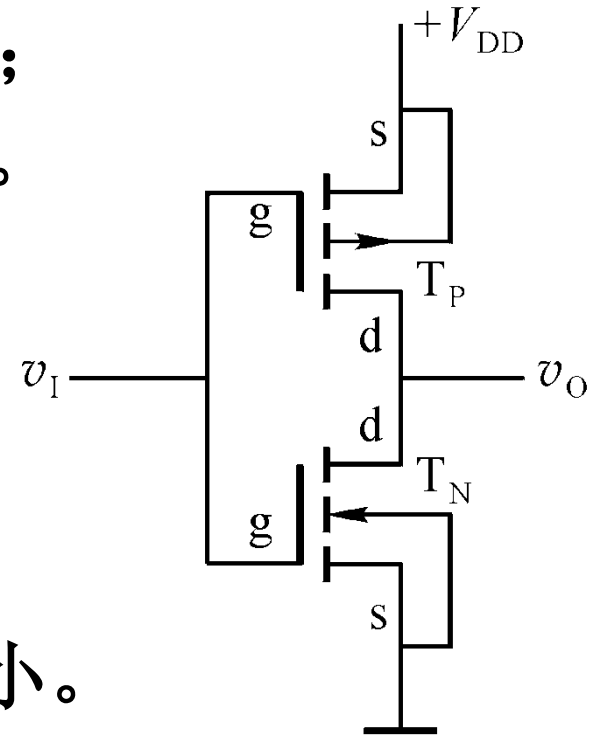
所以, $v_O = V_{OL} \approx 0V$ (R_{DSN} 与 R_{DSP} 分压)。

■ 当 $v_I = 0$ 时,

$v_{GSN} = 0 < V_{TN}$, T_N 截止, R_{DSN} 很大;

$|v_{GSP}| = V_{DD} > |V_{TP}|$, T_P 导通, R_{DSP} 小。

所以, $v_O = V_{OH} \approx V_{DD}$ 。



由于互补两管中总有一只导电, 另一管截止, 因此
CMOS门电路的功耗极微。

■ 当 $v_I = V_{DD}$ 时,

$v_{GSN} = V_{DD} > V_{TN}$, T_N 导通, R_{DSN} 小;

$|v_{GSP}| = 0 < |V_{TP}|$, T_P 截止, R_{DSP} 很大。

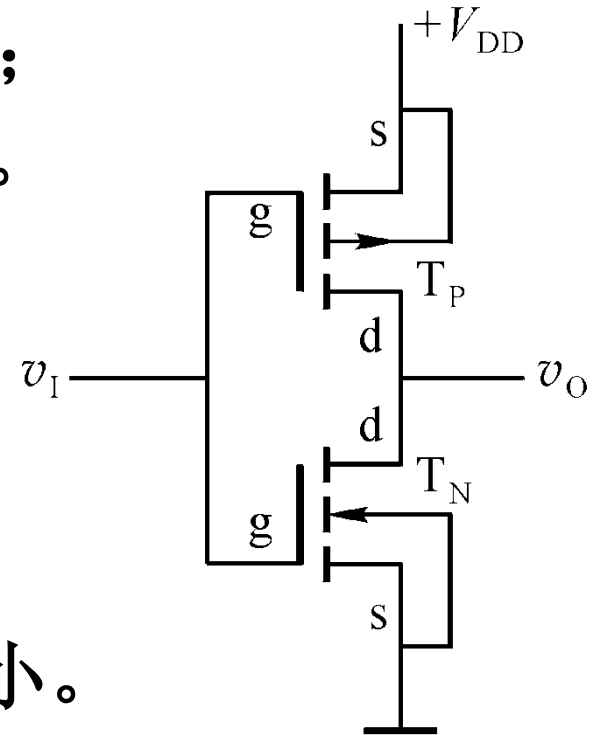
所以, $v_O = V_{OL} \approx 0V$ (R_{DSN} 与 R_{DSP} 分压)。

■ 当 $v_I = 0$ 时,

$v_{GSN} = 0 < V_{TN}$, T_N 截止, R_{DSN} 很大;

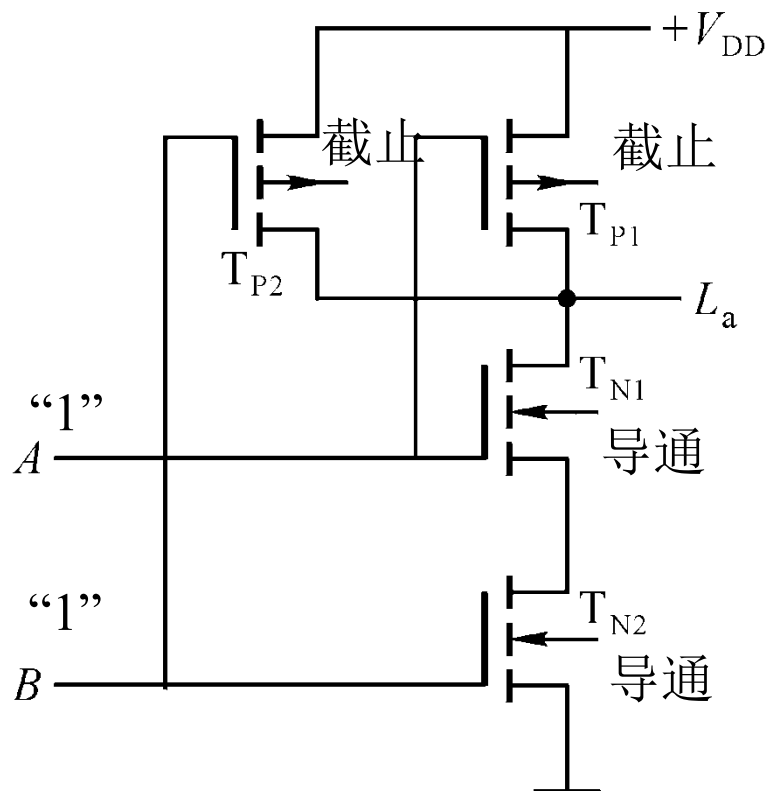
$|v_{GSP}| = V_{DD} > |V_{TP}|$, T_P 导通, R_{DSP} 小。

所以, $v_O = V_{OH} \approx V_{DD}$ 。



由于互补两管中总有一只导电, 另一管截止, 因此
CMOS门电路的功耗极微。

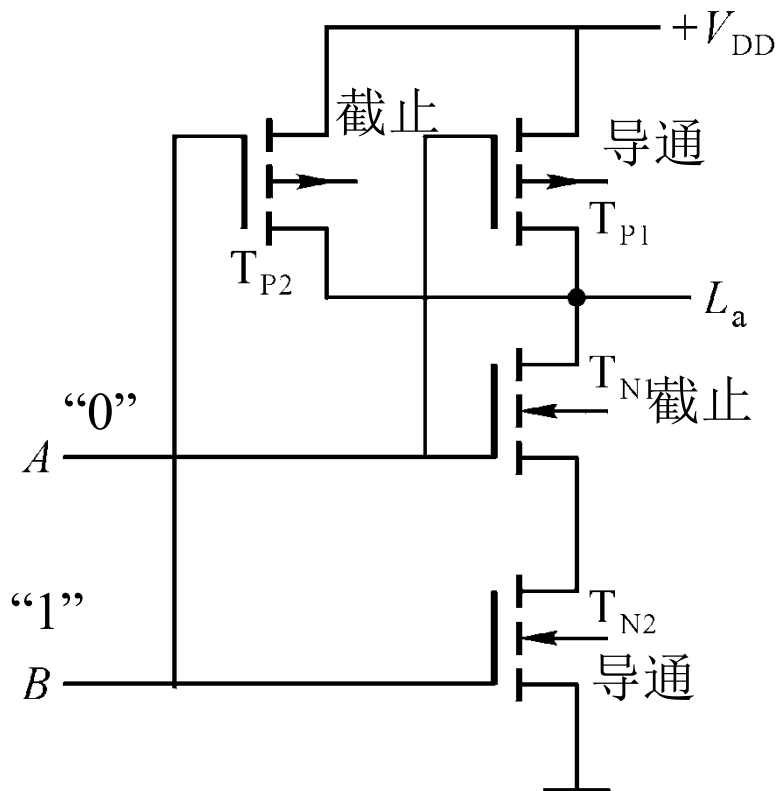
➤ CMOS与非门



- 当输入都为高电平时， T_{N1} 、 T_{N2} 导通， T_{P1} 、 T_{P2} 截止，输出低电平。

由增强型MOS管构成。
NMOS串联，PMOS并
联，构成与关系。

➤ CMOS与非门

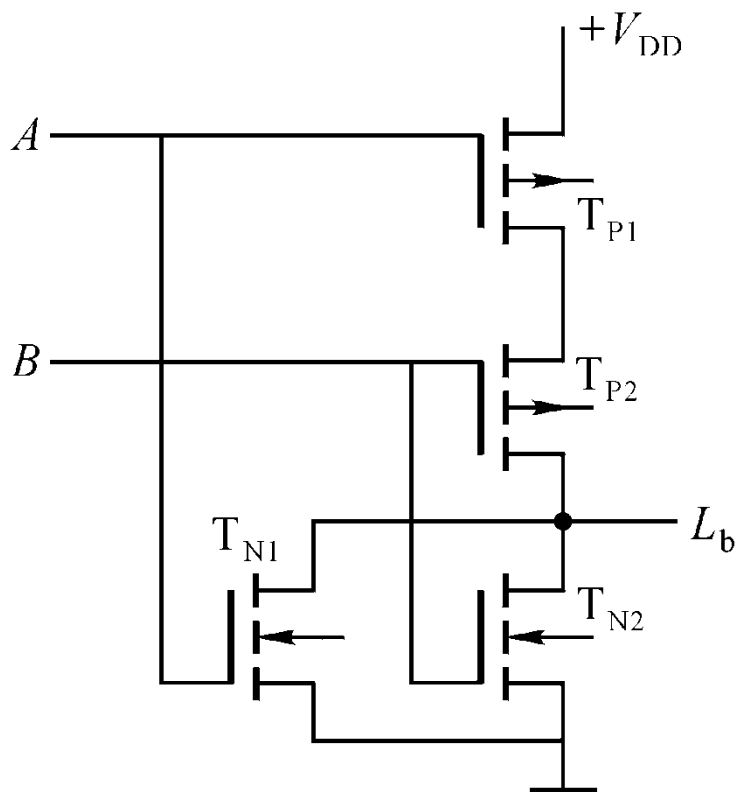


由增强型MOS管构成。
NMOS串联，PMOS并联，构成**与**关系。

- 当输入有一个(或全部)为低电平时， T_N 中有一只(或全部)截止， T_{P1} 中有一只(或全部)导通，输出高电平。

所以，
$$L_a = \overline{A \cdot B}$$

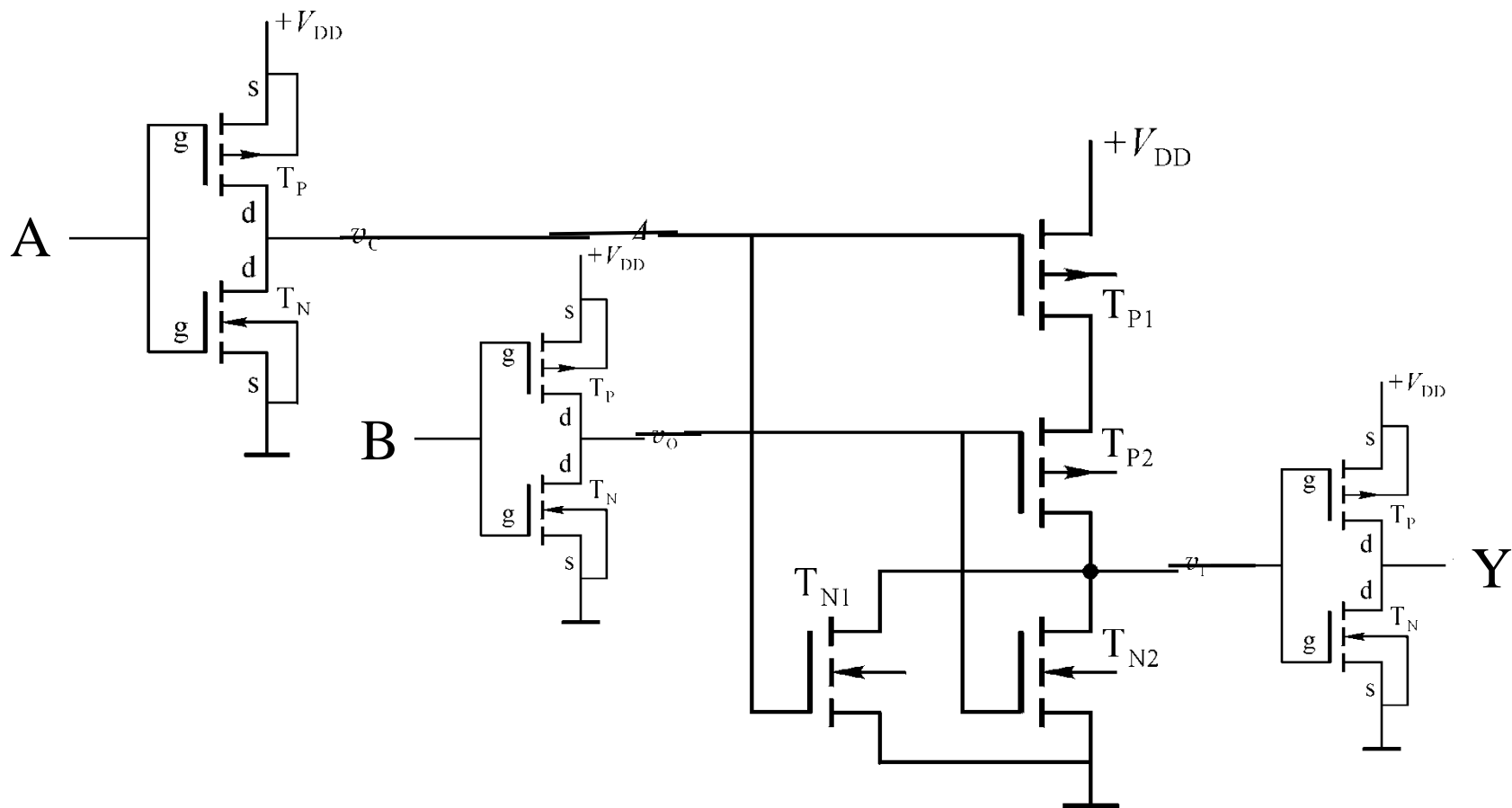
➤ CMOS或非门



由增强型MOS管构成。
NMOS并联，**PMOS**串联，构成**或**关系。

- 当输入都为低电平时， T_{N1} 、 T_{N2} 截止， T_{P1} 、 T_{P2} 导通，输出高电平。
- 当输入有一个(或全部)为高电平时， T_N 中有一只(或全部)导通， T_P 中有一只(或全部)截止，输出低电平。

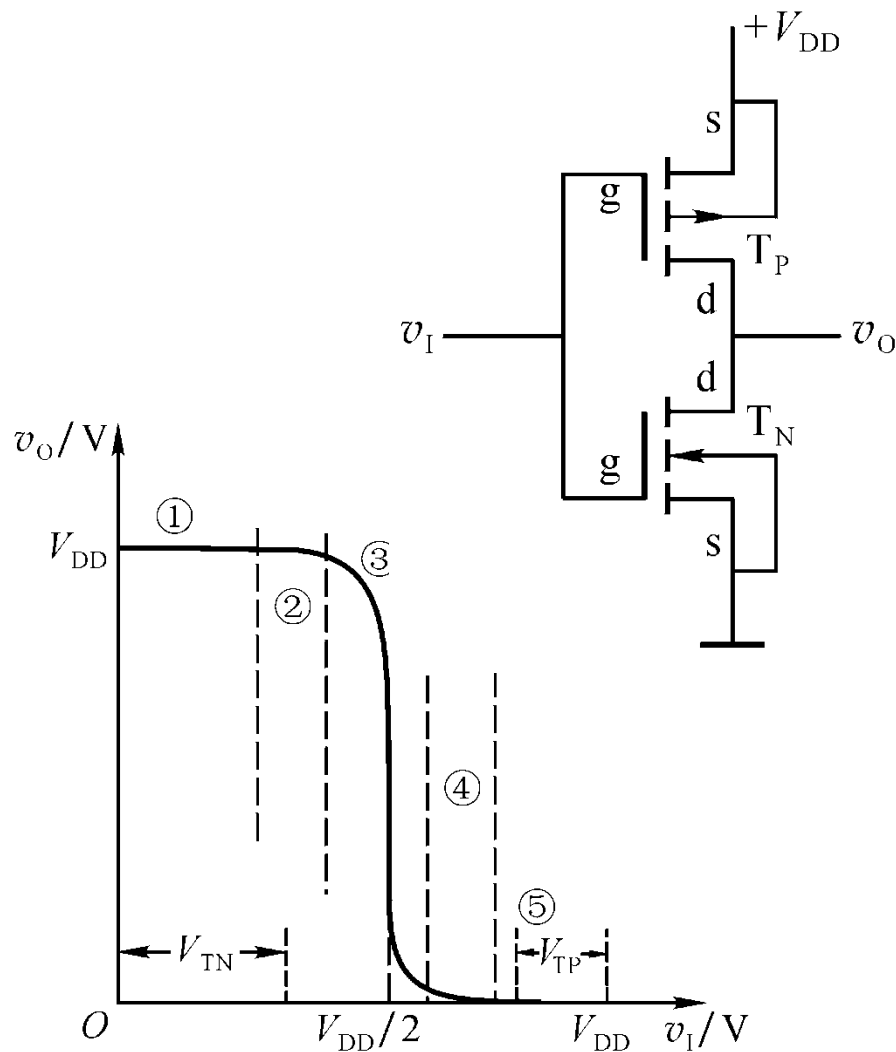
所以，
$$L_b = \overline{A + B}$$



带缓冲级的CMOS与非门

二、集成CMOS门电路的主要特性

➤ CMOS反相器的电压传输特性

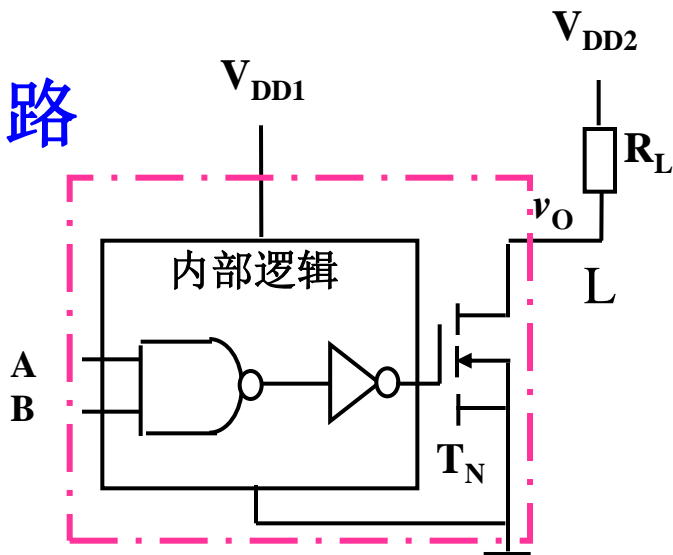


特性实际上是非常接近理想开关的特性。从图可知，它的开门电平和关门电平近似为 $\frac{1}{2}V_{DD}$

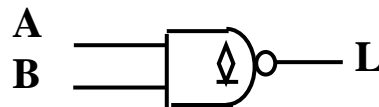
2.2.3 CMOS漏极开路门和三态输出门电路

一、CMOS漏极开路门(OD门)

电 路



符 号

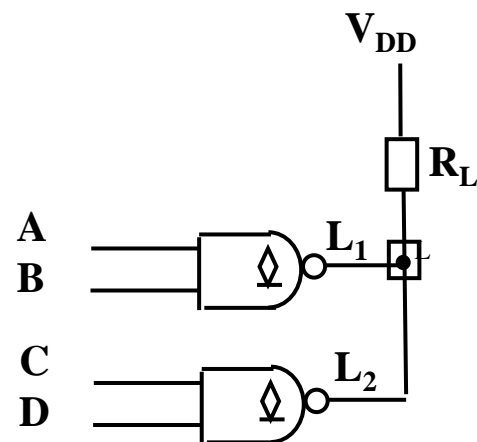
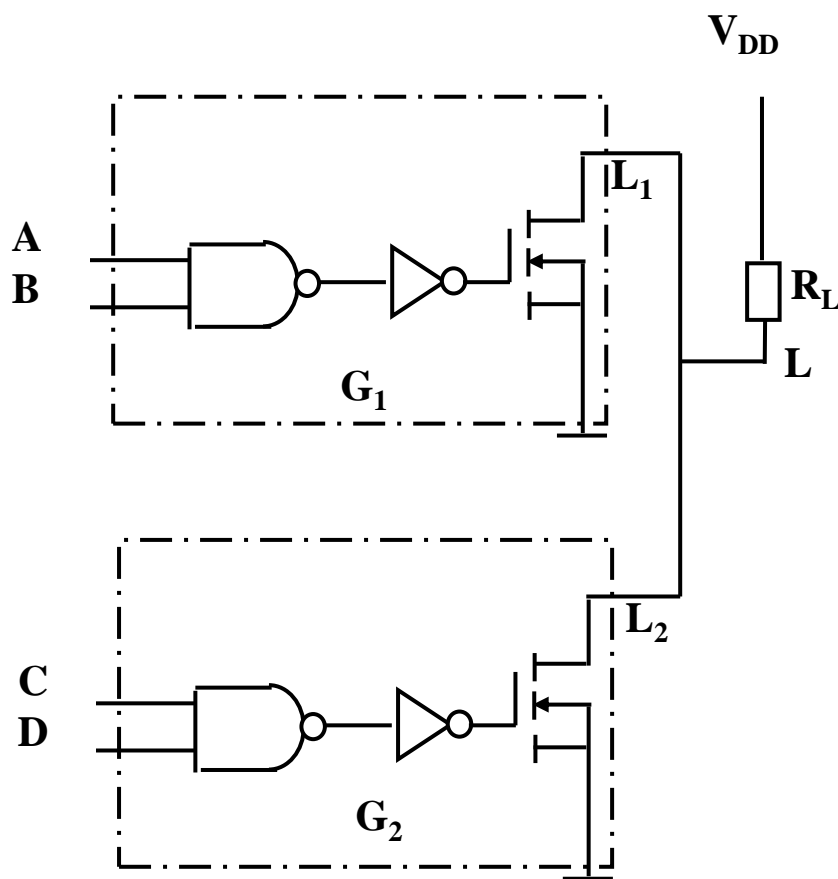


OD门工作时必须将输出端经上拉电阻 R_L 接到电源上

输出低电平 $v_O = V_{OL} \approx 0$ **输出高电平** $v_O = V_{OH} \approx V_{DD2}$ $L = \overline{AB}$

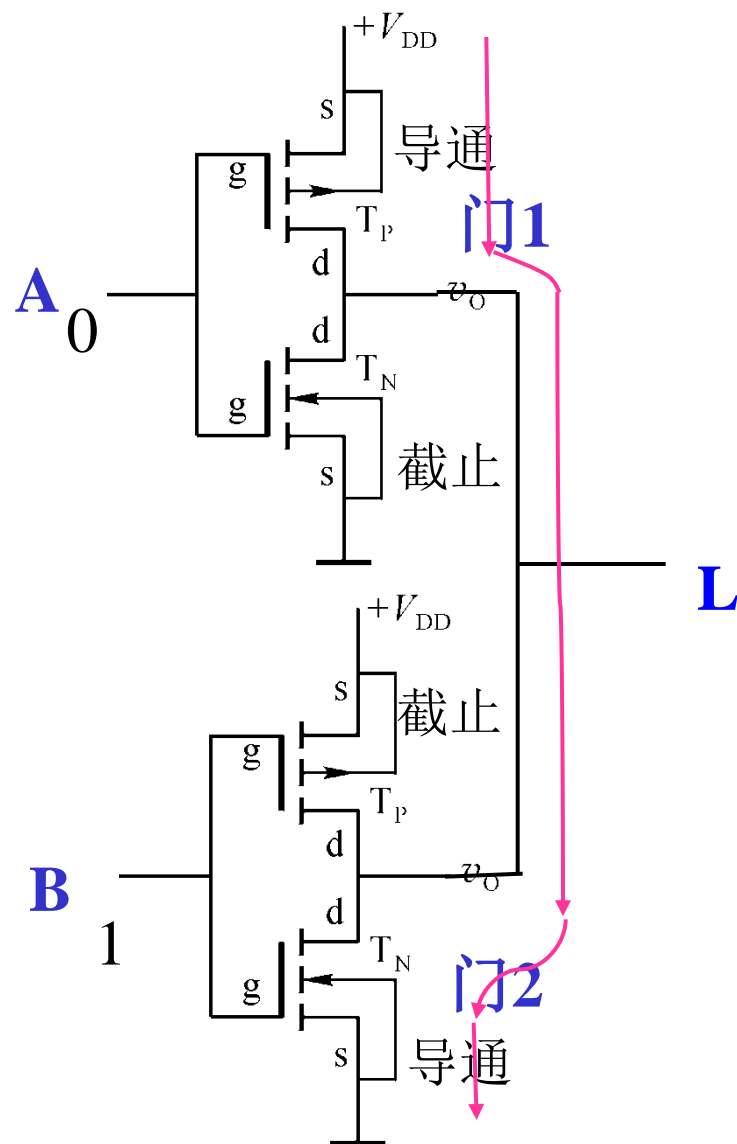
可以实现电平转换

将几个**OD**门的输出端直接相连，可实现“线与”逻辑



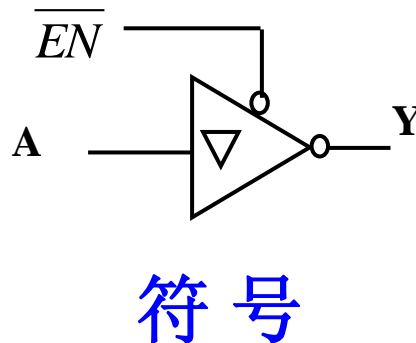
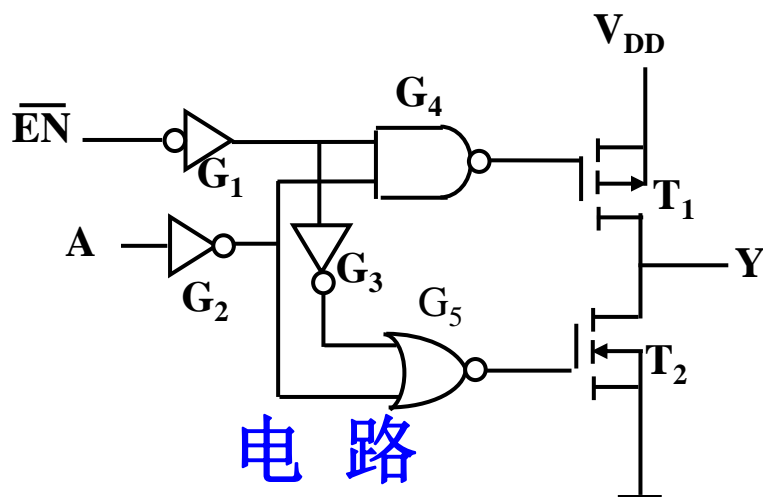
$$L = L_1 \cdot L_2 = \overline{AB} \cdot \overline{CD} = \overline{AB + CD}$$

而普通CMOS门输出端不允许直接并联，如图，很大电流经门1到门2，这一大电流在输出内阻上的压降较大，可能使输出既非高电平又非低电平，产生逻辑混乱，并可能烧坏门电路。



二、三态输出的CMOS门电路

三态门的输出状态除0、1两种状态外，还有高阻输出状态。



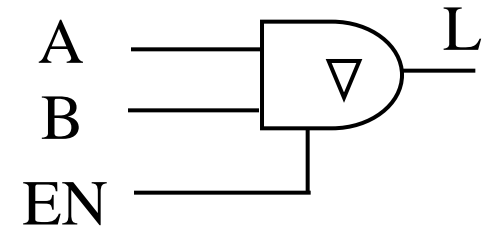
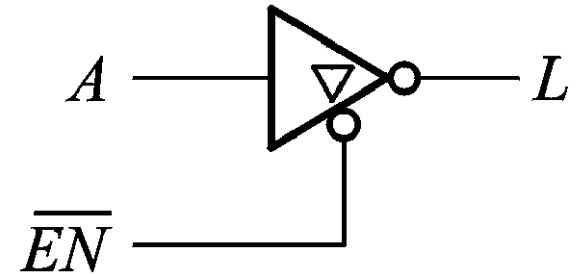
\overline{EN}	数据A	输出Y
0	1	0
0	0	1
1	1	高阻态
1	0	

1、 $\overline{EN} = 0$ ：若 $A = 1$ ，则 G_4 、 G_5 的输出都为高电平， T_1 截止、 T_2 导通， $Y = 0$ ；若 $A = 0$ ，则 G_4 、 G_5 的输出都为低电平， T_1 导通、 T_2 截止， $Y = 1$ 。因此， $Y = \overline{A}$ ，反相器处于正常工作状态。

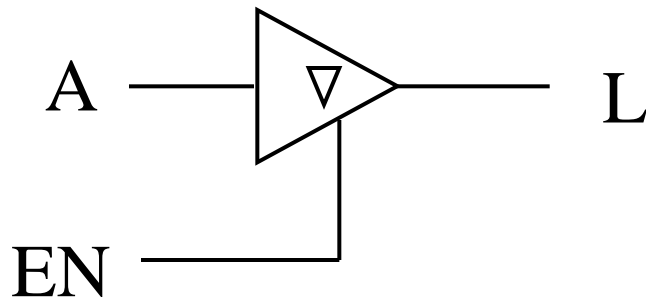
2、 $\overline{EN} = 1$ ，不管 A 的状态如何， G_4 输出高电平而 G_5 输出低电平， T_1 、 T_2 同时截止，输出呈现高阻态。

三态门的真值表

\overline{EN}	数据A	输出L
0	0	1
0	1	0
1	0	高阻态
1	1	



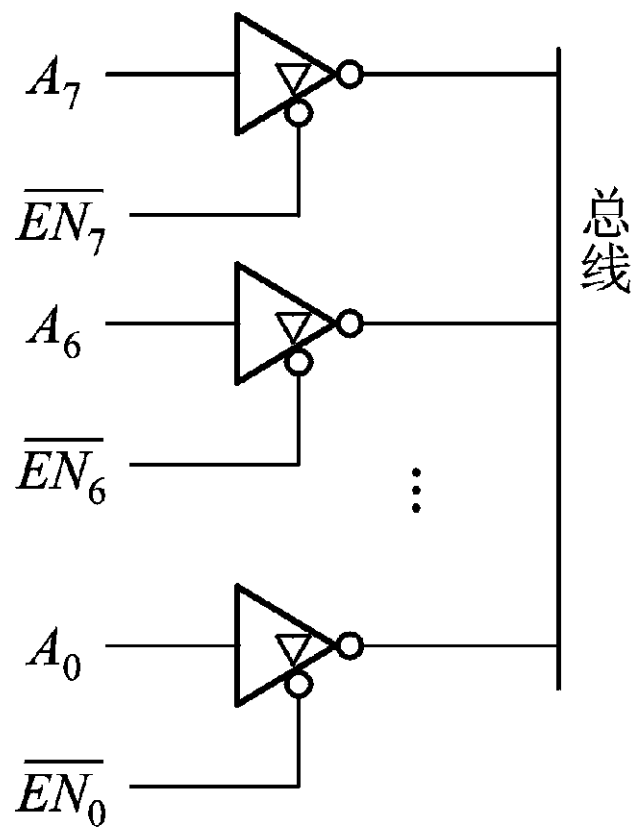
注意：三态输出门的
电路符号有多种：



EN	数据A	输出L
1	1	1
1	0	0
0	1	高阻态
0	0	

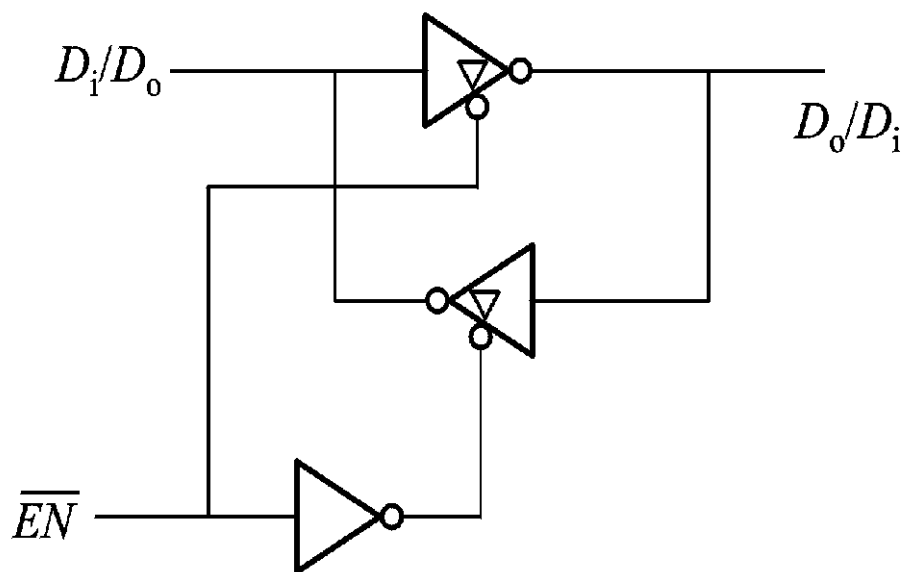
三态门的应用广泛

总线连接



(a)

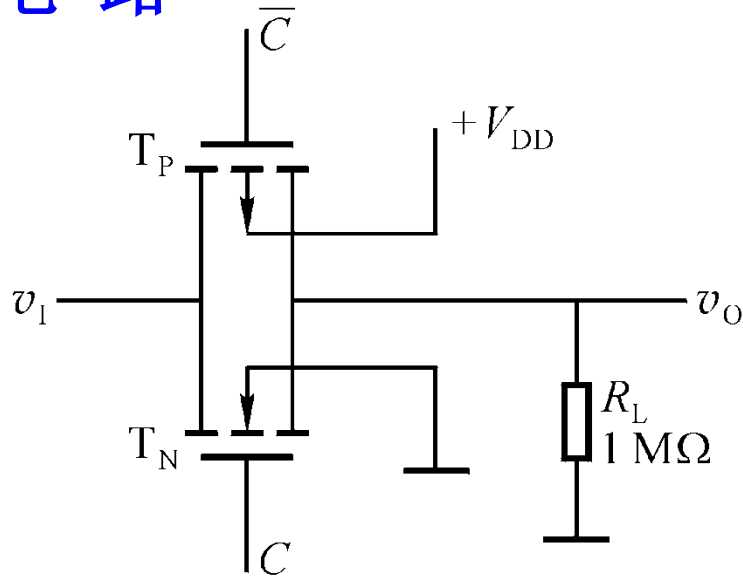
信号双向传输



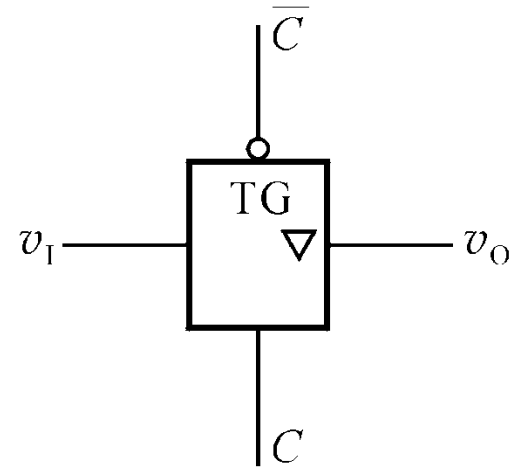
(b)

2.2.4 CMOS传输门 (TG门)

电 路



符 号



它由NMOS 和PMOS管并联而成。

C 和 \overline{C} 为互补控制端。

令 C 和 \overline{C} 的高、低电平分别为 V_{DD} 和 $0V$ ；
输入电压 v_I 的范围为 $0 \sim V_{DD}$ 之间。

■ 当 $C=0V$ 、 $\bar{C}=V_{DD}$ 时，

T_N 和 T_P 都截止，
输入/输出为高阻态；

■ 当 $C=V_{DD}$ 、 $\bar{C}=0$ 时，

在 $0 < v_I < V_{DD} - V_{TN}$ 时， T_N 导电，

沟道电阻很小；

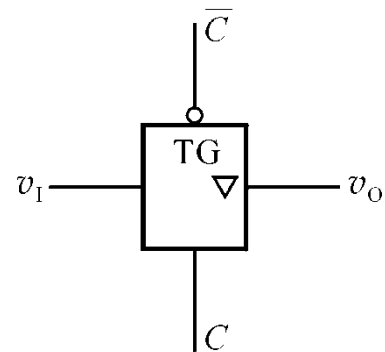
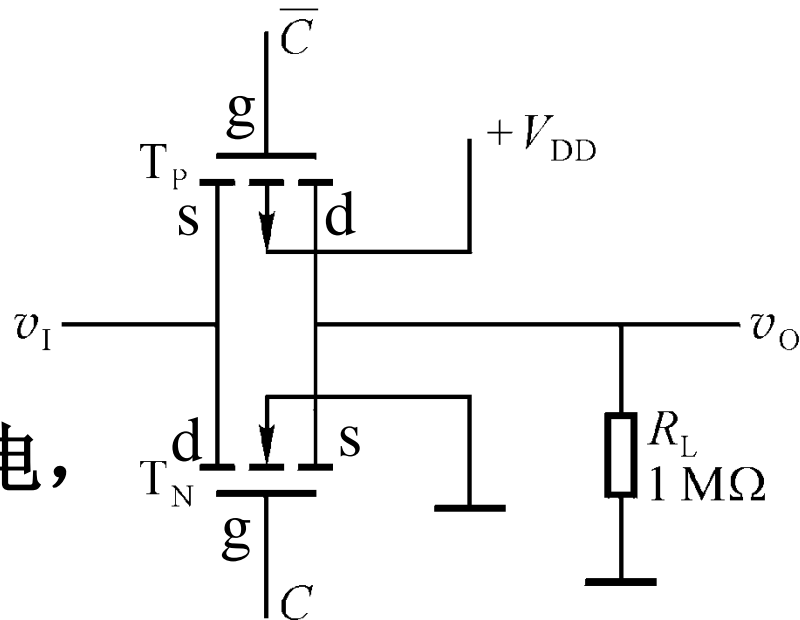
在 $|V_{TP}| < v_I < V_{DD}$ 时， T_P 导电，沟道电阻很小；

在 $|V_{TP}| < v_I < V_{DD} - V_{TN}$ 时，两管同时导电。

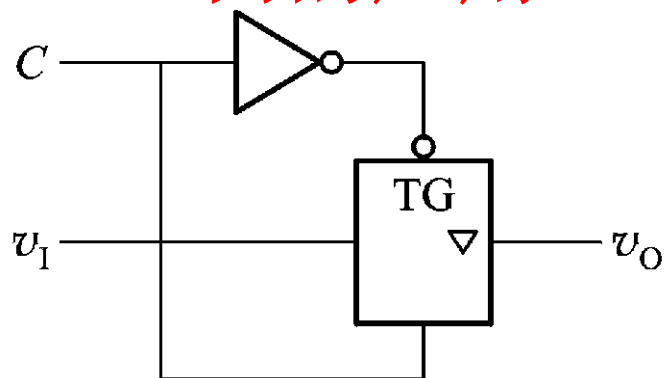
输入/输出间表现为低阻，输入信号传递到输出。

$$v_o = \frac{R_L}{R_L + R_{TG}} v_I \approx v_I$$

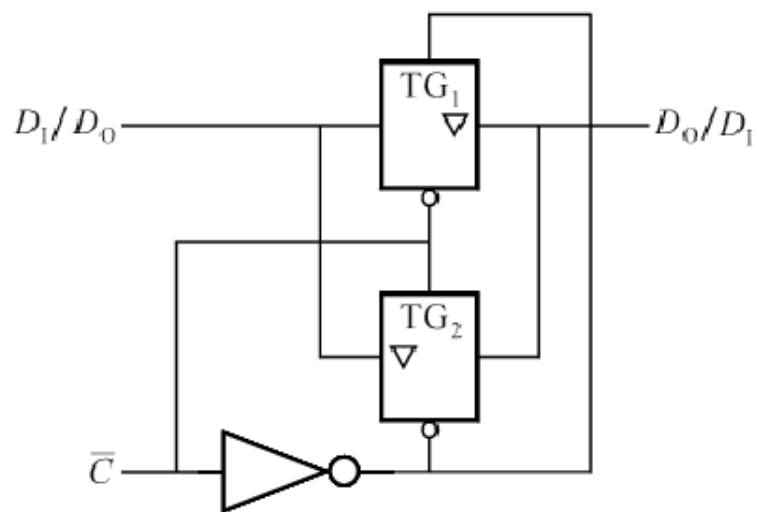
CMOS传输门可以传递数字信号，也可以传递模拟信号



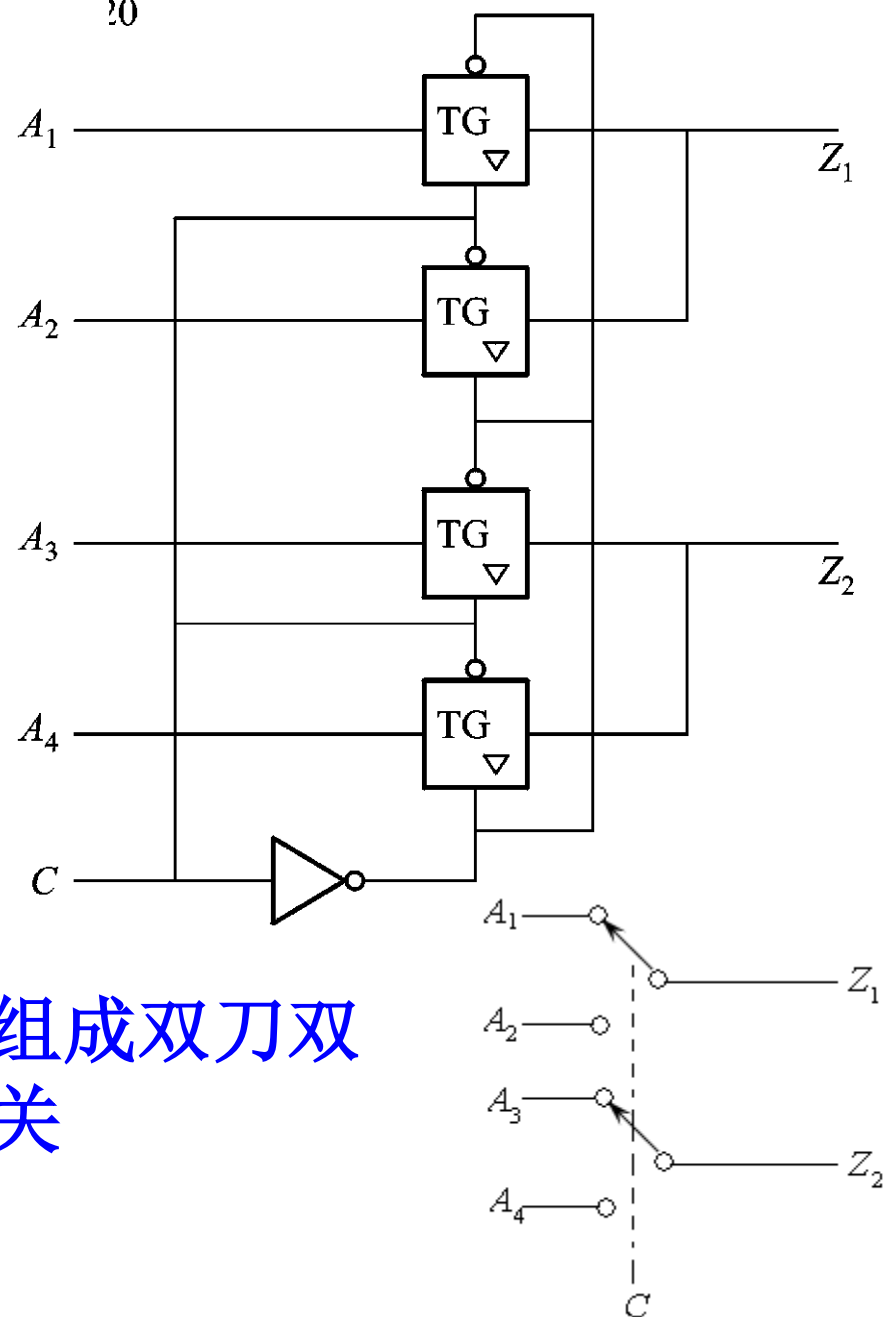
➤ TG门的应用



TG门组成单刀单掷开关

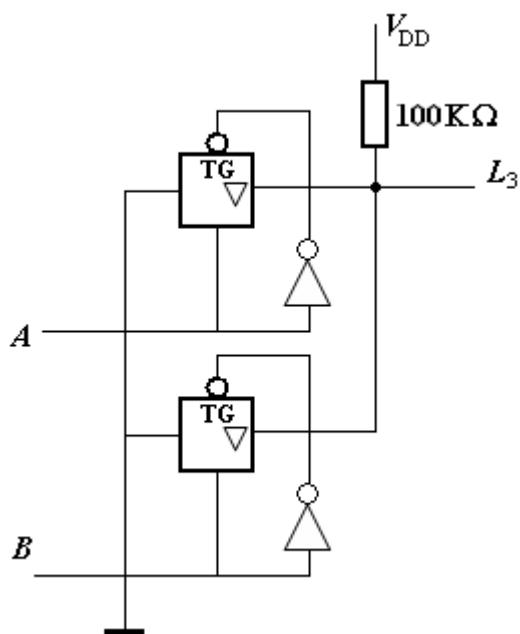


实现信号双向传输



TG门组成双刀双掷开关

例 写出下面电路的输出表达式



A	B	L_3
0	0	1
0	1	0
1	0	0
1	1	0

$$L_3 = \overline{A + B}$$

三、CMOS门电路的主要参数

参数名称		符号	参数	单位	电源电压
输出低电平电流		I_{OL}	0.51	mA	+5V
输出高电平电流		I_{OH}	-0.51	mA	+5V
输出低电平电压		V_{OL}	0.05	V	+5V
输出高电平电压		V_{OH}	4.95	V	+5V
开关时间		t_{PLH}	200	ns	+5V
		t_{PHL}	200	ns	+5V
功耗	静态	P_S	0	mW	+5V
	动态	P_M	0.5	mW	+5V

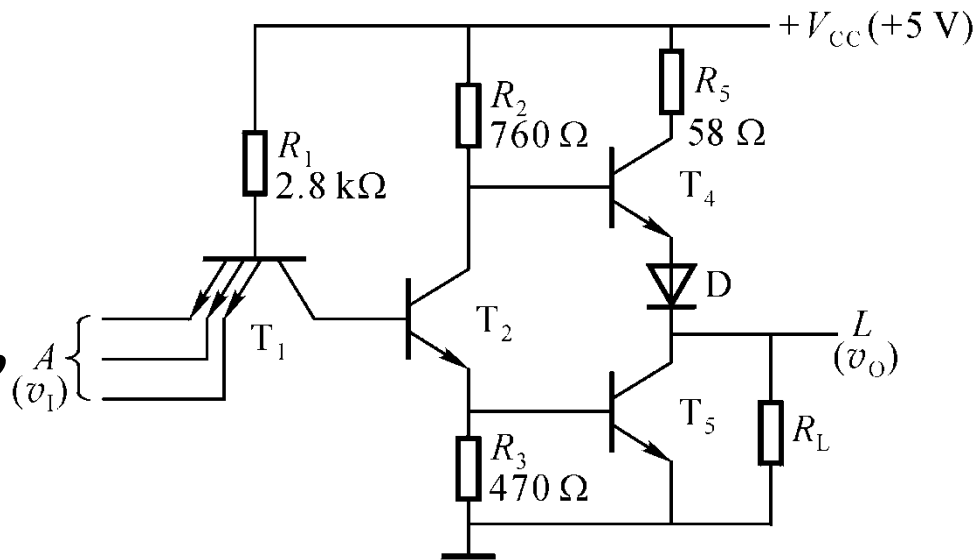
2.3 TTL系列集成门电路

集成TTL门电路是：**Transistor Transistor Logic**的缩写，是指电路由晶体管-晶体管组成的逻辑门电路。TTL门电路是目前尚大量使用的一种中、小规模集成电路。

一、典型集成TTL逻辑门电路（TTL与非门）

➤ 电路结构

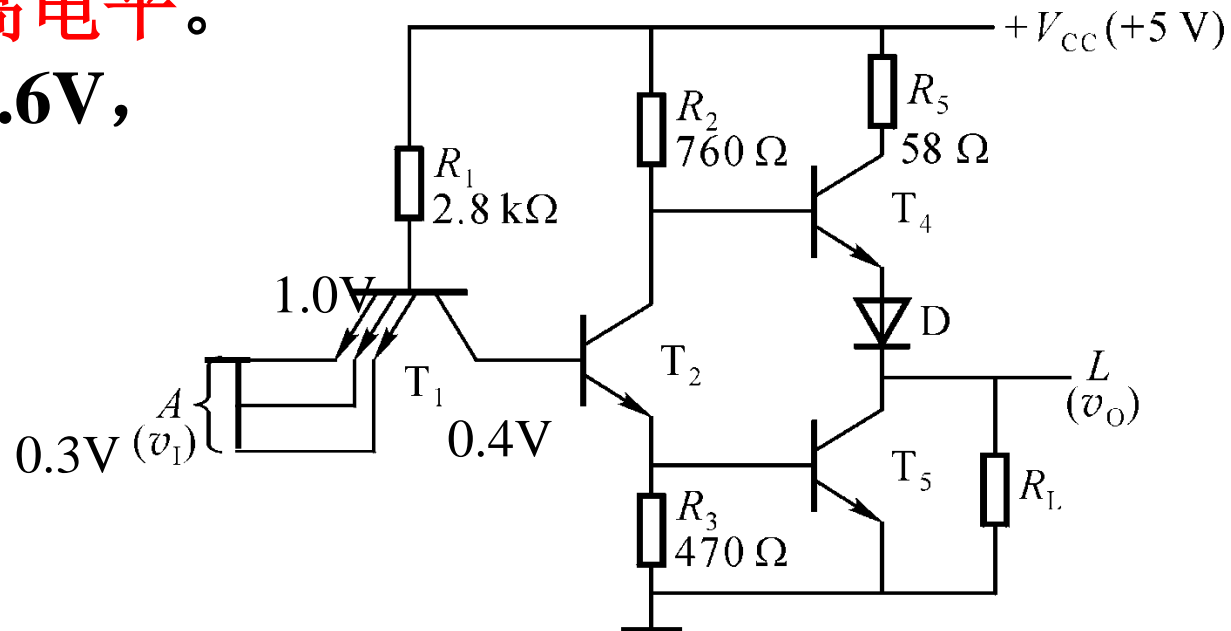
典型电路如图所示，由4只三极管组成。其中**多发射极管** T_1 为输入级， T_2 为中间级， T_4 、 T_5 为输出级。



工作原理

- 当输入一个为低电平“0”时 ($V_{IL}=0.3V$)

T_1 深饱和, T_2 、 T_5 截止,
 T_4 、 D 导电, 输出高电平。
 $v_O = V_{OH} \approx 5V - 1.4V = 3.6V$,
TTL 关门。



- 当输入全为高电平“1”时

($V_{IH}=3.6V$) 箝位

$$v_{B1}=v_{BE5}+v_{BE2}+v_{BC1}=2.1V,$$

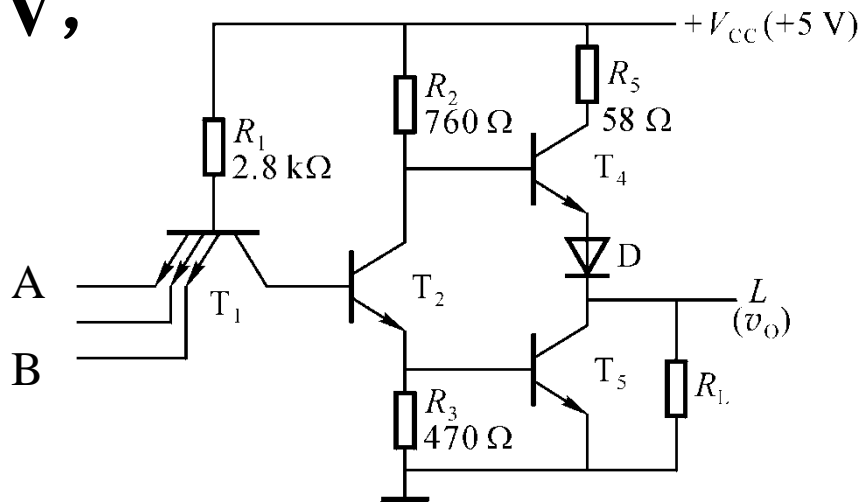
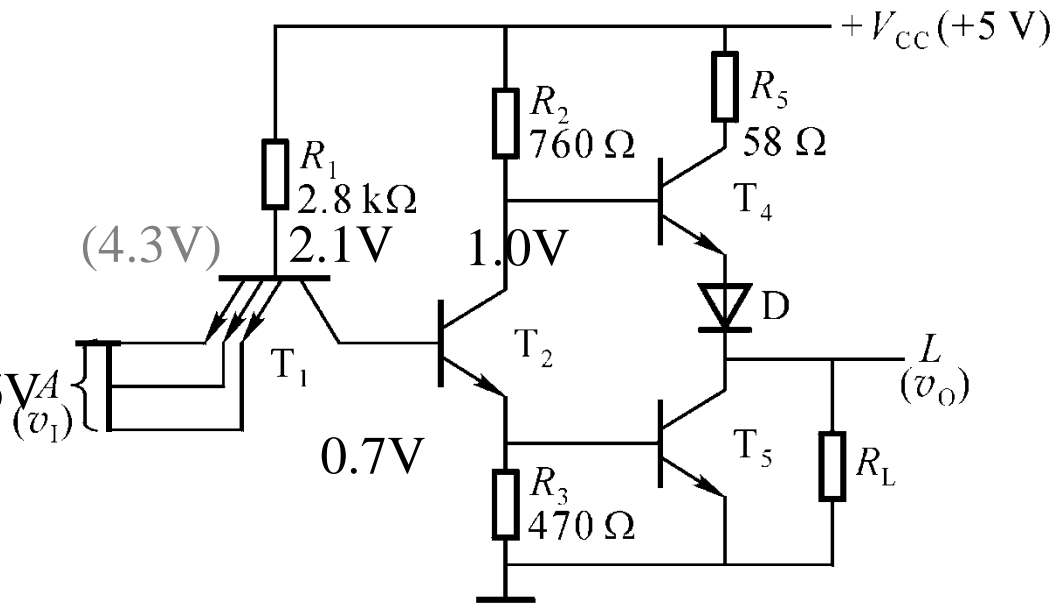
T_1 倒置、 T_2 、 T_5 饱和,

$$v_{B4}=V_{CES2}+v_{BE5}\approx 1.0V,$$

T_4 、 D 截止状态, 输出为

低电平 $v_O=V_{OL}\approx 0.3V$,

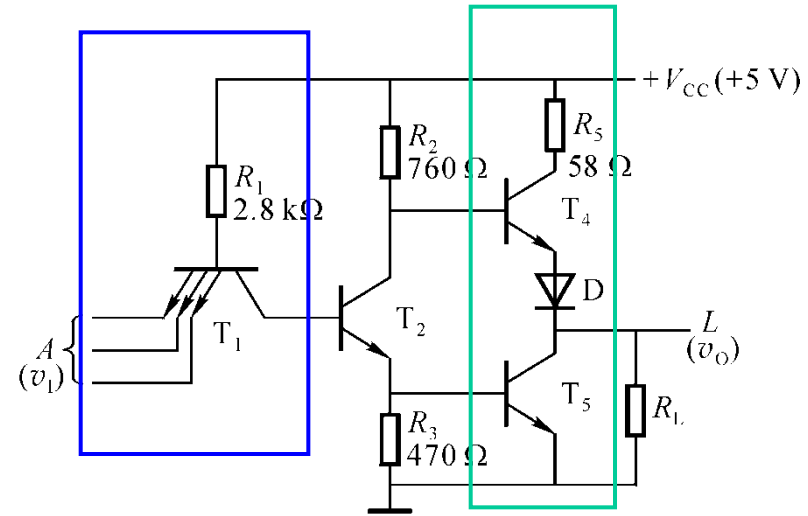
TTL开门。



$$L = \overline{A \cdot B}$$

1. TTL门的输出特性

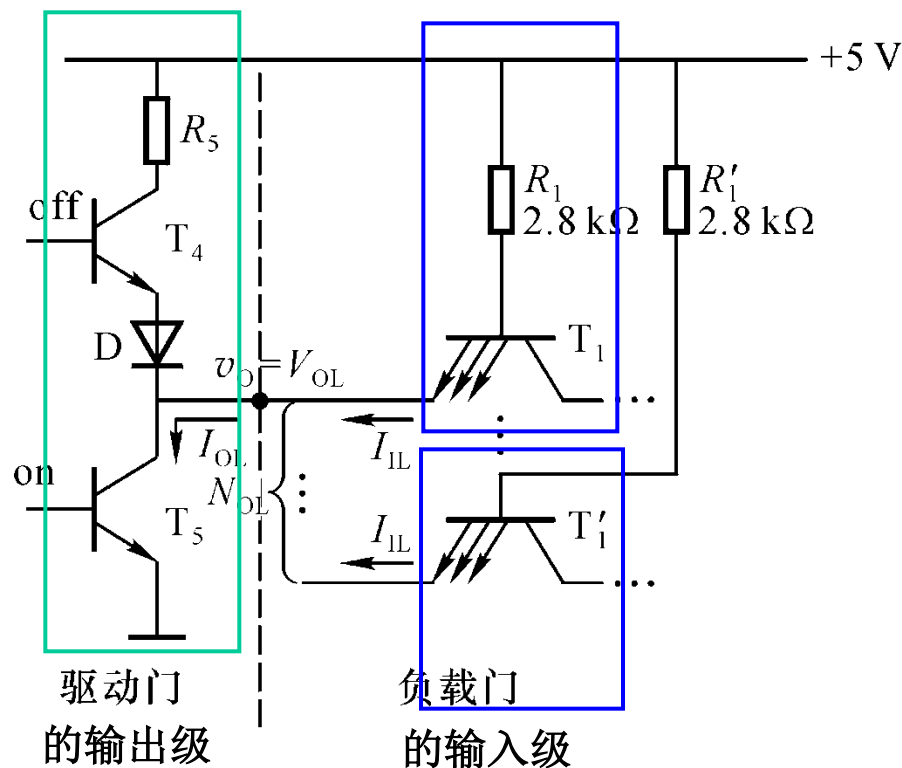
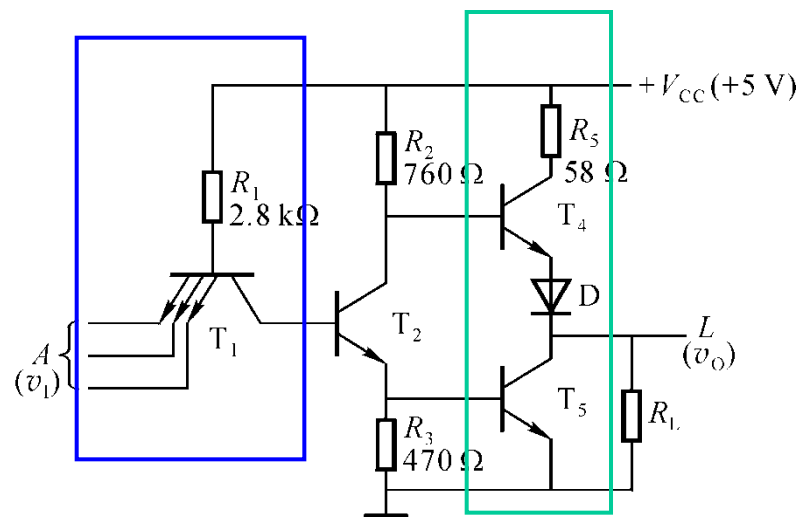
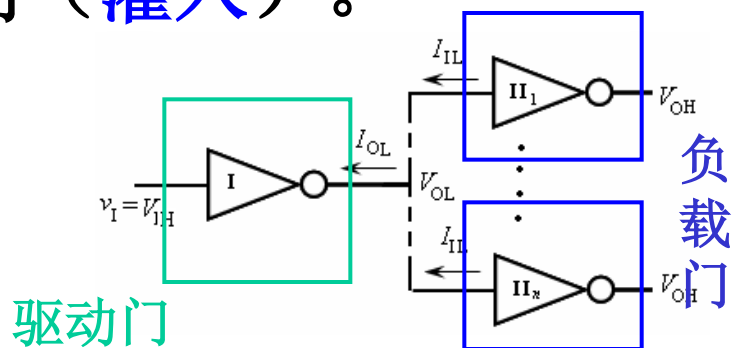
讨论TTL门接同类负载门时的输出电压和负载电流之间的关系。分为输出高电平和低电平两种情况加以讨论。



1. TTL门的输出特性

➤ 低电平输出特性— 灌电流负载输出特性

此时驱动门输出低电平，
 T_5 饱和导电， T_4 、 D 截止，
负载电流从负载门流向驱动门（灌入）。

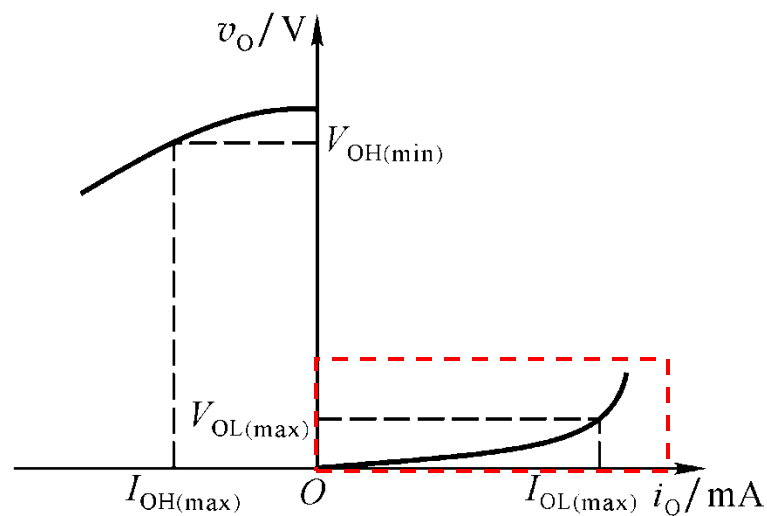
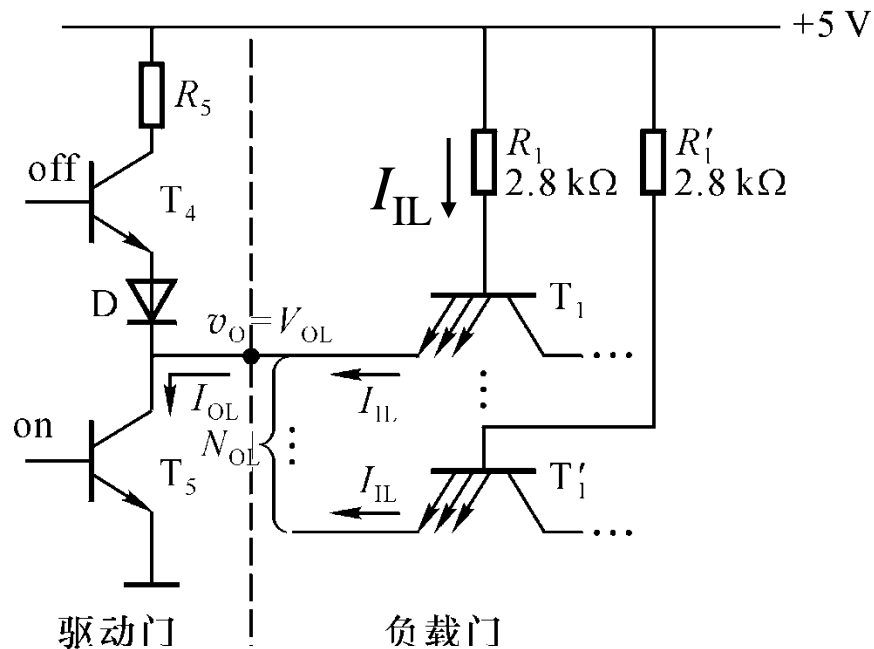


如果负载门数 N_{OL} 越多，
则灌入电流 $I_{OL} = N_{OL} I_{IL}$
便越大，这促使 V_{OL} 电
压升高， T_5 将由饱和趋
向放大，最终破坏逻辑
关系。

因此，对负载门数 N_{OL} 应
有一个限定值，由输出低
电平上限值 V_{OLmax} 决定。

驱动门数（扇出系数）为：

$$N_L = \frac{I_{OLmax}}{I_{IL}}$$



➤ 高电平输出特性—拉电流负载输出特性

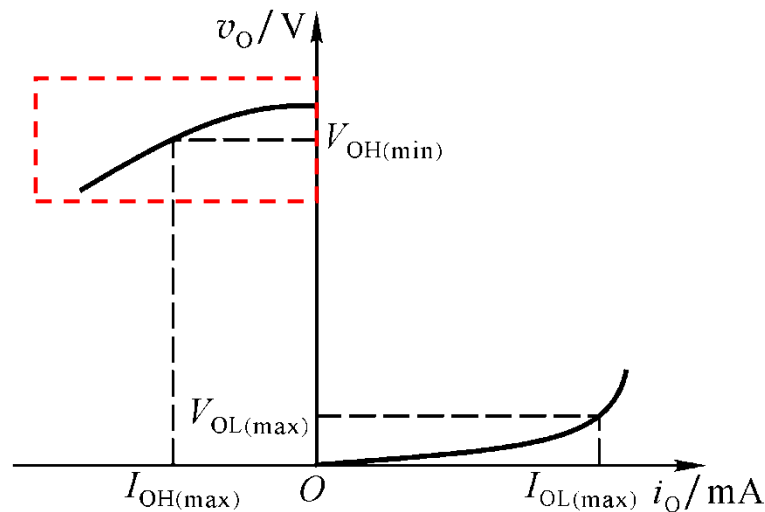
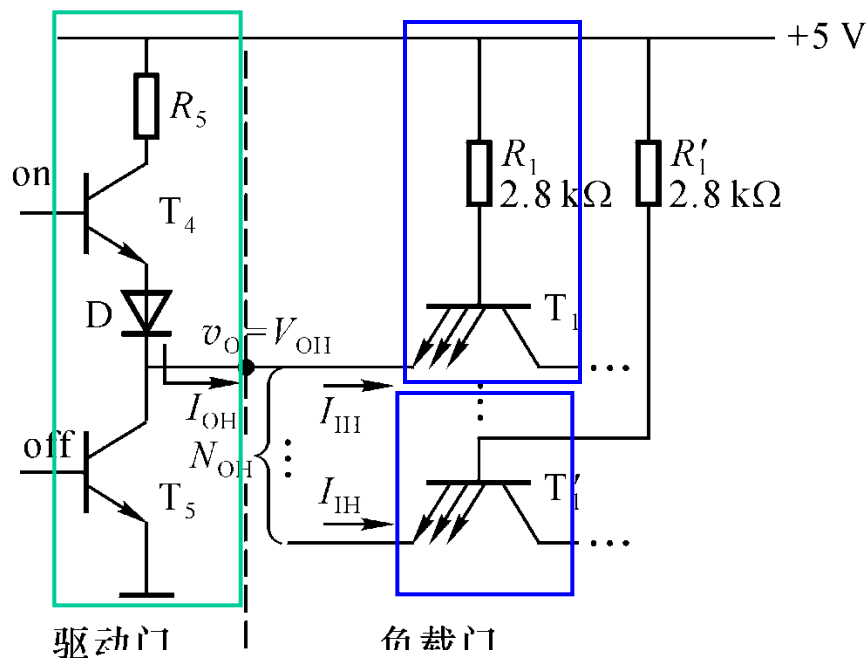
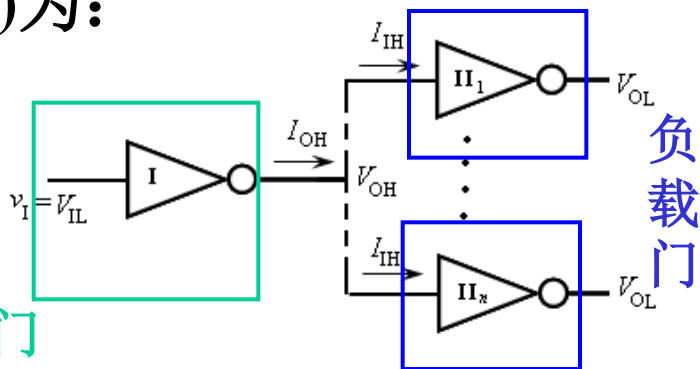
此时输出高电平 V_{OH} ，驱动门 T_5 截止， T_4 、 D 导电，负载电流从驱动门流出(拉出)。如果负载门数增加， I_{OH} 拉出的电流便增加，这使得输出高电平电压 V_{OH} 会下降， T_4 管会趋向饱和，最终破坏逻辑关系。

高电平输出时也规定了一个高电平下限值 V_{OHmin} ，其负载门数(接输入端数)为：

$$N_H = \frac{I_{OH\max}}{I_{IH}}$$

PN结反偏电流

驱动门



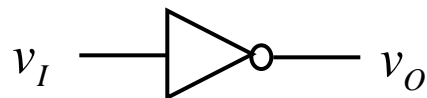
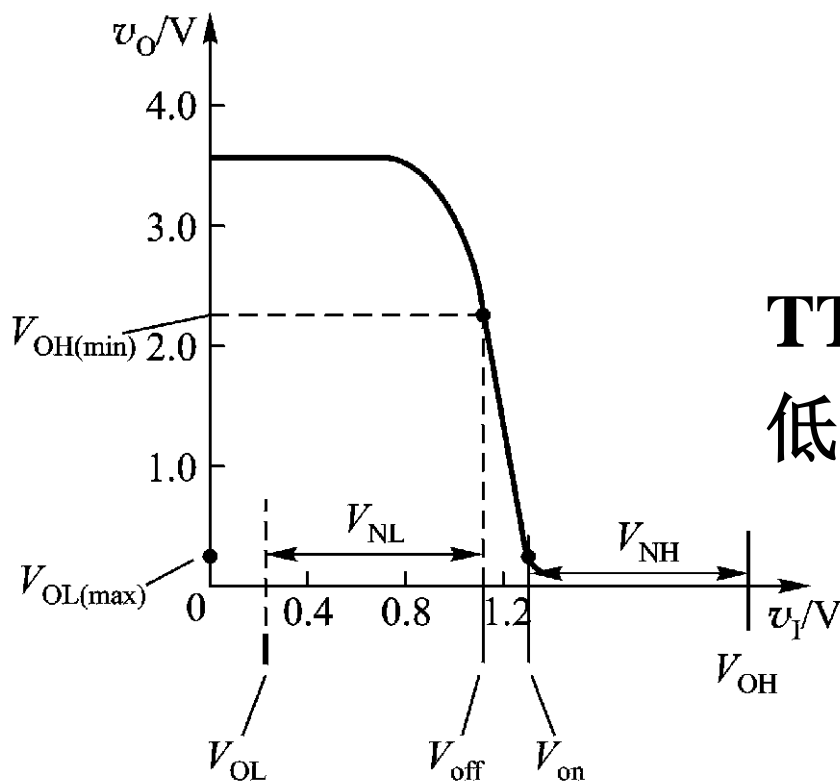
2.1 集成逻辑门电路的一般特性

不管是简单或是复杂的数字逻辑电路，数字电子系统，都由一系列的逻辑门电路组成。因此，对各类逻辑功能的门电路就提出了相关的技术指标要求，才能保证逻辑功能的实现和工作可靠性的要求。

一、电压传输特性

它是指门电路的输出电压与输入电压之间的关系。

以具有反相功能的非门为例，当输入高电平时，输出应该处于低电平，反之亦然。



TTL高电平 $V_{OH}=3.6V$

低电平 $V_{OL}=0.3V$

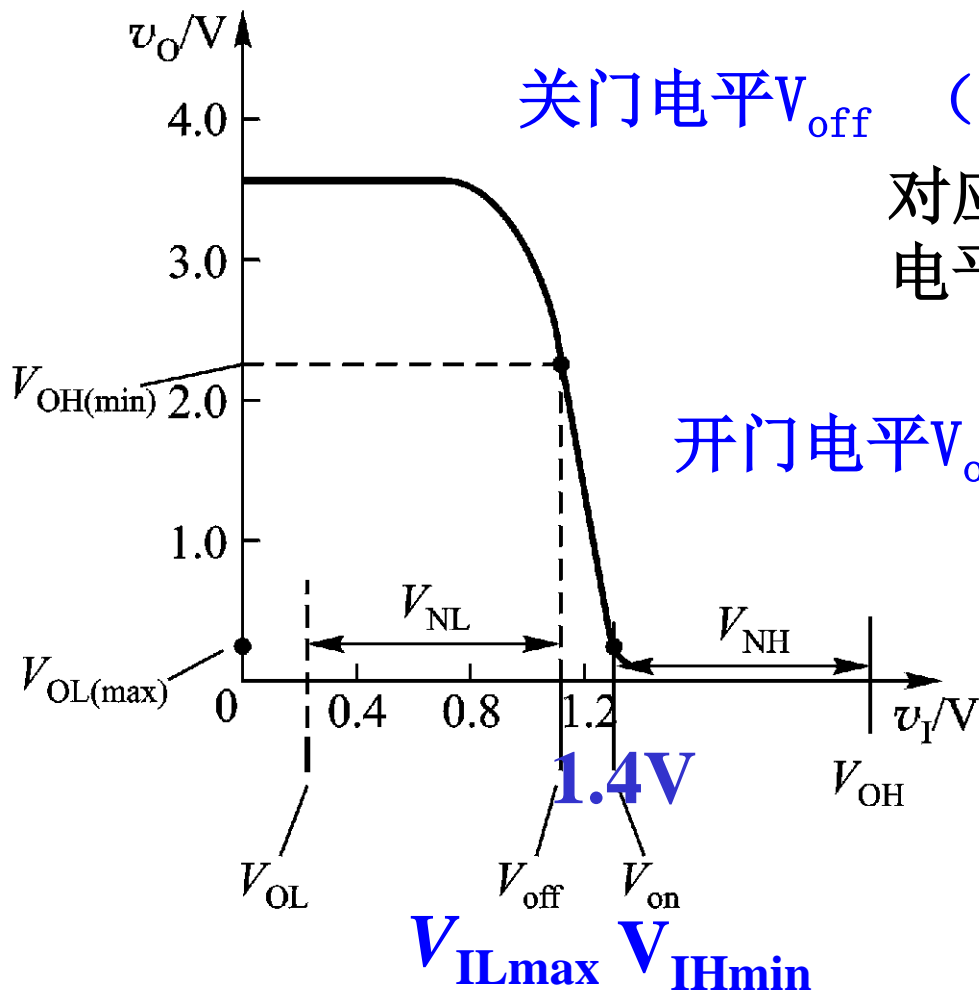
**TTL门电路电压
传输特性**

二、输入和输出逻辑电平

三、开门电平和关门电平

TTL高电平 $V_{OH}=3.6V$

低电平 $V_{OL}=0.3V$



关门电平 V_{off} (输入低电平上限 V_{ILmax})

对应于输出高电平下限的输入电平 (也称输入低电平最大值)

开门电平 V_{on} (输入高电平下限 V_{IHmin})

对应于输出低电平上限的输入电平 (也称输入高电平最小值)

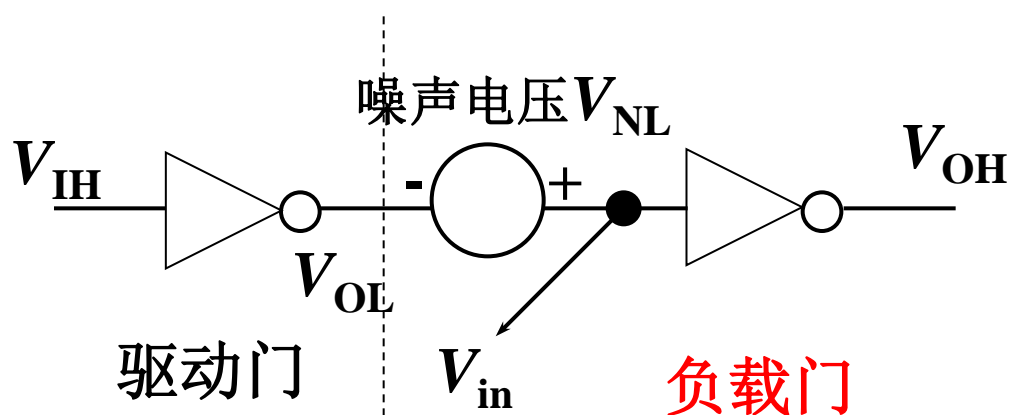
阈值电平: $V_{TH}=1.4V$

对应于转折区的中点

➤ 输入信号噪声容限

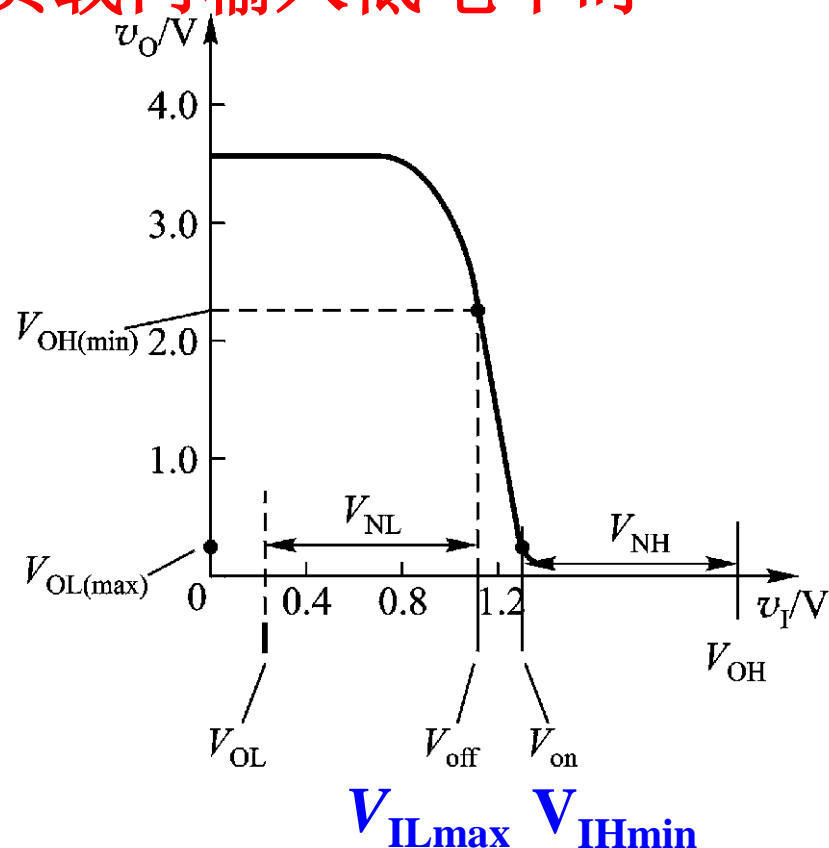
它表征门电路的抗干扰能力强弱。在TTL驱动TTL门电路的情况下，串入的噪声电压大小分两种情况：低电平输入噪声容限和高电平输入噪声容限。

■ 低电平输入噪声容限 V_{NL} ：负载门输入低电平时

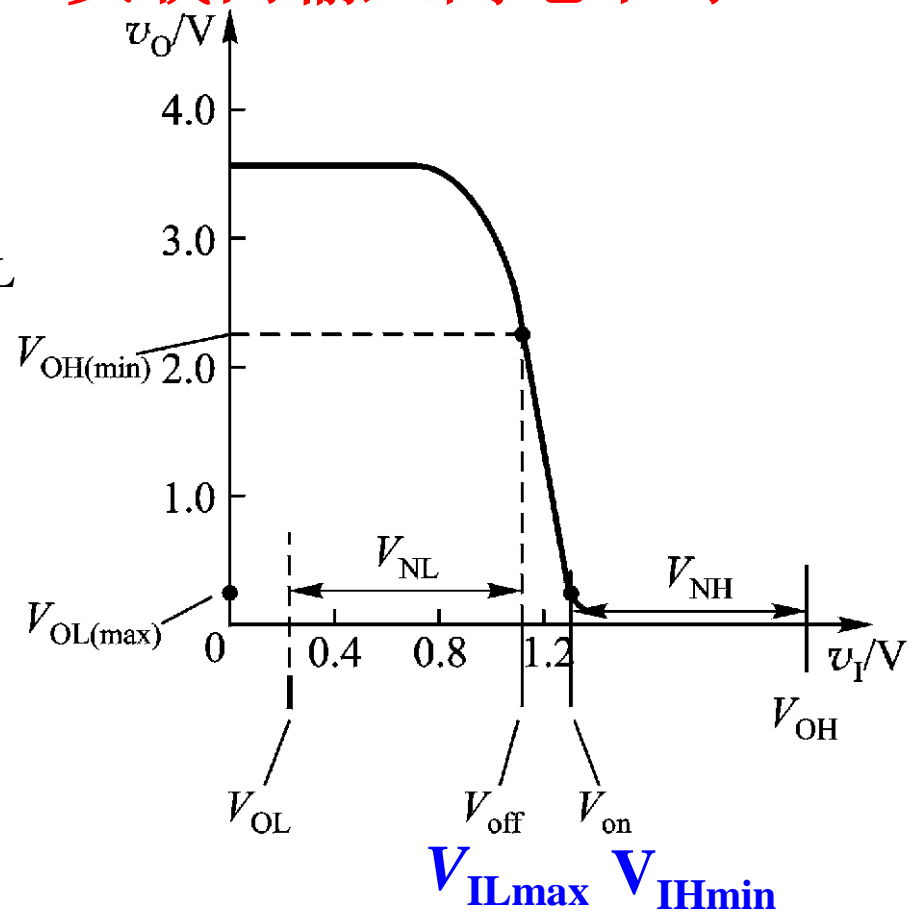
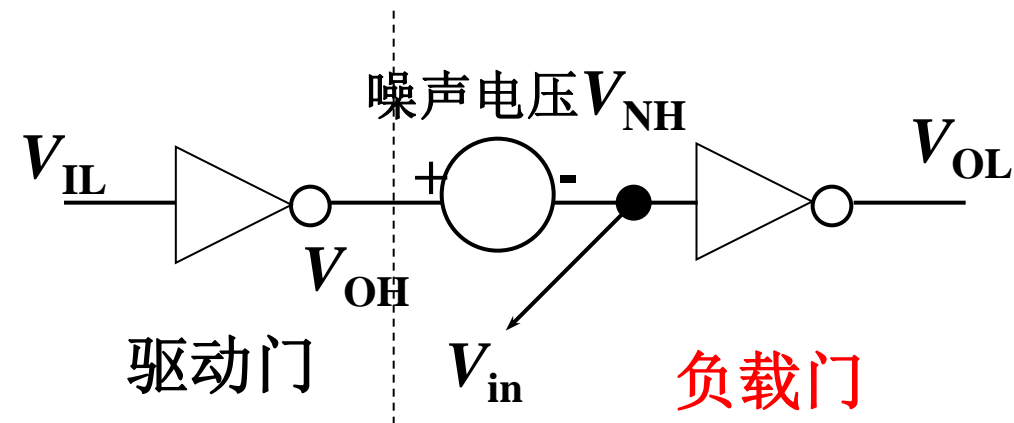


$$V_{in} = V_{NL} + V_{OL} \leq V_{IL(max)}$$

$$V_{NL(max)} \leq V_{IL(max)} - V_{OL(max)}$$



- 高电平输入噪声容限 V_{NH} : 负载门输入高电平时



$$V_{in} = V_{OH} - V_{NH} \geq V_{IH(min)}$$

$$V_{NH(max)} \leq V_{OH(min)} - V_{IH(min)}$$

➤ 扇出门数

$$N_{OL} = \frac{I_{OL\max}}{I_{IL}} \quad N_{OH} = \frac{I_{OH\max}}{I_{IH}}$$

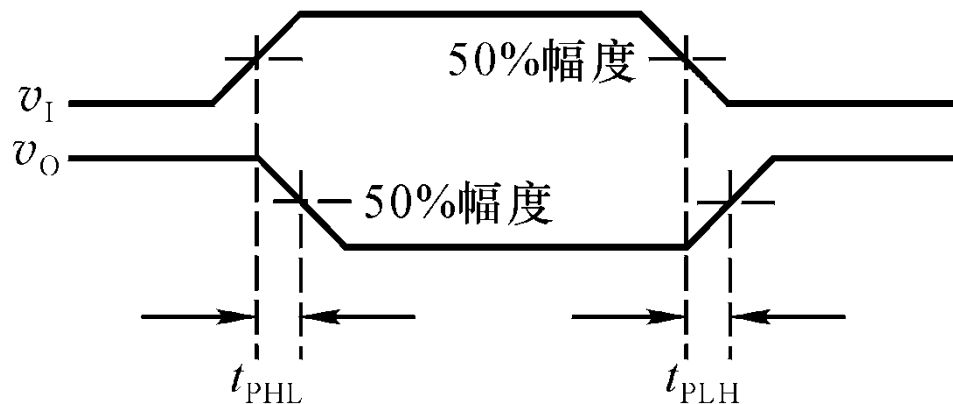
几毫安至 十几毫安 零点几毫安

一种门能驱动同一类型门电路的个数称扇出数。虽然 $I_{OL} > I_{OH}$ ，但是 $I_{IL} \gg I_{IH}$ ，所以 $N_{OL} < N_{OH}$ 。所以扇出门数以 N_{OL} 为准。

➤ 平均传输延迟时间 t_{pd}

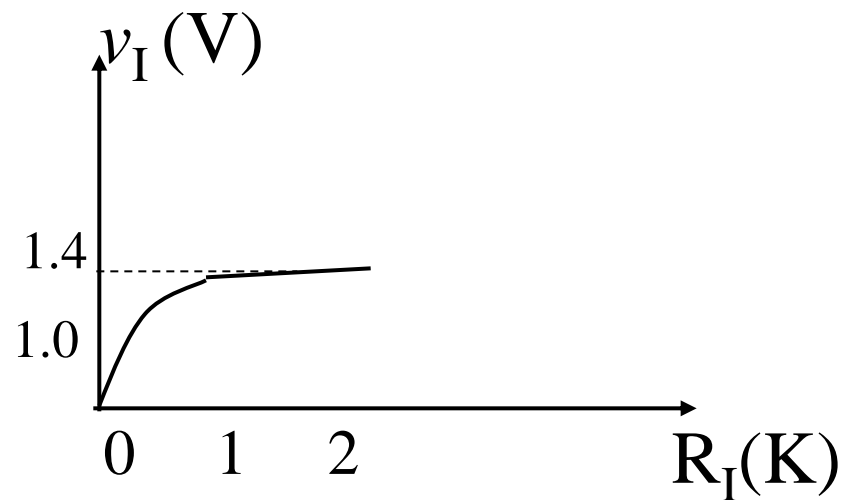
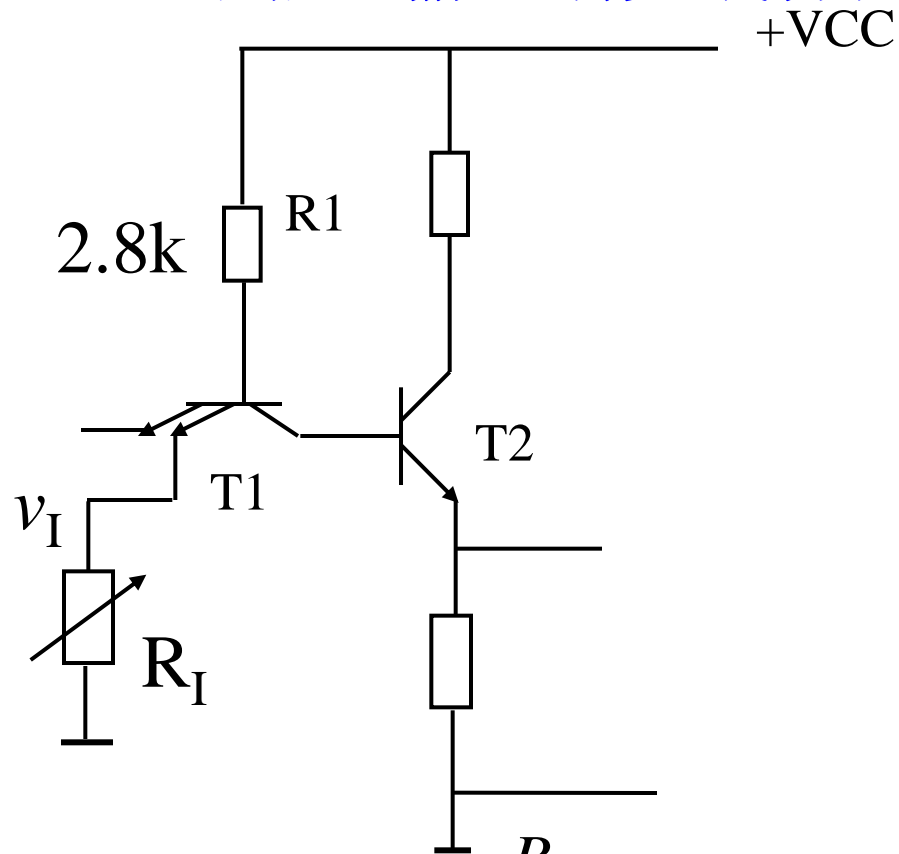
TTL门电路在输入脉冲信号的作用下，其输出不能马上响应输入变化，需要一段时间的延迟。

$$t_{pd} = \frac{1}{2} (t_{PHL} + t_{PLH})$$



t_{pd} 为几十纳秒。

TTL与非门输入端负载特性

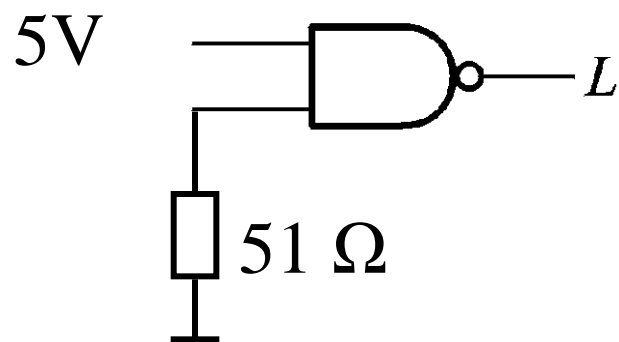


$$v_I = (5V - 0.7V) \cdot \frac{R_I}{R_1 + R_I} = (5V - 0.7V) \cdot \frac{R_I}{2.8K + R_I}$$

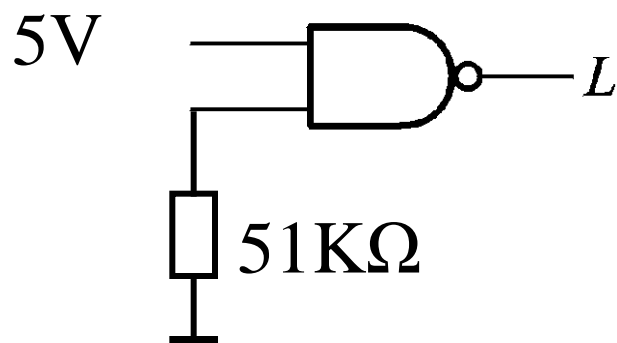
阈值电平:

$$v_I = 1.4V \quad \text{时:} \quad R_I = 1.4K\Omega \quad i_{R_I} = \frac{5V - 2.1V}{2.8K} \approx 1mA$$

对TTL电路，一般输入端接几百欧姆以下电阻时相当于接低电平，几K欧姆电阻就相当于接高电平了。



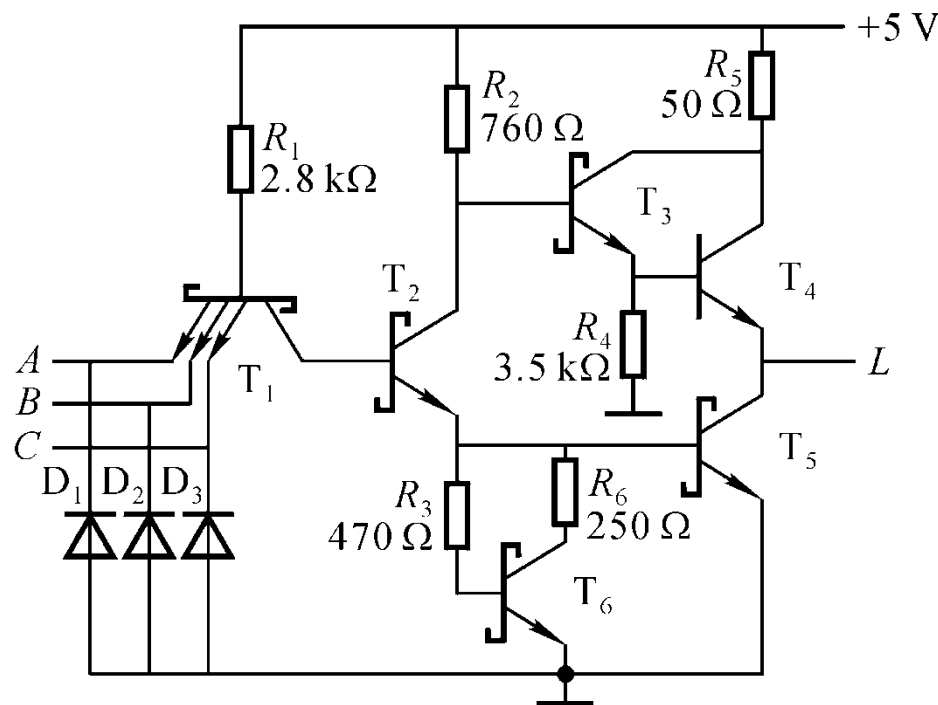
$$L = \overline{1 \cdot 0} = 1$$



$$L = \overline{1 \cdot 1} = 0$$

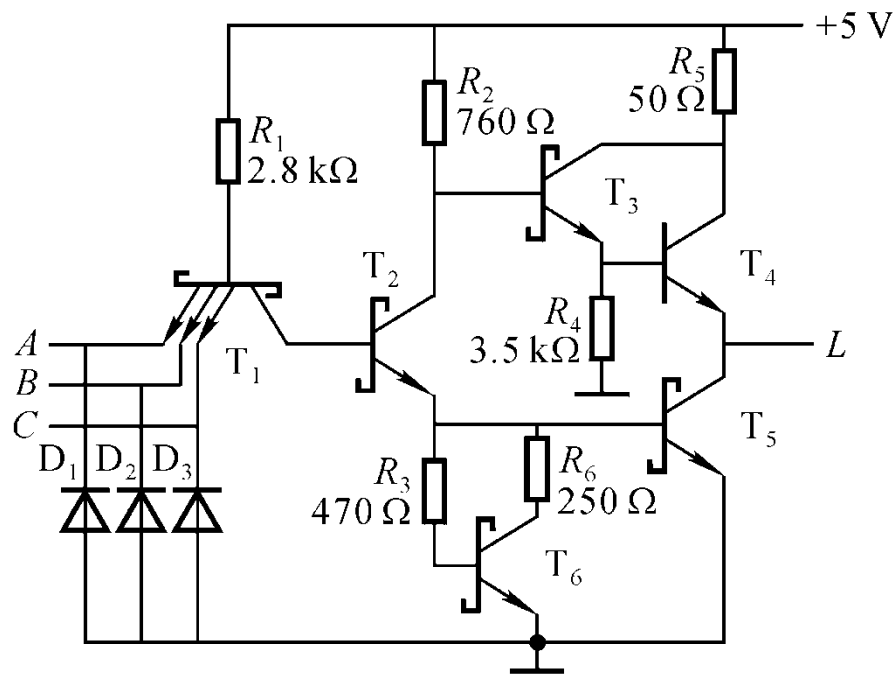
电路改进:

- 肖特基三极管—抗饱和，提高电路的开关速度。
- 有源泄放电路(T_6 、 R_3 、 R_6)—加快 T_2 、 T_5 由饱和到截止的转换时间，目的还是提高开关速度。



TTL集成门电路

- T_4 用二只三极管构成**复合管**—提高电路的带负载能力(增大输出电流)。
- 输入增加了**保护二极管** D_1 、 D_2 、 D_3 （提高可靠性）。

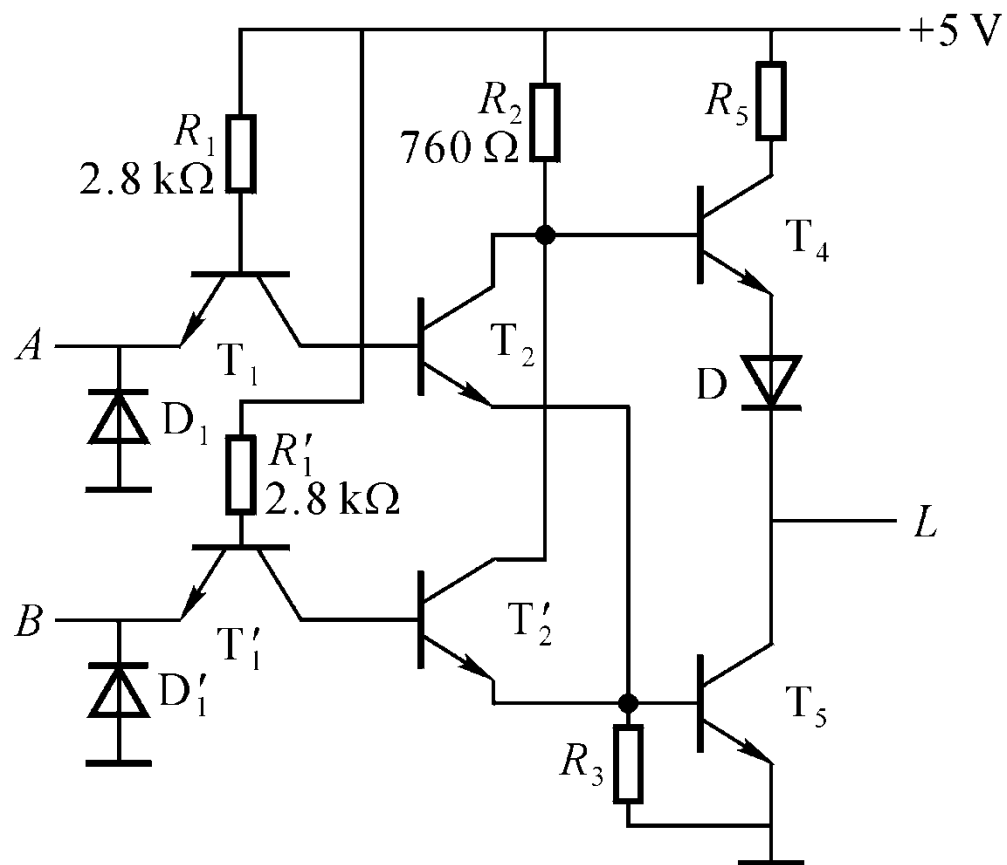


其它TTL门电路

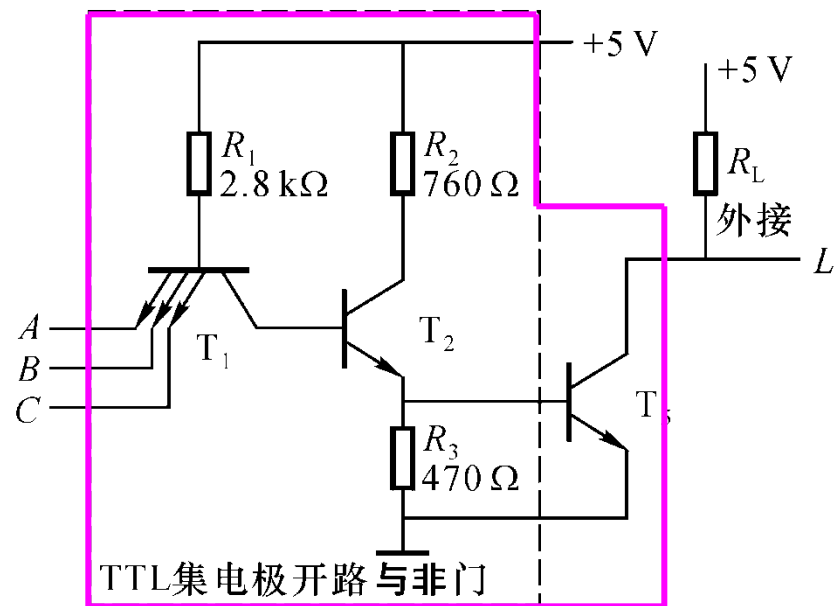
➤ TTL或非门



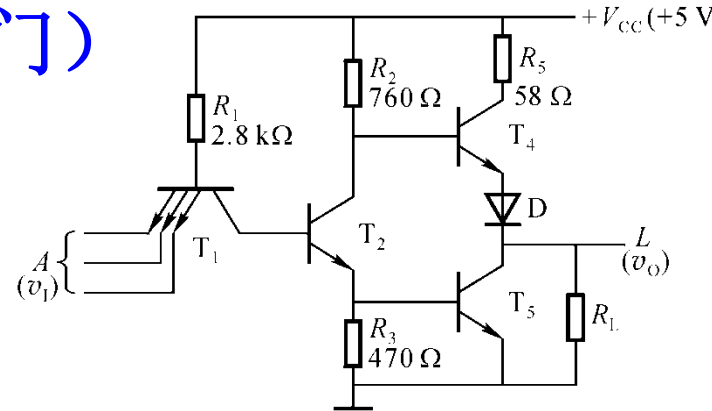
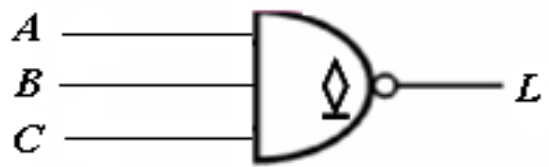
$$L = \overline{A + B}$$



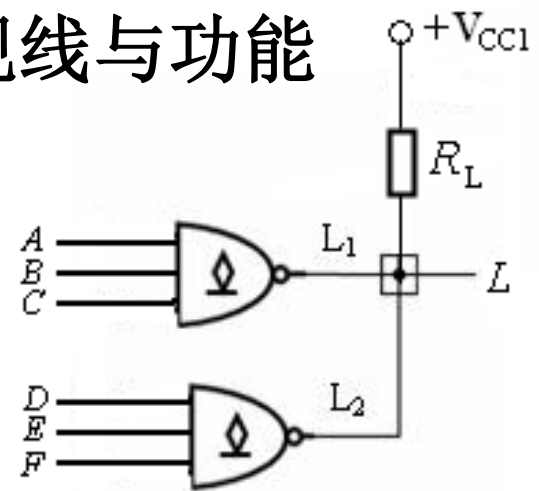
二、TTL集电极开路与非门（OC门）



- 省去T₄和D，输出高电平为V_{CC}，而不是3.6V

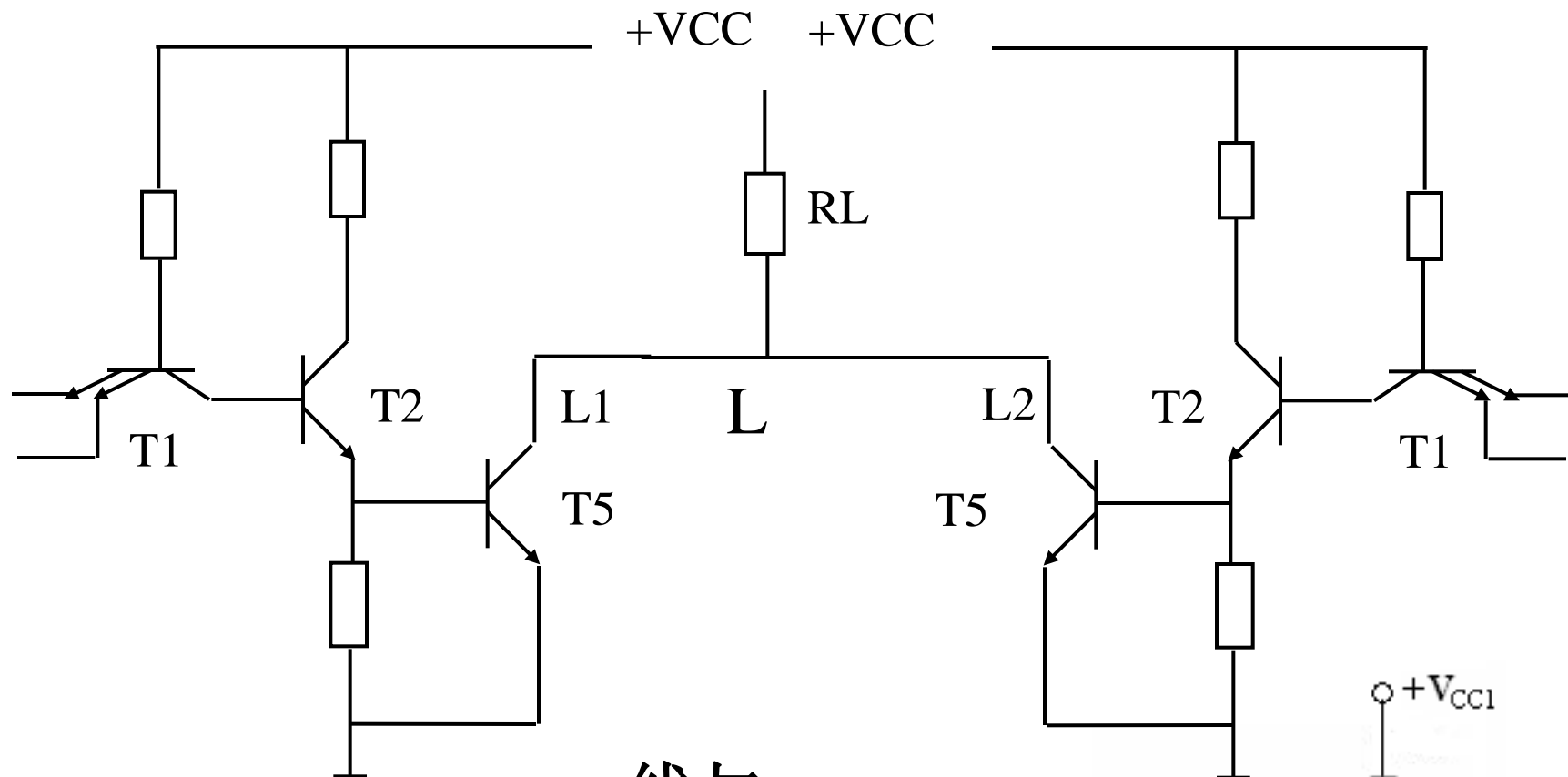


- 实现线与功能



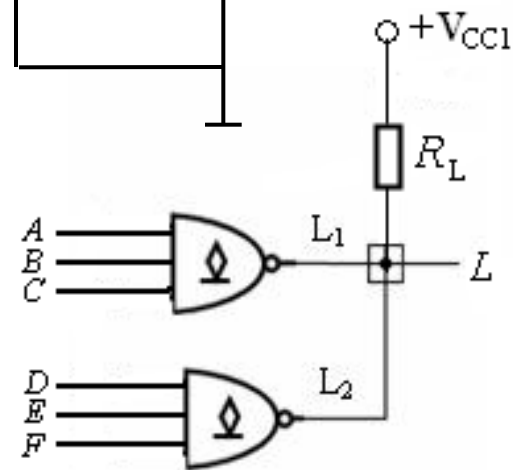
$$L = L_1 \cdot L_2 = \overline{ABC} \cdot \overline{DEF} = \overline{ABC + DEF}$$

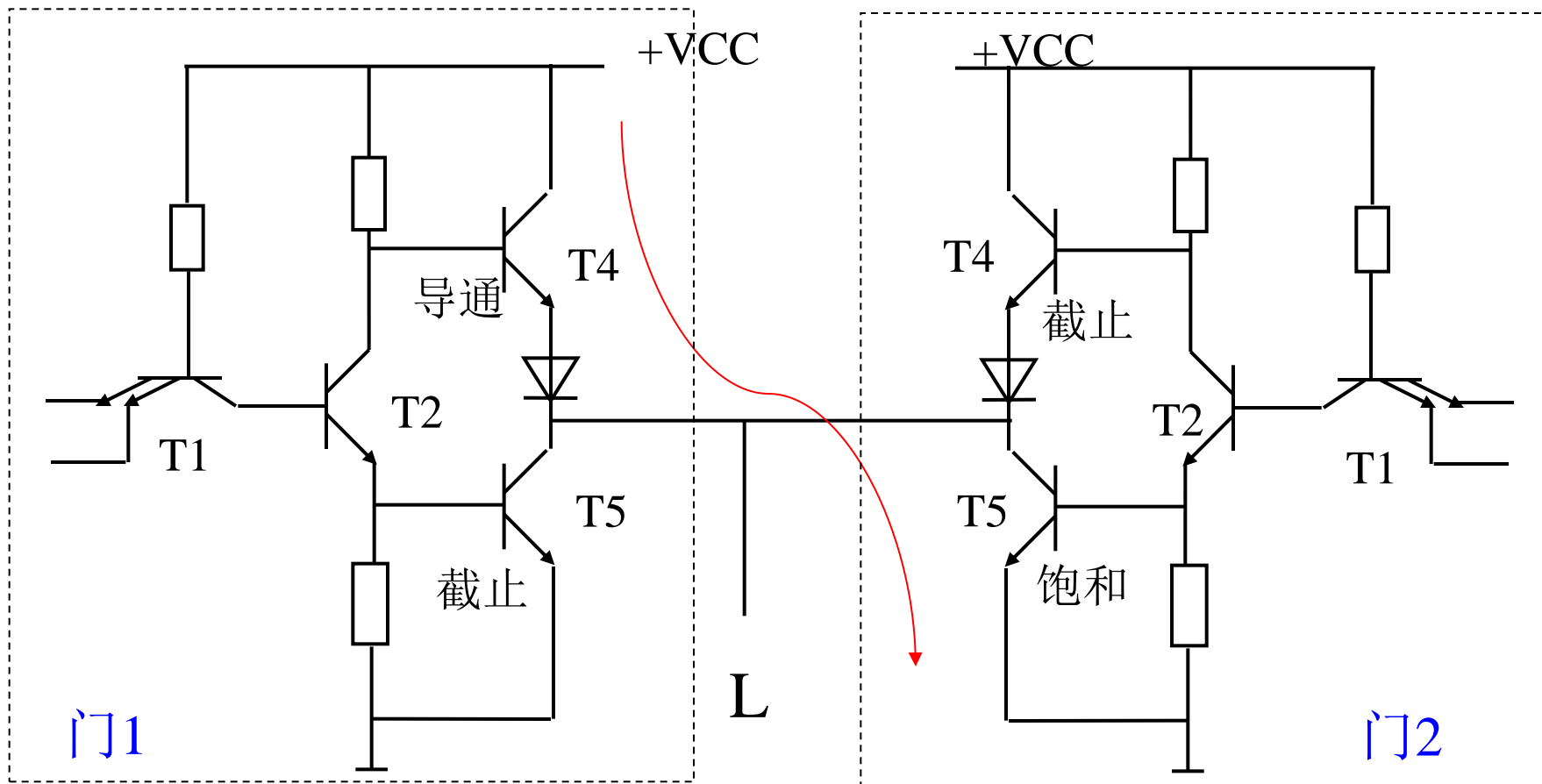
- 可实现两种逻辑电平转换



$$L = L_1 \cdot L_2$$

线与





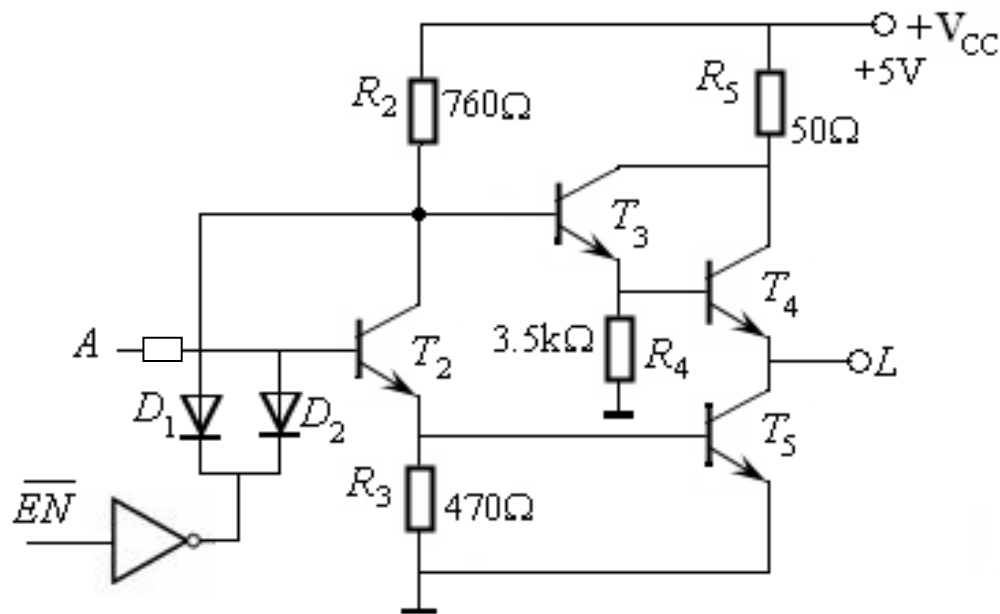
而普通与非门输出端不允许直接并联，如图，很大电流经门1到门2，这一大电流在输出内阻上的压降较大，可能使输出既非高电平又非低电平，产生逻辑混乱，并可能烧坏门电路。

➤ 三、TTL三态输出门

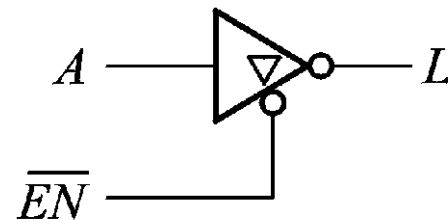
三态门的输出状态除0、1两种状态外，还有高阻输出状态。

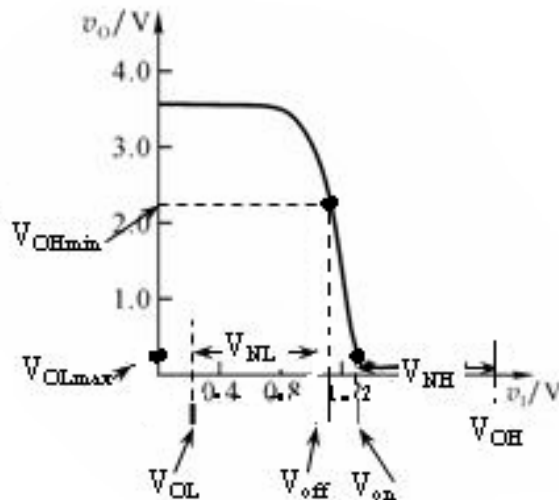
$\overline{EN} = 0$ 时，三态门使能，即 D_1 、 D_2 截止，A和L实现了反相输出， $L = \overline{A}$

$\overline{EN} = 1$ 时，无论 $A=0$ 或1， D_1 始终导通使 T_4 截止； $A=0$ 时 T_5 截止， $A=1$ 时 D_2 导通 $V_{b2}=1V$ 使 T_5 也截止。 T_4 、 T_5 都截止，输出为高阻态。



\overline{EN} 使能控制端





各类门电路输入电平和输出电平比较

种类 电平V		CMOS门电路 (+5V电源)	TTL门电路 (+5V电源)	I^2L 门电路 (+3V电源)	ECL门电路 (+5V电源)
输出 电平	V_{OH}	5.0	3.4	>0.7	3.4
	V_{OL}	0	0.3	<0.3	0.3
输入 电平	V_{IH}	>2.0	>1.4	>0.7	>1.4
	V_{IL}	<1.5	<0.8	<0.3	<0.8

以5V电源电压时，CMOS和TTL参数之比较：

参数名称	CMOS (4000系列)	TTL (74LS系列)
$V_{OH(min)}/V$	4.6	2.7
$V_{OL(max)}/V$	0.05	0.5
$I_{OH(max)}/mA$	-0.51	-0.4
$I_{OL(max)}/mA$	0.51	8
$V_{IH(min)}/V$	3.5	2
$V_{IL(max)}/V$	1.5	0.8
$I_{IH(max)}/\mu A$	0.1	20
$I_{IL(max)}/mA$	-0.0001	-0.4

2.4 集成门电路的实际应用问题

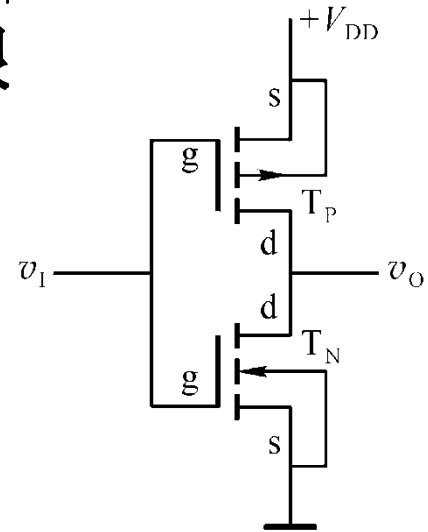
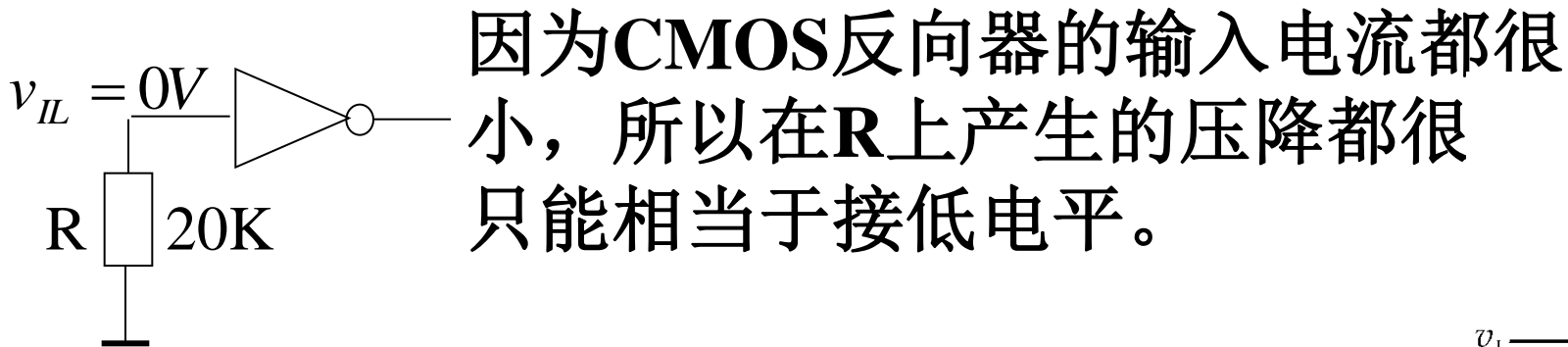
1. 应保证整体逻辑功能，不盲目追求速度等指标。
2. 器件应考虑兼容和可替代、通用性。

2.4.1 多余输入端的处理

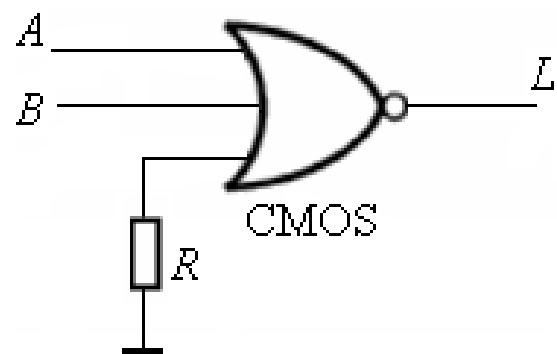
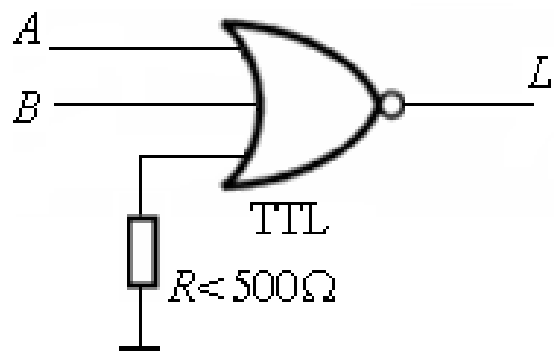
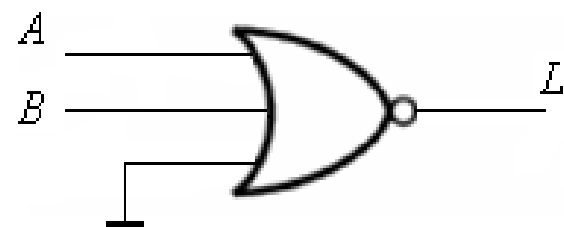
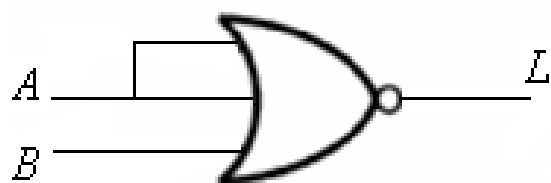
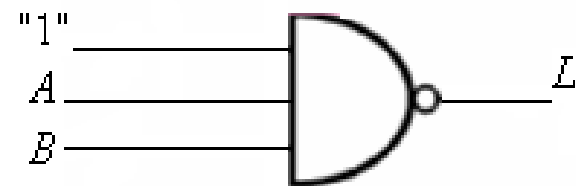
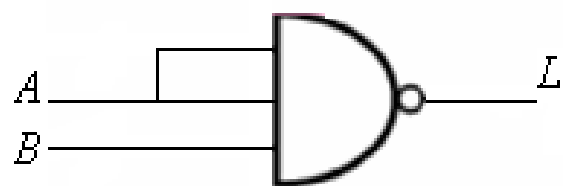
- 对于**与非门**电路：把多余输入端接正电源或者与有用端并联使用；
- 对于**或非门**电路：把多余输入端接地或与有用端并联使用。通过电阻接地时，对TTL这只串联电阻阻值只能在**500欧姆以下**。

特别注意：**不能把多余输入端悬空**。对**TTL**电路，悬空虽相当于高电平，但**易引入干扰**；对**CMOS**电路，悬空无电位，使相应管子截止，**破坏逻辑关系**，也会引入干扰。

CMOS反向器的输入端经一大电阻接地，是否相当于接高电平？



如果将输入端悬空，PMOS和NMOS都截止，输出对高电压端 V_{DD} 和低电压端 V_{SS} 都不导通，输出呈高阻态，既不相当于输入接高电平，也不相当于接低电平。



2.4.2 不同种类的逻辑门之间的连接

在连接二种不同种类的逻辑门电路，且当二种逻辑门电路的逻辑电平、驱动能力不一致时，它们之间应加接口电路。

➤ 要求：

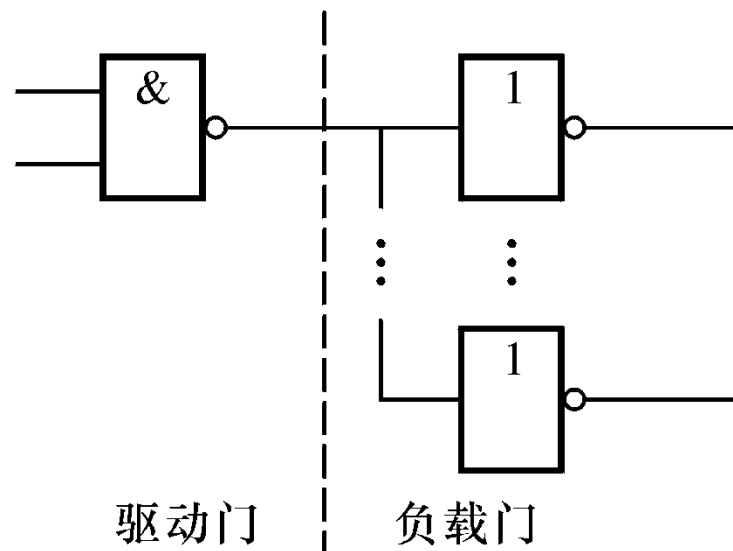
驱动门 负载门

$$V_{OH(min)} \geq V_{IH(min)}$$

$$V_{OL(max)} \leq V_{IH(max)}$$

$$I_{OH(max)} \geq N_{OH} I_{IH(max)}$$

$$I_{OL(max)} \geq N_{OL} I_{IL(max)}$$

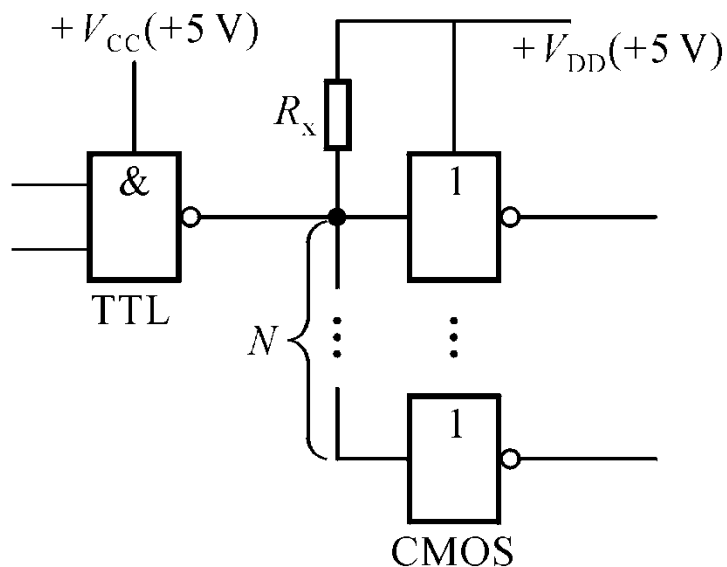


以5V电源电压时，CMOS和TTL参数之比较：

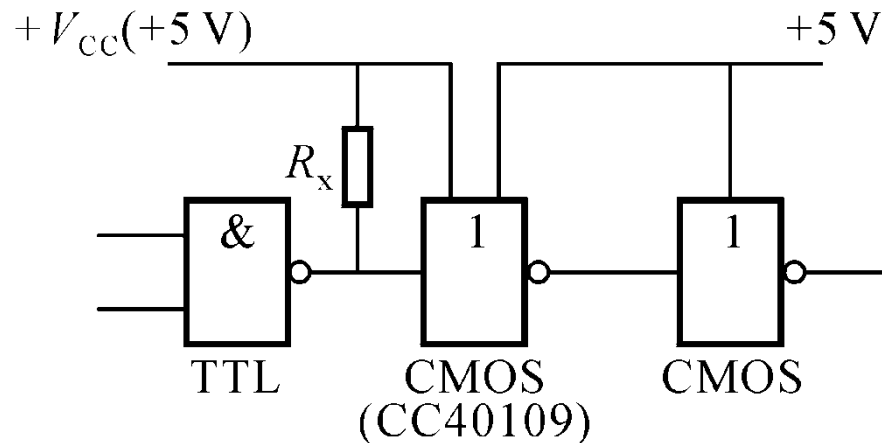
参数名称	CMOS (4000系列)	TTL (74LS系列)
$V_{OH(min)}/V$	4.6	2.7
$V_{OL(max)}/V$	0.05	0.5
$I_{OH(max)}/mA$	-0.51	-0.4
$I_{OL(max)}/mA$	0.51	8
$V_{IH(min)}/V$	3.5	2
$V_{IL(max)}/V$	1.5	0.8
$I_{IH(max)}/\mu A$	0.1	20
$I_{IL(max)}/mA$	-0.0001	-0.4

➤ TTL驱动CMOS

TTL的输出高电平不满足CMOS的输入高电平要求，其它都满足。因此应将TTL电路输出的高电平提升到CMOS的输入高电平下限值以上。常用方法是接**上拉电阻**和接**电平偏移门**电路实现电平转换。



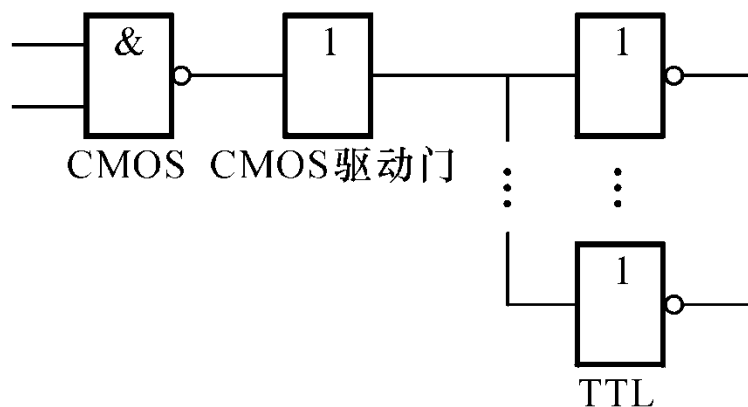
接上拉电阻



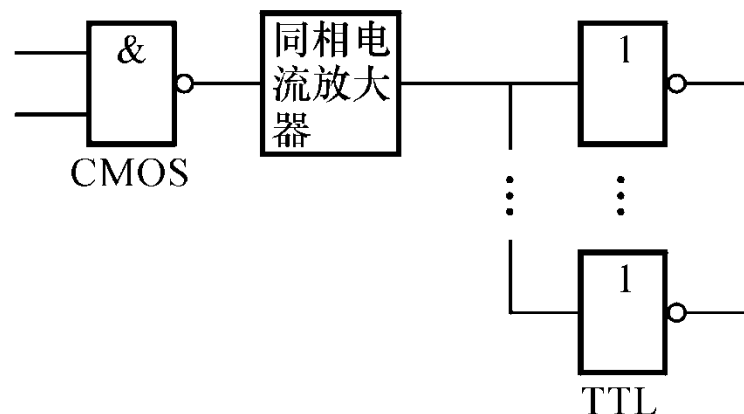
接电平偏移门

➤ CMOS驱动TTL

CMOS驱动TTL时，**CMOS电路的最大灌电流太小，不满足要求**，其它都满足。常用方法是采用一级**CMOS驱动门**或先经**电流放大器**后驱动TTL电路。

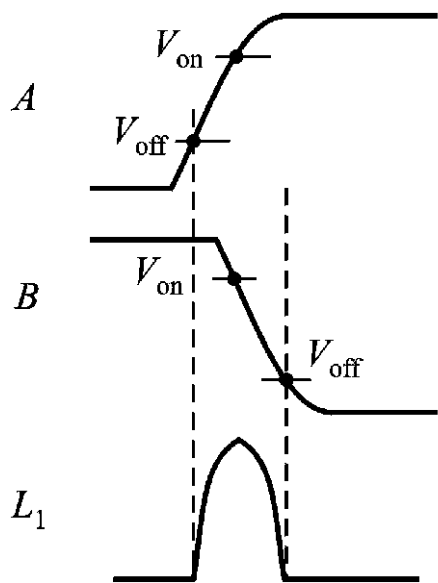
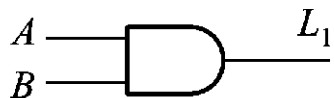


采用CMOS驱动门

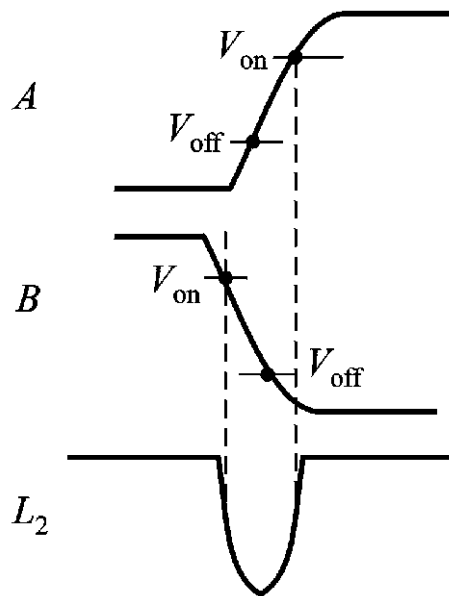


采用同相电流放大器

2.4.3 注意门电路延迟时间的配合



(a)



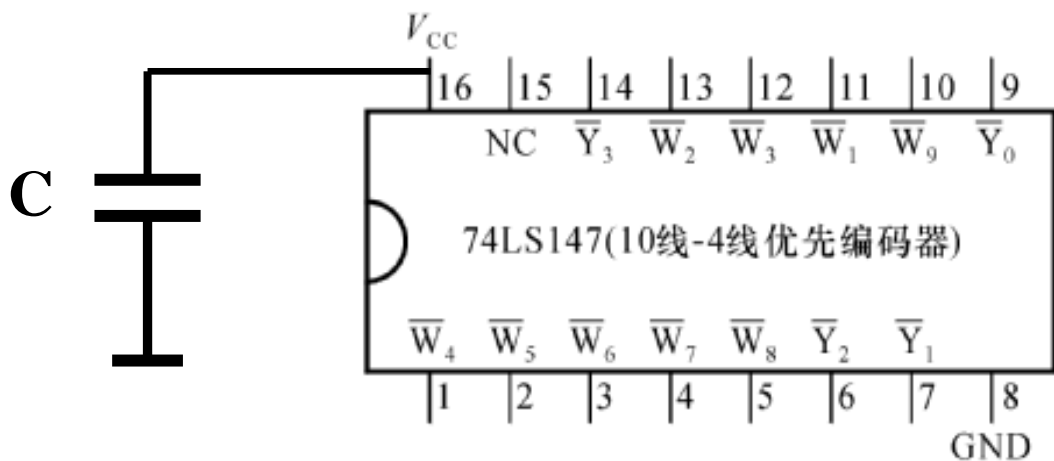
(b)

考虑传输延迟时间后，出现窄脉冲，破坏了电路的逻辑关系，可在门电路的输出端接几百皮法的滤波电容

2.4.4 数字门的抗干扰措施

数字电路在脉冲工作时，由于电路中晶体管交替工作，会产生脉冲尖峰电流，该电流在电源内阻上产生的压降可能影响正常的逻辑关系。

滤除尖峰电流的常用方法是在集成电路电源的引脚端**加接一只 $0.01\mu\text{F}\sim 0.1\mu\text{F}$ 的电容器**。

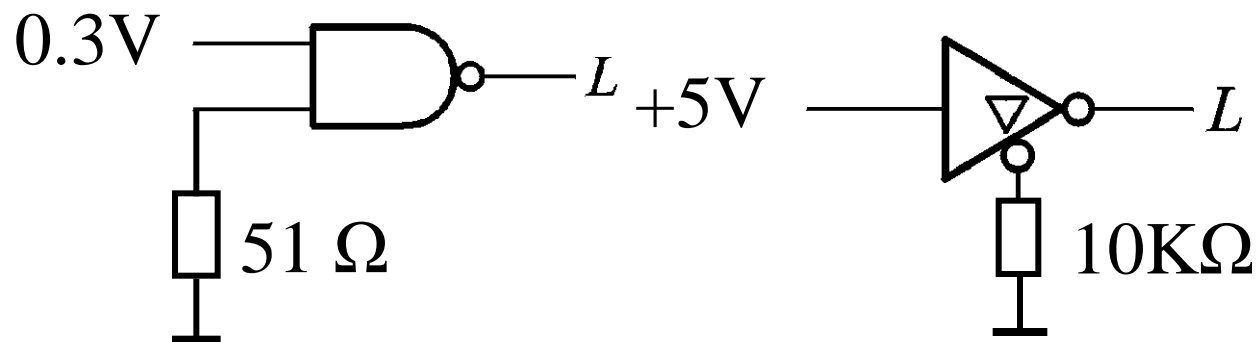
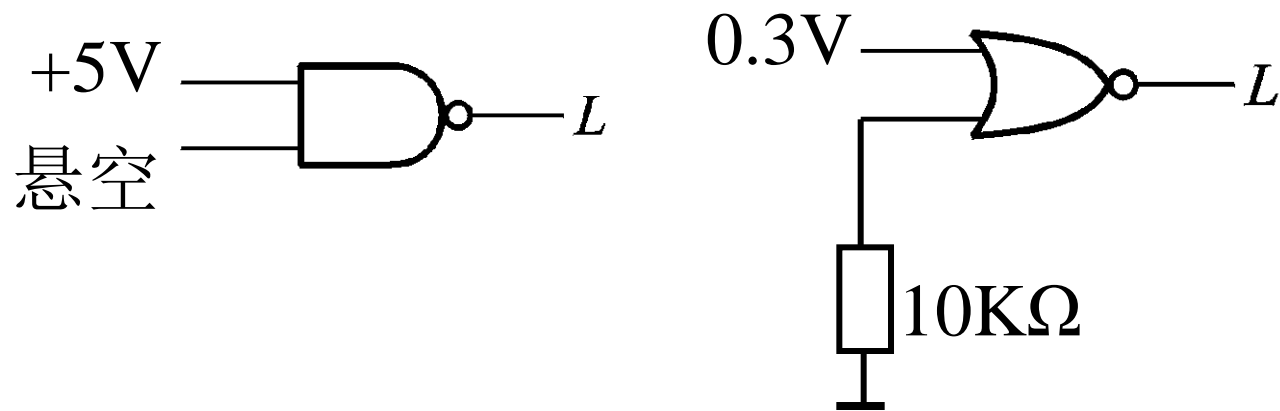


正确的接地技术对于降低电路噪声很重要

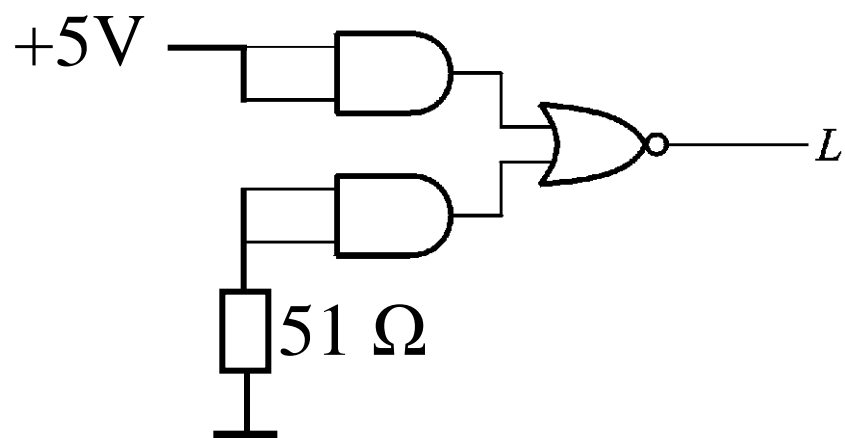
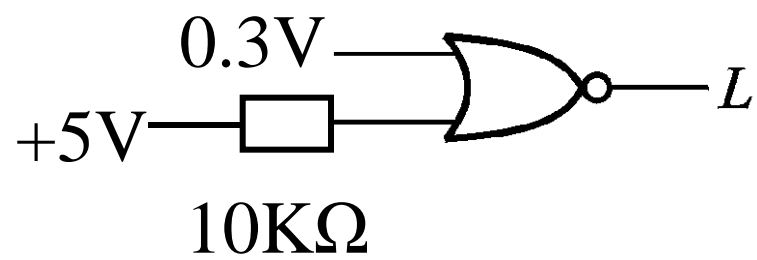
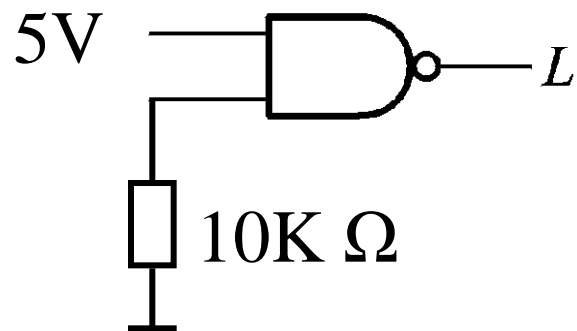
可将电源地与信号地分开，先信号地汇集在一点，然后将二者用最短的导线连接在一起，以避免含有多种脉冲波形（含尖峰电流）的大电流引到数字器件的输入端而引起逻辑错误。

当系统中兼有模拟和数字两种器件时，同样需将两者的地分开，然后再选用一个合适共同点接地，以免除两者的影响。必要时，也可设计模拟和数字两块电路板，各备直流电源，然后将两者恰当的地连接在一起。在印刷电路板的设计或安装中，要注意连线尽可能短，以减少接线电容而导致寄生反馈有可能引起的寄生振荡。

指出输出逻辑电平是高电平、低电平还是高阻态？

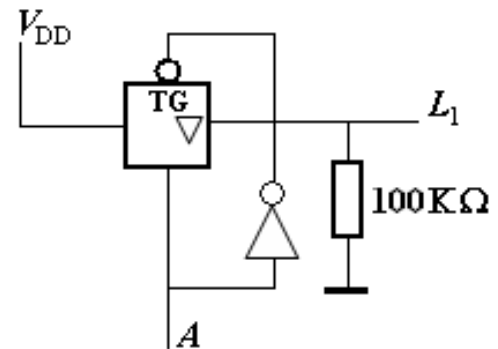
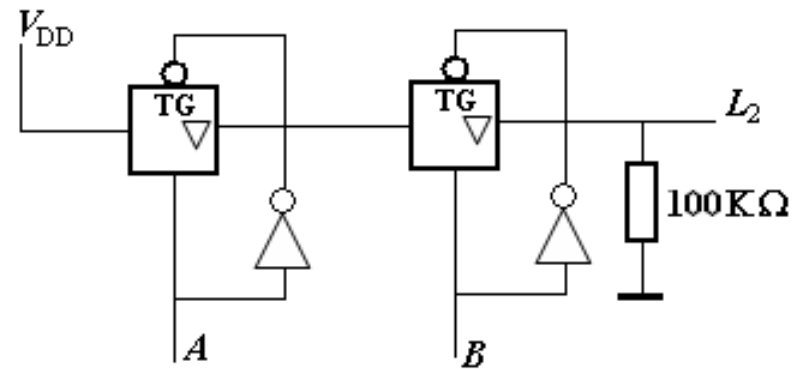
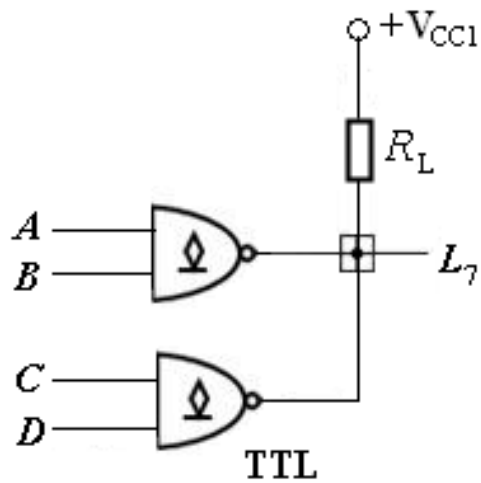


TTL门电路



CMOS门电路

写出下面电路的输出表达式



CMOS传输门