

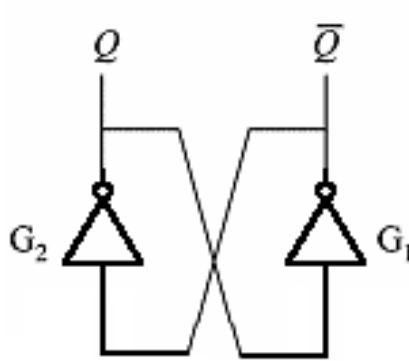
第3章 数字信号的存储

本章首先介绍具有记忆功能的单元电路——触发器，然后介绍具有暂存功能的寄存器，以及大量二进制信息的存放“仓库”——存储器。

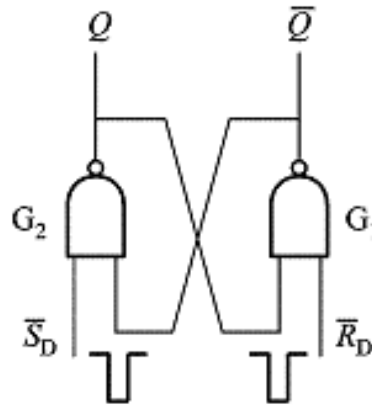
3.1 二进制存储单元

3.1.1 基本RS触发器

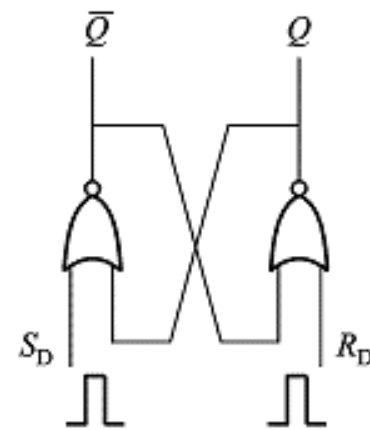
触发器是构成时序电路的基本逻辑单元。基本触发器是能记忆1位二进制信息的电路，有三种基本电路。



非门组成



与非门组成



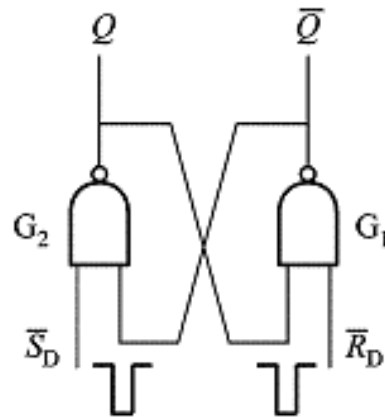
或非门组成

➤ 非门组成的基本触发器

Q 和 \bar{Q} 相互交叉连接，所以两者一定为互补输出， $Q=0$ 时， $\bar{Q}=1$ ；反之也行。但是 Q 是0还是1，不能人为控制，是随机的。

➤ 与非门组成的基本触发器

为了能够实现寄存信息的控制，
在电路中引入二个输入端 $\bar{R}_D(R_D)$
和 $\bar{S}_D(S_D)$ 端。



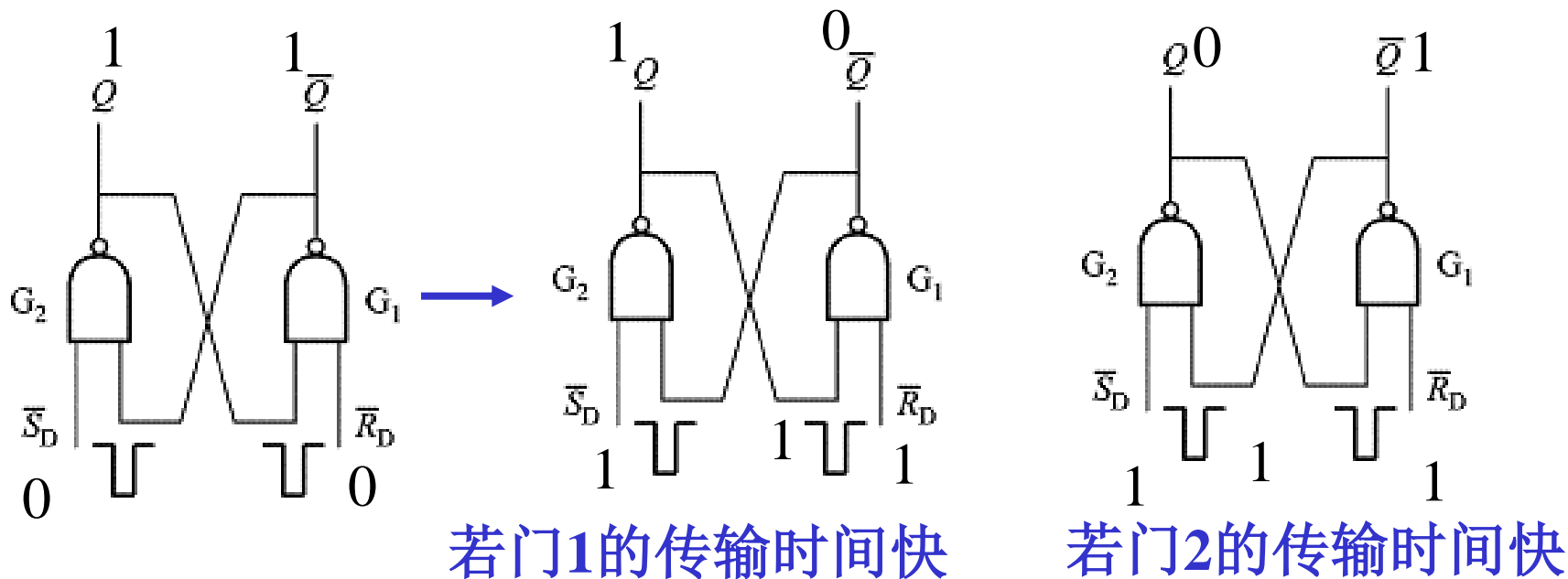
$\bar{S}_D = 0, \bar{R}_D = 1 \rightarrow Q$ 变为1状态，称为**置位(置1)**

$\bar{R}_D = 0, \bar{S}_D = 1 \rightarrow Q$ 变为0状态，称为**复位(置0)**

$\bar{R}_D = \bar{S}_D = 1 \rightarrow$ 触发器的状态不变，由原状态决定，
称为**保持**。

$\bar{R}_D = \bar{S}_D = 0 \rightarrow$ 触发器的状态具有随机性，实际使用
时应避免，通常称为**禁用**。

两个低电平**同时消失**时，输出为0或1不确定，决定于门的
传输时间快慢。



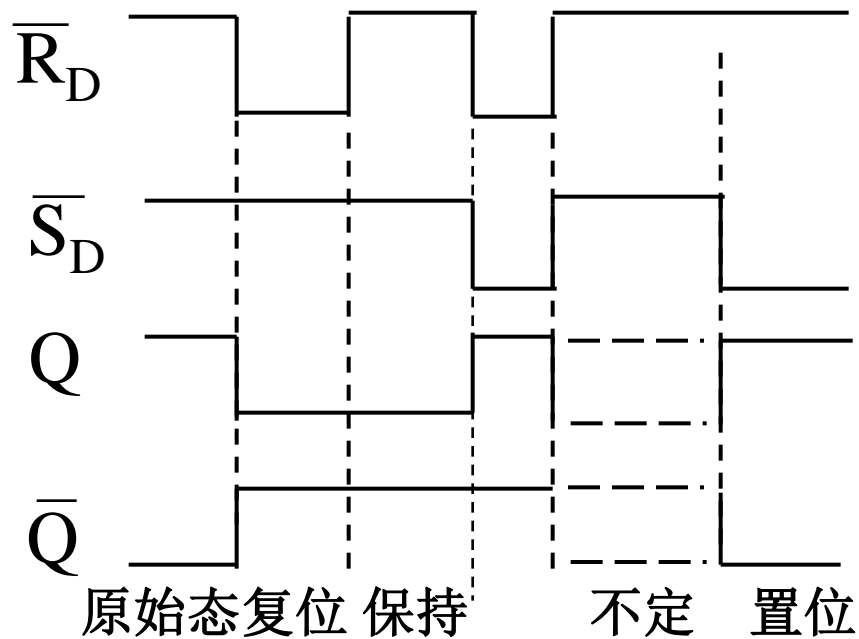
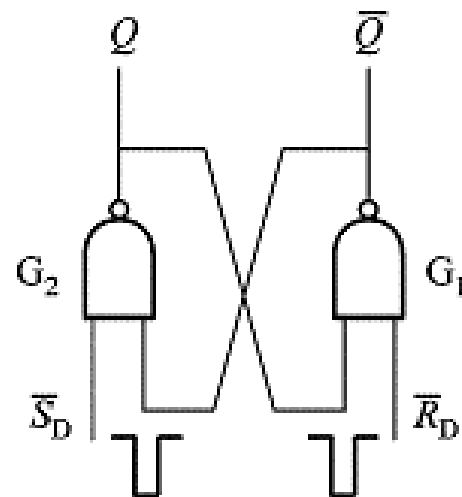
$\overline{R_D} = \overline{S_D} = 0$ 时，触发器的状态是定的，都为1

$\overline{R_D}, \overline{S_D}$ 同时从0变为1后，输出为0或1不确定，决定于门的传输时间快慢。

$\overline{R_D} = \overline{S_D} = 0 \rightarrow$ 触发器的状态具有随机性，实际使用时应避免，通常称为禁用。

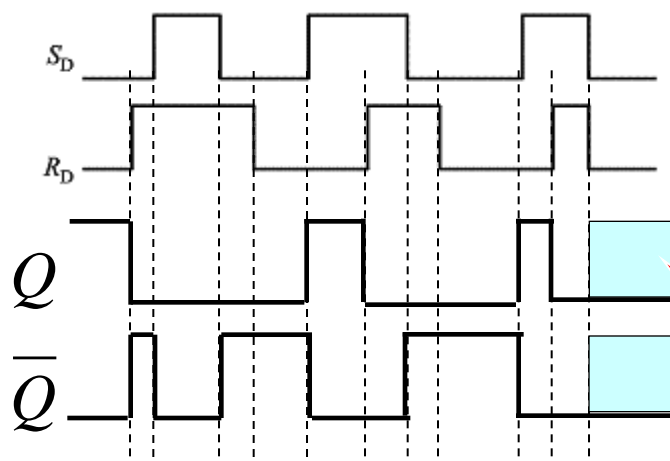
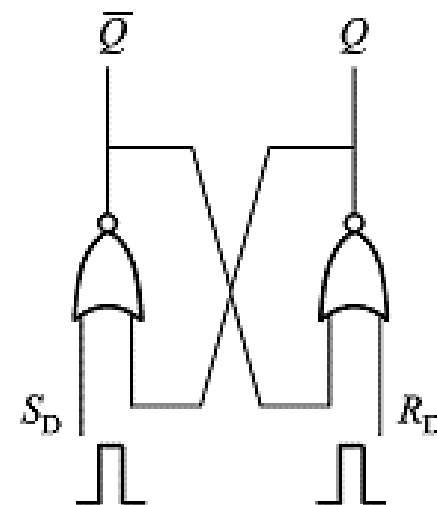
上述功能通常用真值表描述

$\overline{R_D}$	$\overline{S_D}$	Q	\overline{Q}	说明
0	0	×	×	禁用
0	1	0	1	置0
1	0	1	0	置1
1	1	—	—	保持



➤ 或非门组成的基本触发器

R_D	S_D	Q	\bar{Q}	说明
0	0	—	—	保持
0	1	1	0	置1
1	0	0	1	置0
1	1	×	×	禁用



“0”还是“1”
态无法确定

二、基本RS触发器的动态特性

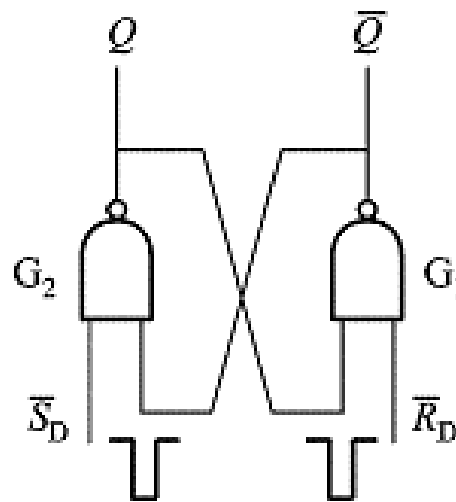
动态特性是指输入信号、 CP 脉冲及状态翻转之间的时间关系。

假定 \bar{R}_D 、 \bar{S}_D 原都为“1”， Q 为“0”状态。每个与非门的延迟时间为 $1 t_{pd}$ 。

若 $\bar{R}_D = 1$ 、 $\bar{S}_D = 0$ ，则经 $1 t_{pd}$ 延时 Q 变高，再经 $1 t_{pd}$ 后， \bar{Q} 变低。

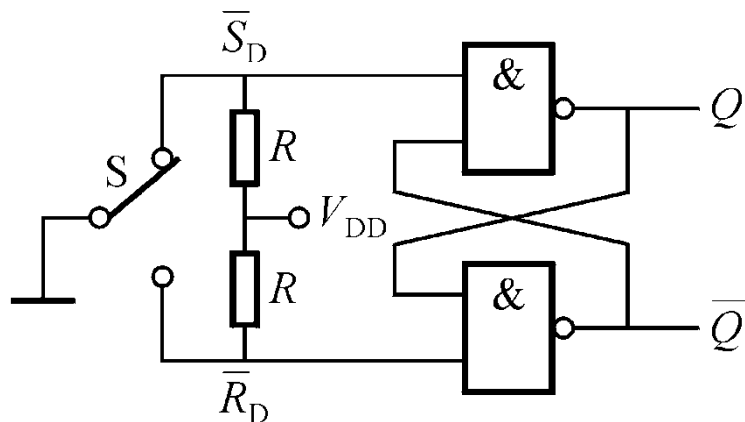
若 $\bar{R}_D = 0$ 、 $\bar{S}_D = 1$ ，则经 $1 t_{pd}$ 延时先 \bar{Q} 变高，再经 $1 t_{pd}$ 后， Q 变低。

可见，从输入状态变化到输出状态改变， \bar{R}_D 和 \bar{S}_D 的高低电平时间都应 $> 2 t_{pd}$ 。

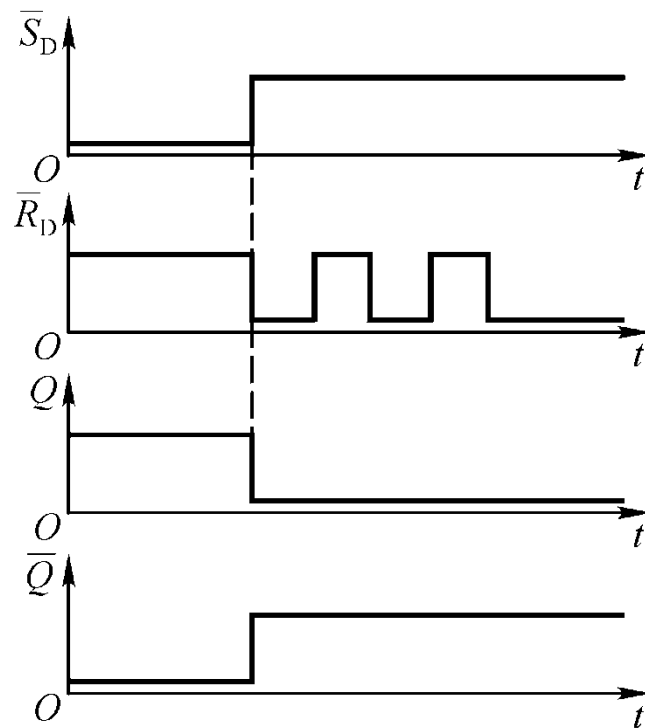


➤ 基本RS触发器应用举例

用基本RS触发器实现无弹跳开关。



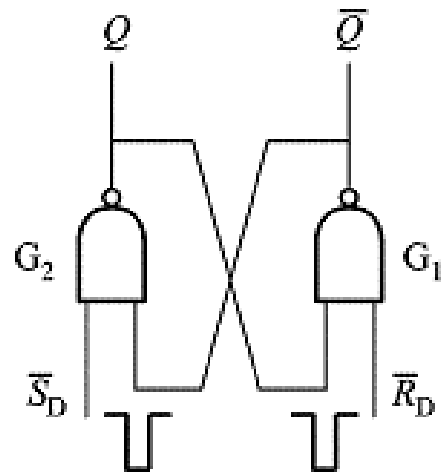
电路



波形

3.1.2 电平触发的触发器

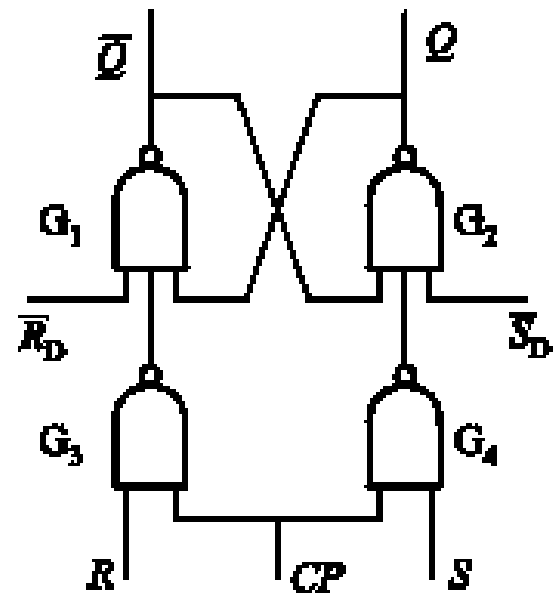
在时序逻辑电路中，一般要求用一个统一的时钟信号来协调整个电路的工作。有时钟信号时，电路的输出状态可能翻转，否则电路的输出状态就不变。简单地说，**电路输出状态的改变与时钟信号出现是同步的**，所以也称**同步**触发器。



一、高电平触发的RS触发器

也称**RS锁存器**。

在基本RS触发器的基础上增加了两个与非门，所以在输入的RS上**没有非号**和**D下标**。



当 $CP = 0$ 时，G3、G4 输出为高（被封锁）；

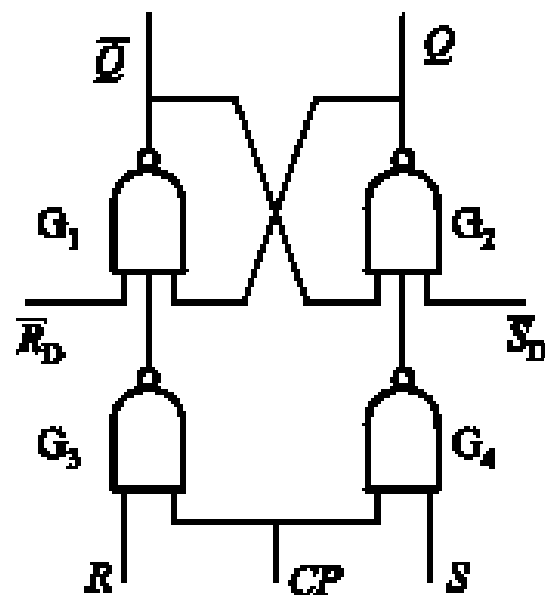
触发器的输出受 \bar{R}_D 、 \bar{S}_D 控制；

\bar{R}_D : （异步）清零端；

\bar{S}_D : （异步）置数端。

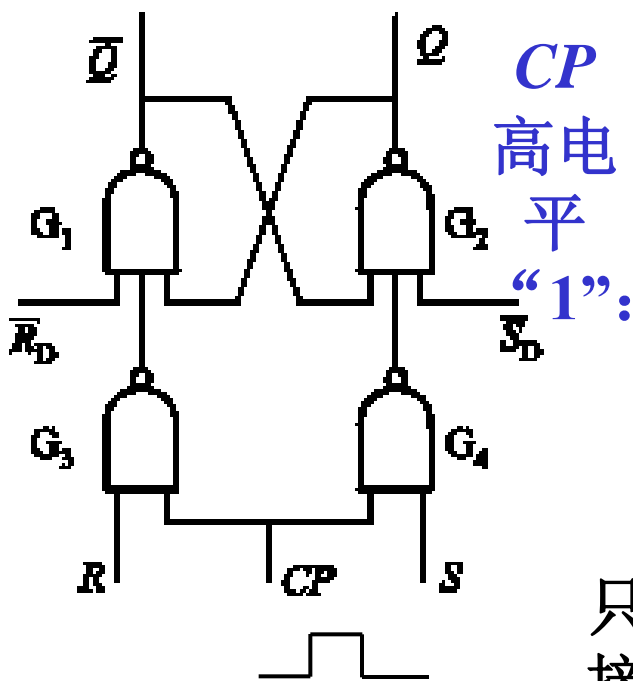
在 $CP = 0$ 时，可以用 \bar{R}_D 、 \bar{S}_D 来设置触发器输出端的初始状态；

当初态设置好后， \bar{R}_D 、 \bar{S}_D 都应置为高电平。



令CP作用之前触发器的状态为**初态**（初始状态），记作 Q^n ；
 令CP作用之后触发器的状态为**次态**（下一状态），记作 Q^{n+1} 。

功能用真值表表示



$\overline{R_D}$	$\overline{S_D}$	R	S	Q^n	Q^{n+1}	说明
0	1	×	×	×	0	异步清0
1	0	×	×	×	1	异步置1
1	1	0	0	0	0	$Q^{n+1} = Q^n$
1	1	0	0	1	1	
1	1	0	1	0	1	$Q^{n+1} = 1$
1	1	0	1	1	1	
1	1	1	0	0	0	$Q^{n+1} = 0$
1	1	1	0	1	0	
1	1	1	1	0	×	禁用（约束）
1	1	1	1	1	×	

在CP为低电平“0”时进行

保持功能

置1功能

置0功能

当CP为低电平“0”时， G_3 和 G_4 与非门封锁，只有在CP高电平“1”后，两个与非门打开，接受R、S状态。

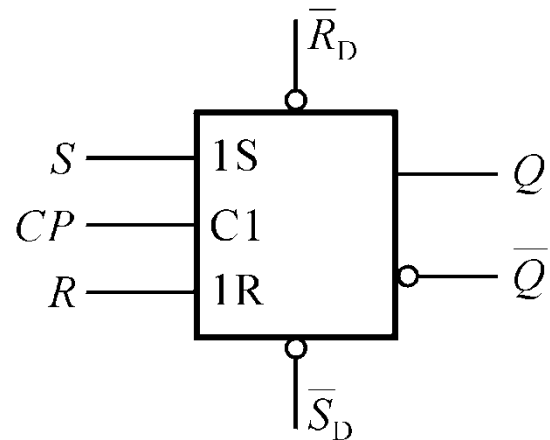
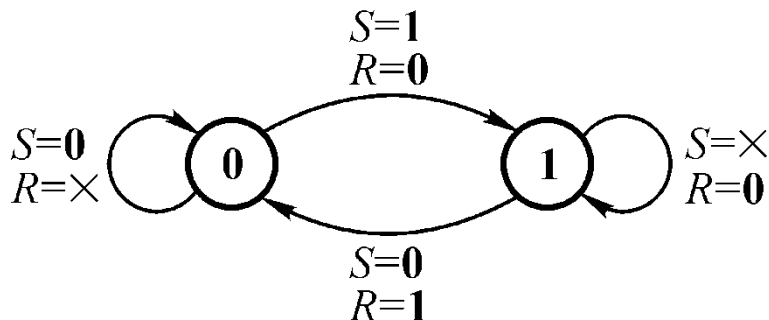
➤ 功能用次态逻辑函数(特性方程)表示

$$\begin{cases} Q^{n+1} = S + \bar{R}Q^n \\ RS = 0 \text{ (约束条件)} \end{cases}$$

Q^{n+1} $R \backslash SQ^n$					
		00	01	11	10
0	0	1	1	1	
1	0	0	×	×	

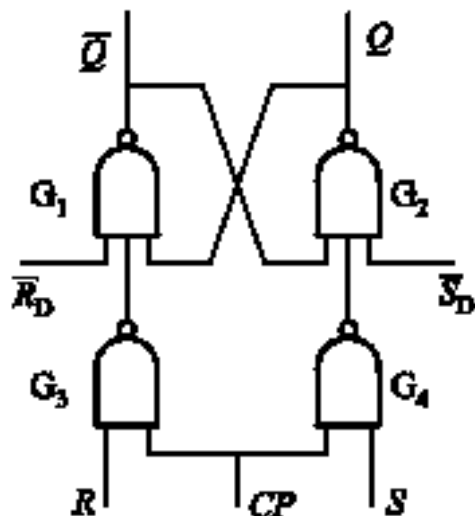
➤ 功能用状态转换图表示

它表示触发器从现态转换到次态时对输入端的要求。



高电平触发RS触发器的
逻辑符号

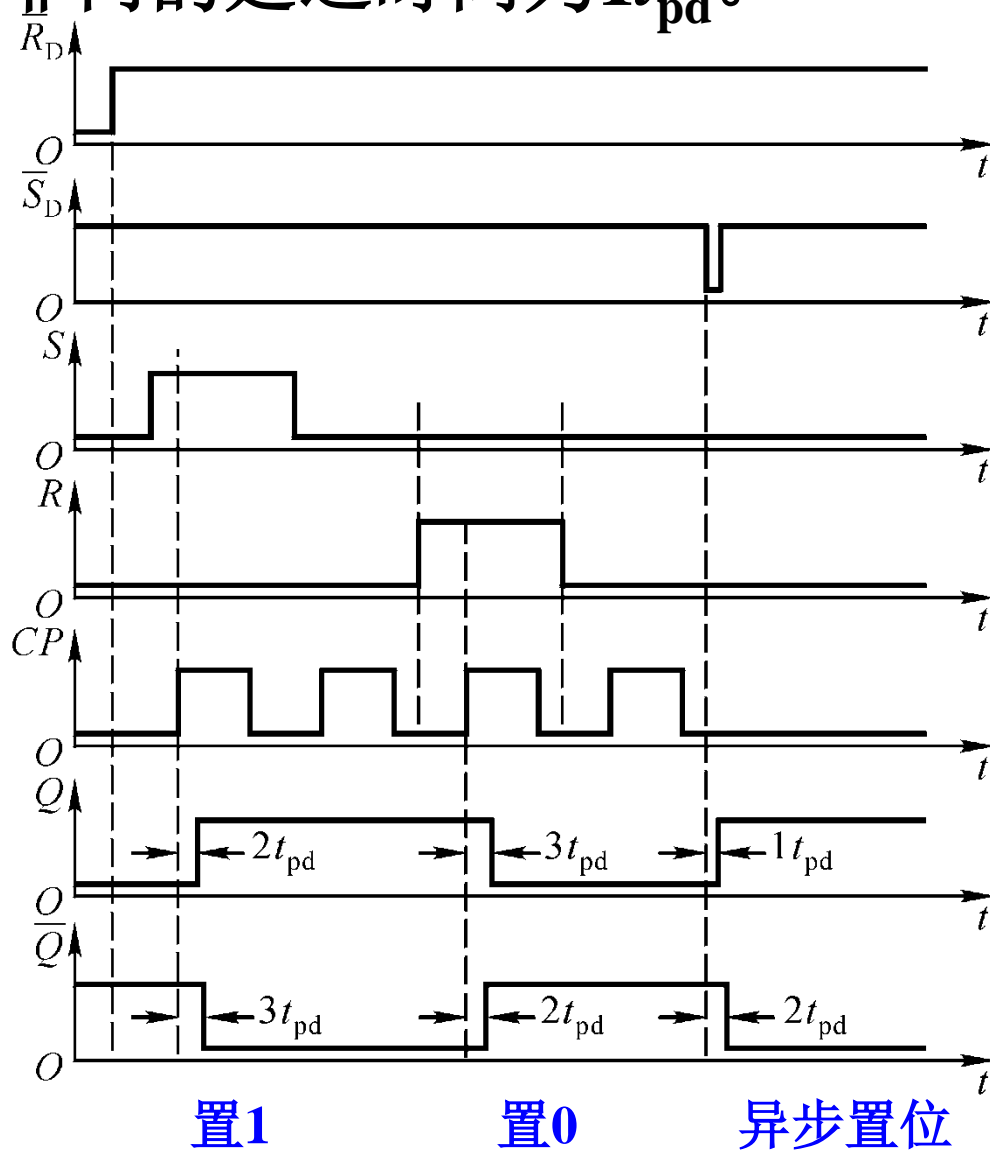
动态特性 设每个与非门的延迟时间为 $1t_{pd}$ 。



➤ 对RS端数据的时间要求：

当 Q 或 \bar{Q} 一端稳定时，
则 $t_R, t_S > 2t_{pd}$

当 Q 和 \bar{Q} 两端都稳定时，
则 $t_R, t_S > 3t_{pd}$



➤ 对CP高电平时间要求:

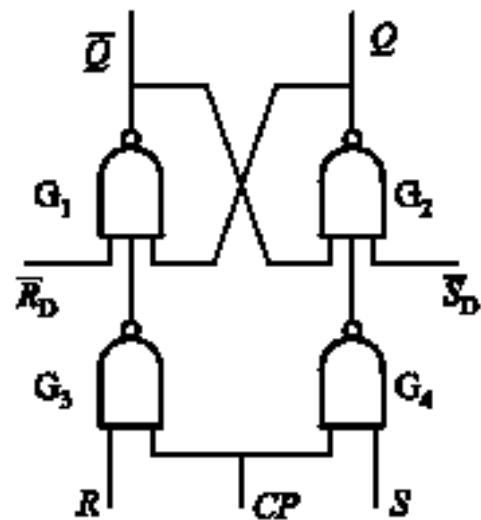
当 Q 或 \bar{Q} 一端稳定时, 则 $t_{CPH} > 2t_{pd}$

当 Q 和 \bar{Q} 两端都稳定时, 则 $t_{CPH} > 3t_{pd}$

➤ CP脉冲出现到触发器翻转时间:

Q 由0→1所需时间: $t_{pdLH} = 2t_{pd}$

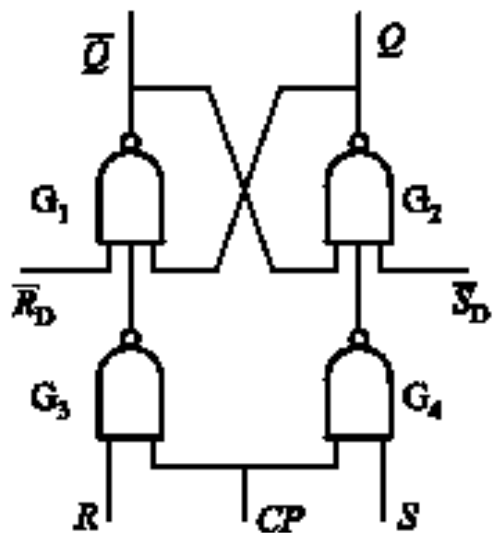
Q 由1→0所需时间: $t_{pdHL} = 3t_{pd}$



二、时钟高电平触发的D触发器

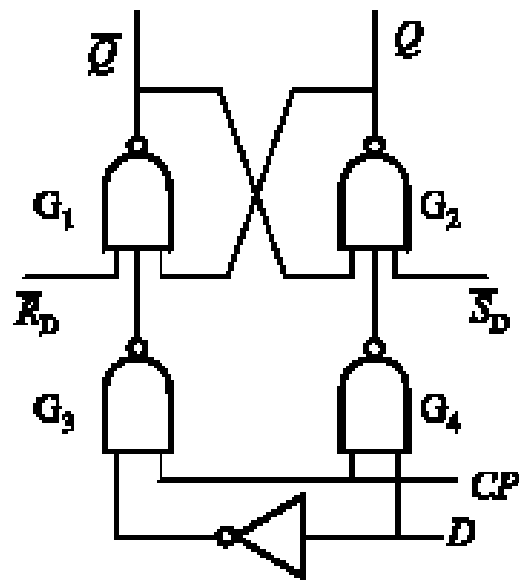
在 RS 触发器的基础上增加一个反相器，就成为 D 触发器。
原 RS 触发器的 R 端为 \bar{D} ， S 端为 D 输入，代入特性方程后得：

$$Q^{n+1} = S + \bar{R}Q^n = D + \bar{\bar{D}}Q^n = D$$

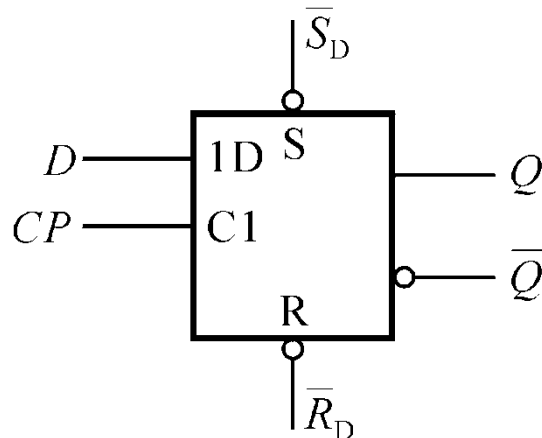


RS 触发器

说明高电平触发的 D 触发器的次态与 D 端状态相同。所以又称 D 锁存器。



D 触发器

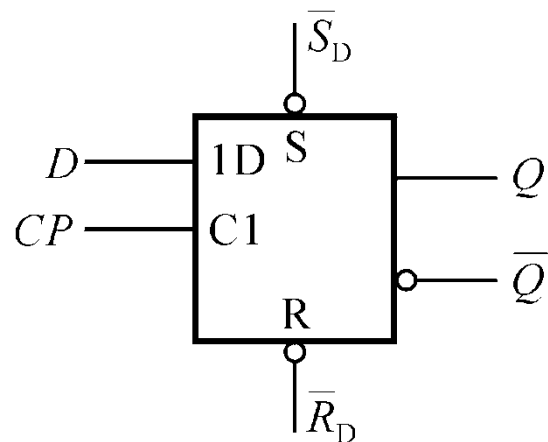


逻辑符号

D 触发器的真值表

D	Q^n	Q^{n+1}	说明
0	0	0	置 0
	1		
1	0	1	置 1
	1		

$$Q^{n+1} = D$$



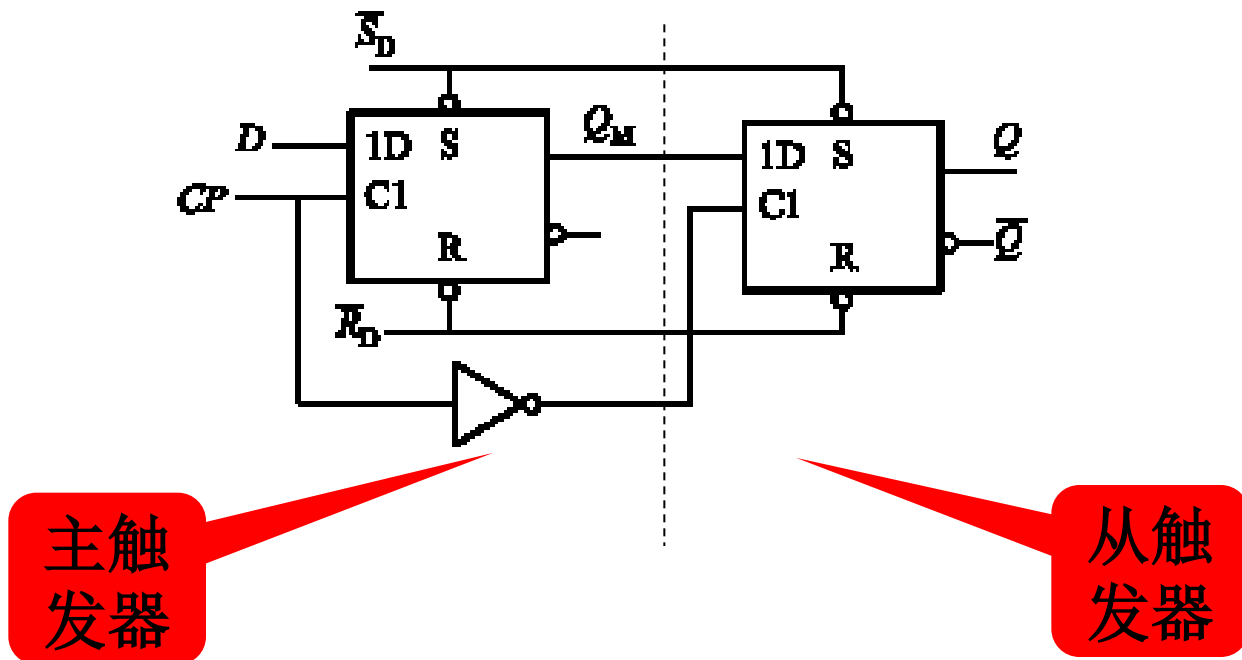
3.1.3 边沿触发器

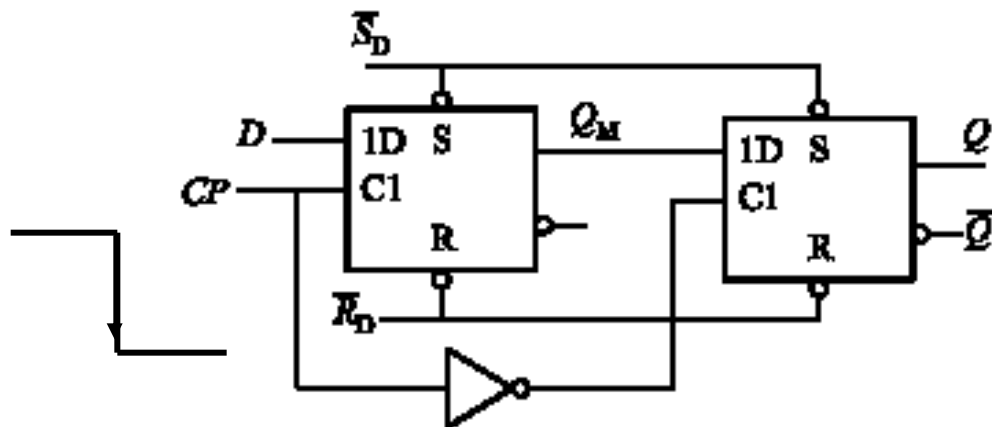
边沿触发器只有在CP脉冲的上升沿或下降沿时接收信号，并完成翻转，而与此时刻前后的输入状态无关。所以，触发器响应输入信号的时间极短，电路的可靠性高，抗干扰能力强。目前的触发器产品一般都采用该技术。

一、主从D功能触发器

主从型触发器的翻转特点是分接收和翻转二个节拍动作。

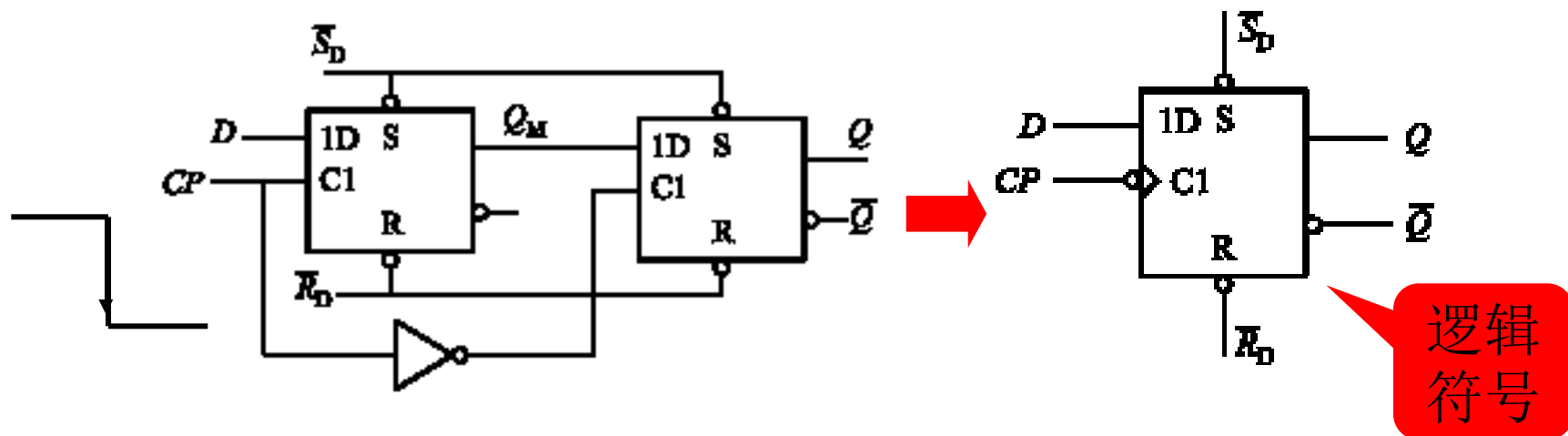
1. 将两个高电平触发的D触发器串联起来，用同一个CP脉冲触发，如图所示。





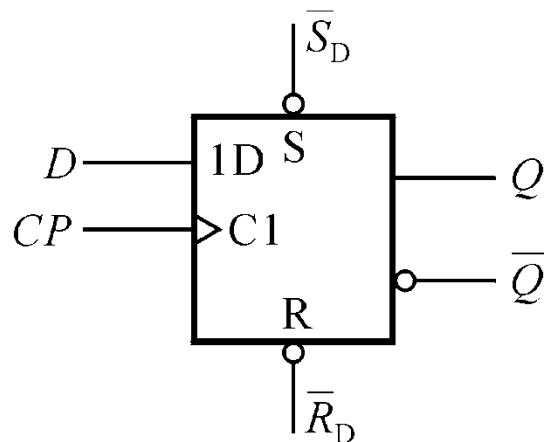
CP为高电平“1”，主触发器根据D状态翻转， $Q_M=D$ ；从触发器（触发器）Q端状态不会改变。

CP一当跳变为低电平“0”，主触发器状态封锁保持不变；从触发器（触发器）Q端状态跟主触发器而变，即 $Q=Q_M=D$ 。

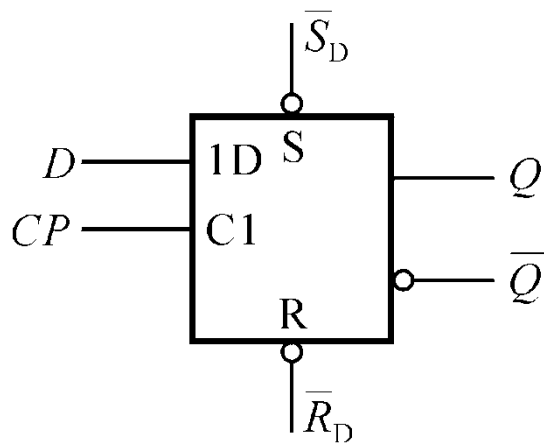


可见在一个CP脉冲周期内，分为两个节拍动作，但对整个触发器而言，其状态改变是在CP脉冲的下降沿到达后实现的。所以为下降沿触发的D触发器。

➤ 逻辑符号



上升沿D触发器
(也叫正边沿触发)



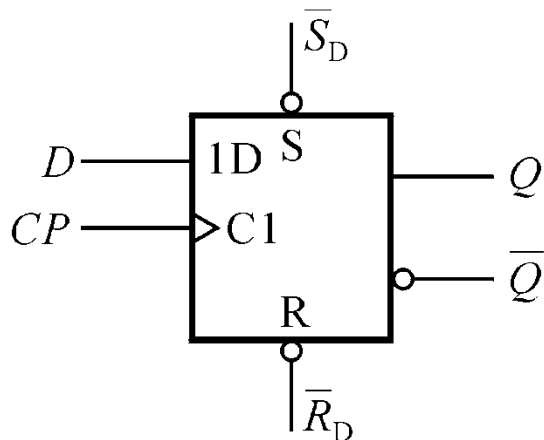
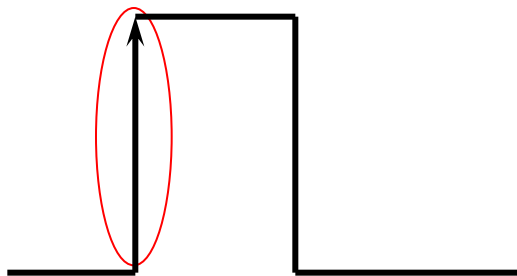
请注意上升沿D触发器逻辑符号
与高电平触发D触发器的区别:

高电平触发D触发器

二、维持阻塞型D触发器

电路由六个与非门组成，采用维持阻塞结构，能实现边沿触发的主要原因是电路中的四条反馈线。

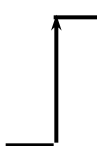
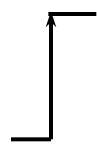
➤ 逻辑符号



上升沿D触发器

➤ 工作原理:

- $CP=0$ 时, 由于 G_3 、 G_4 门封锁, 触发器状态不可能改变。
- 在 CP 上升沿及 $CP=1$ 期间用表加以说明。

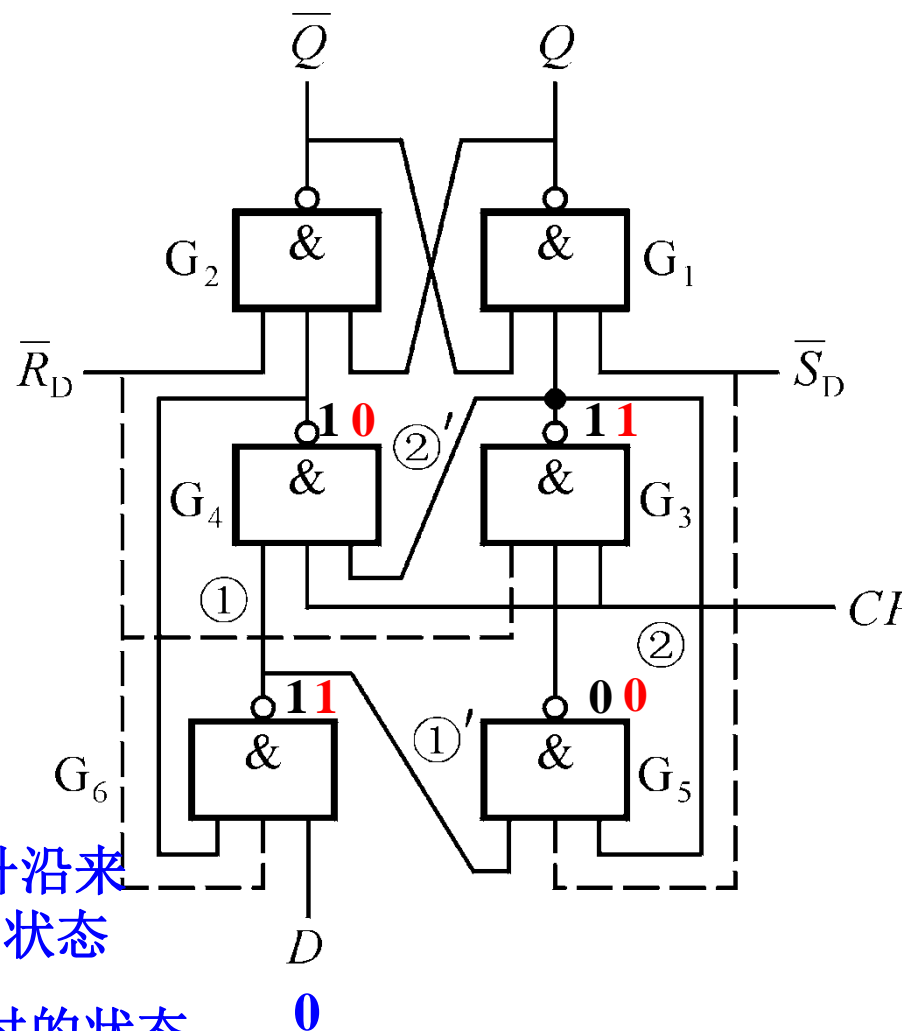
D	Q^n	CP	G_3	G_4	G_5	G_6	Q^{n+1}
0	0或1		1	0	0	1	置0
			1	1	0	1	Q^n
1	0或1		0	1	1	0	置1
			1	1	1	0	Q^n

CP上升沿来以后的状态

CP=0时的状态

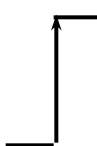
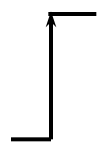
CP上升沿来以后的状态

CP=0时的状态



➤ 工作原理:

- $CP=0$ 时, 由于 G_3 、 G_4 门封锁, 触发器状态不可能改变。
- 在 CP 上升沿及 $CP=1$ 期间用表加以说明。

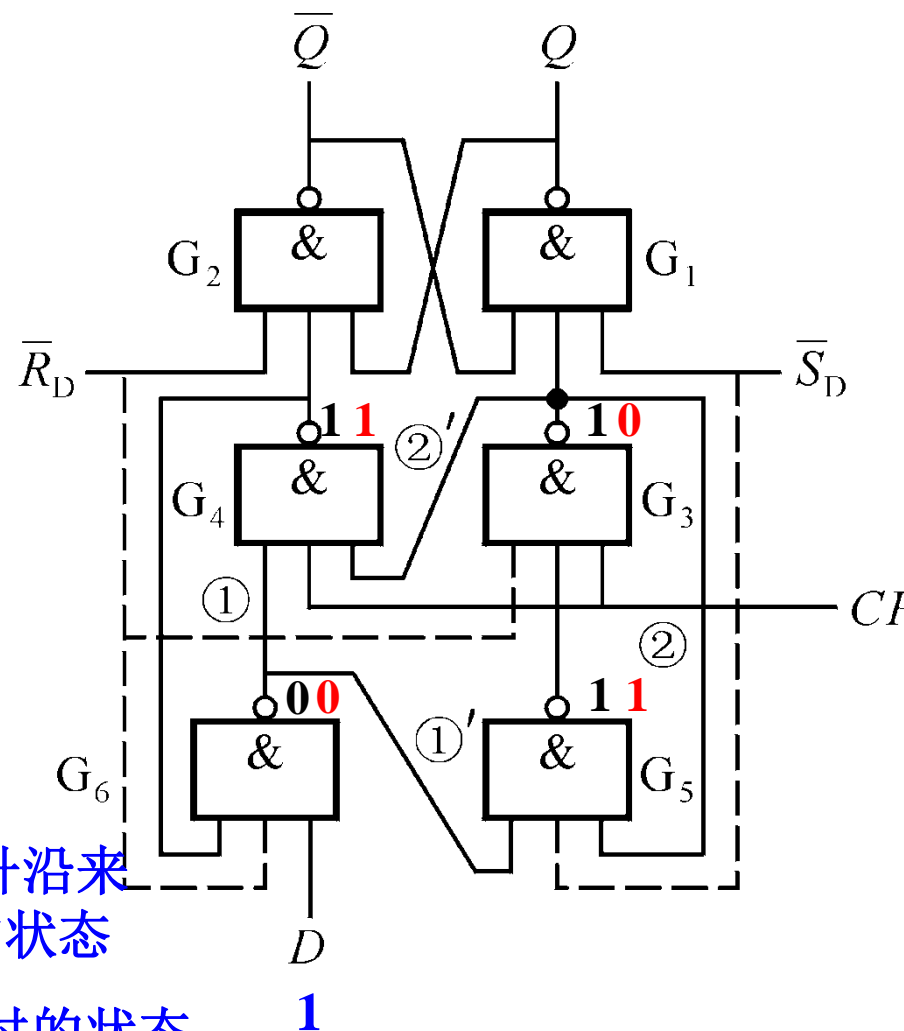
D	Q^n	CP	G_3	G_4	G_5	G_6	Q^{n+1}
0	0或1		1	0	0	1	置0
			1	1	0	1	Q^n
1	0或1		0	1	1	0	置1
			1	1	1	0	Q^n

CP上升沿来以后的状态

CP=0时的状态

CP上升沿来以后的状态

CP=0时的状态



➤ 工作原理:

- $CP=0$ 时, 由于 G_3 、 G_4 门封锁
触发器状态不可能改变。
- 在 CP 上升沿及 $CP=1$ 期间用
表加以说明。
- 在 $CP=1$ 期间, 由于维持和阻塞
作用, 触发器状态不会改变。

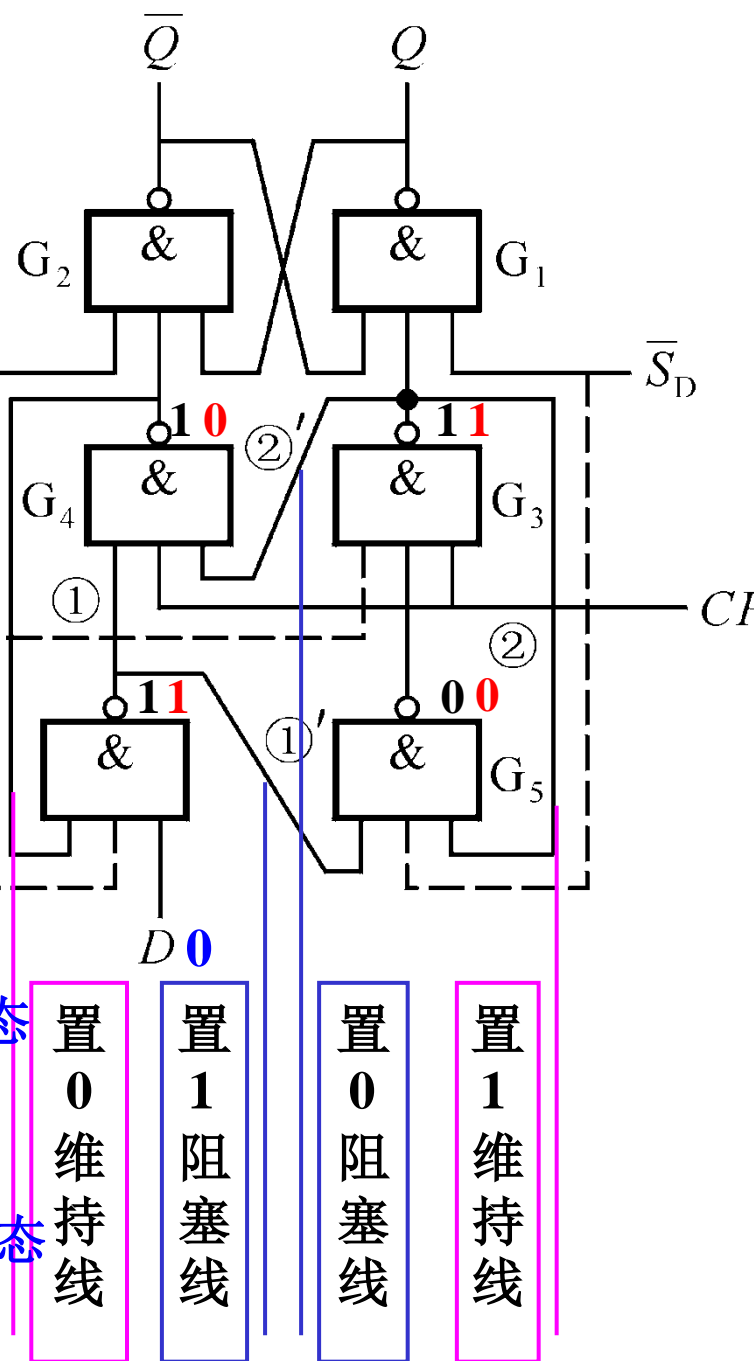
D	Q^n	CP	G_3	G_4	G_5	G_6	Q^{n+1}
0	0或1		1	0	0	1	置0
			1	1	0	1	Q^n
1	0或1		0	1	1	0	置1
			1	1	1	0	Q^n

CP上升沿来
以后的状态

CP=0时的状态

CP上升沿来
以后的状态

CP=0时的状态



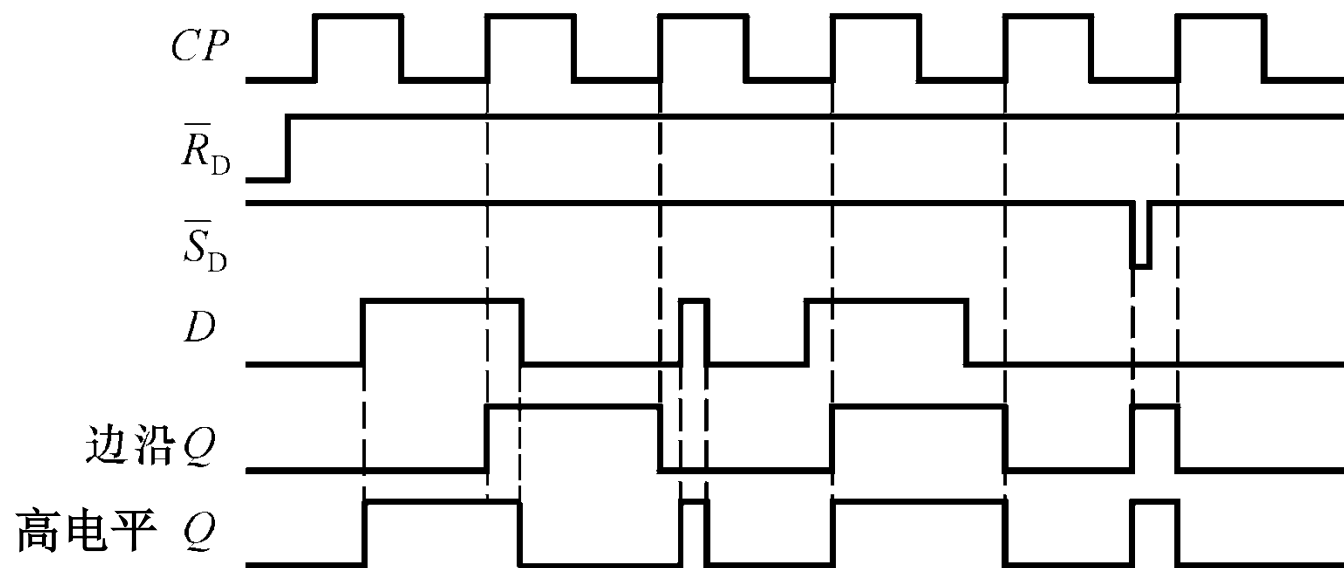
置0
维持线

置1
阻塞线

置0
阻塞线

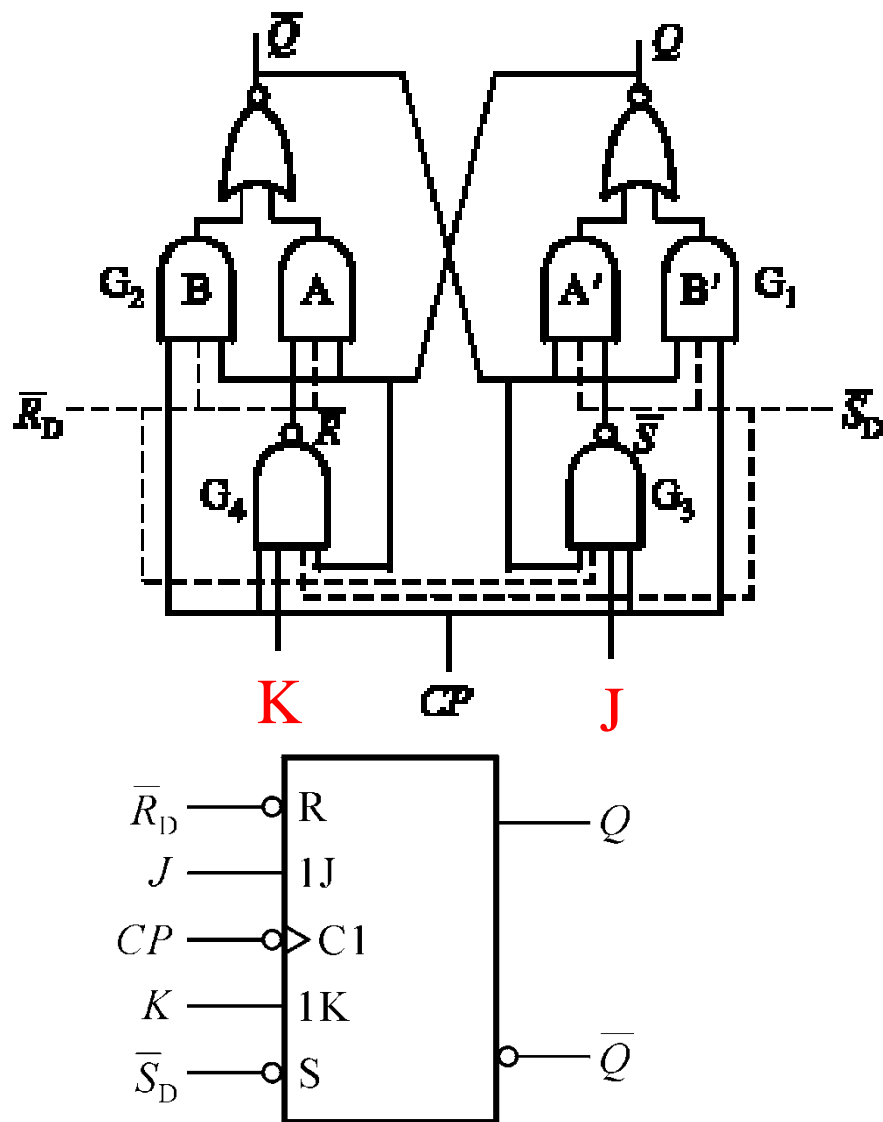
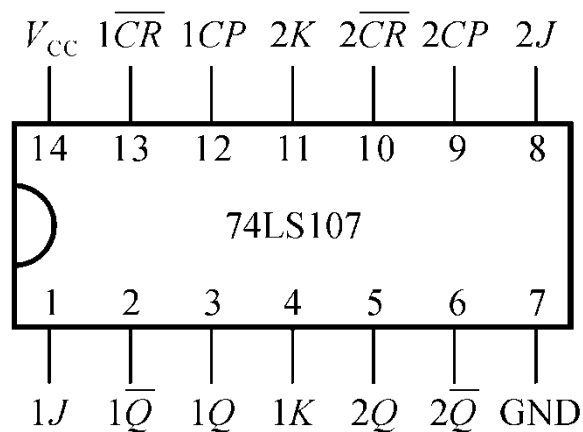
置1
维持线

➤ 高电平触发与正边沿触发的比较



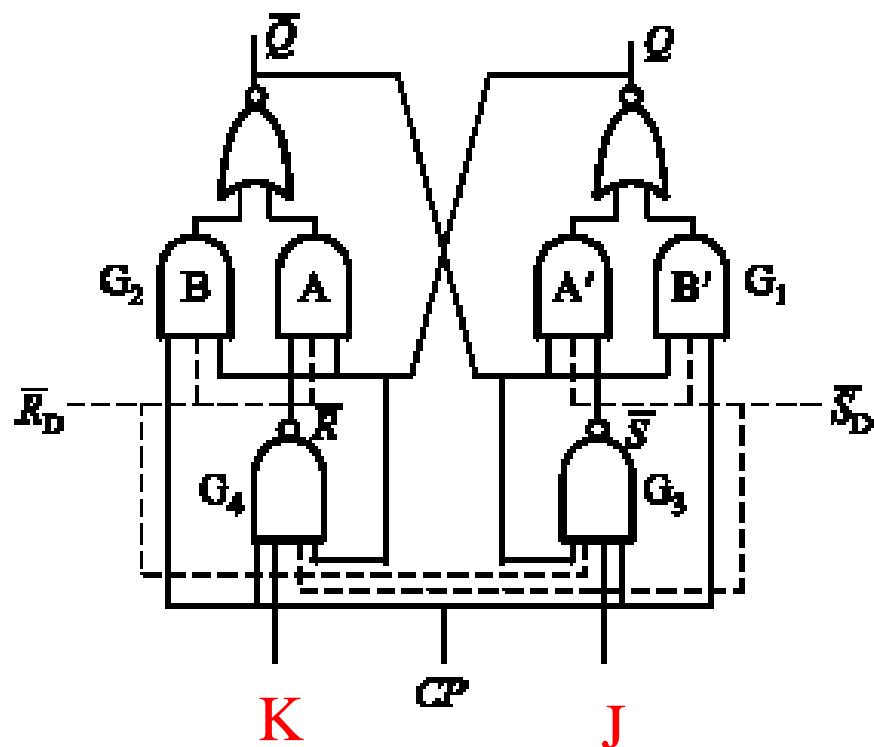
三、边沿触发的JK触发器

该电路在CP脉冲下降沿期间接收JK信号并完成状态翻转，靠的是内部门电路延时时间差而实现的。 G_3 、 G_4 门的延时比 G_1 、 G_2 门长。



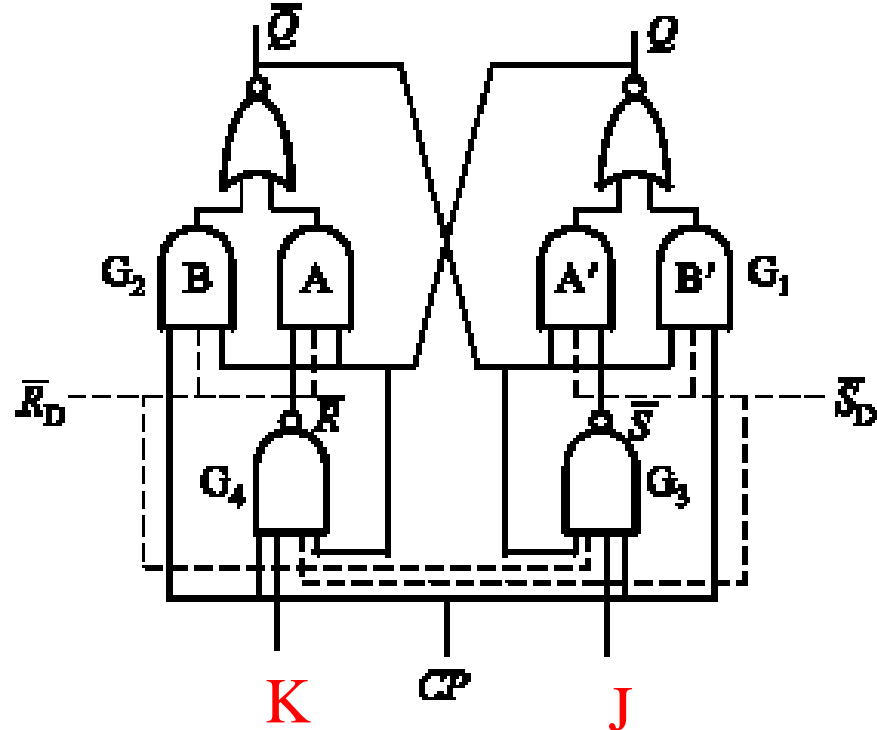
➤ 工作原理:

- **CP=0**时, G_3 、 G_4 输出高电平, B、B'两组与门封锁, 触发器的状态由A、A'两组与门互锁, 状态不会改变。
- **CP=1**期间, 由于B、B'与门其中的一个输入为高电平, 所以触发器状态由B、B'与门互锁, 状态不变。



- **CP从0跳到1**期间, 触发器状态由原A、A'互锁转换到由B、B'互锁, 触发器的状态也不变。

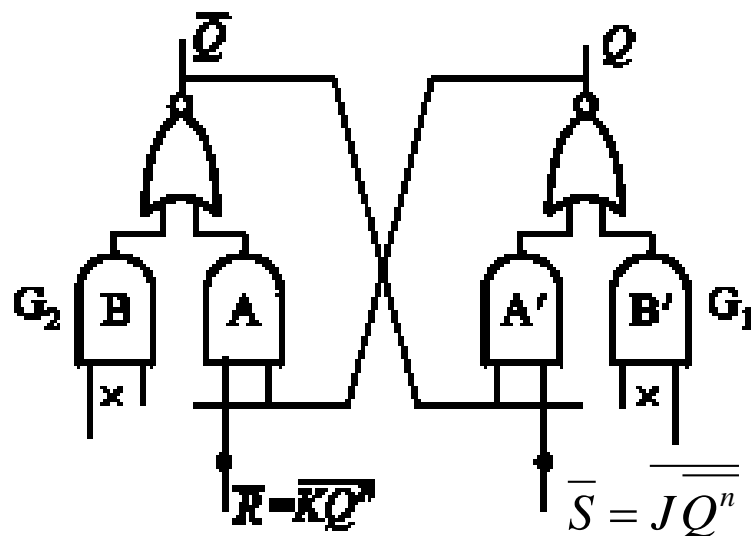
- **CP由1跳变到0**期间，
因 G_3 、 G_4 门的延时比
 G_1 、 G_2 门长，使 \bar{R} 、 \bar{S}
状态还来不及改变，
形成了图示等效电路，
其中 B 、 B' 已被封锁。



由RS触发器的特性方程得：

$$\begin{aligned}
 Q^{n+1} &= S + \bar{R}Q^n \\
 &= JQ^n + \overline{KQ^nQ^n} = JQ^n + \bar{K}Q^n
 \end{aligned}$$

可见，电路是一个**下降沿触发**的触发器。



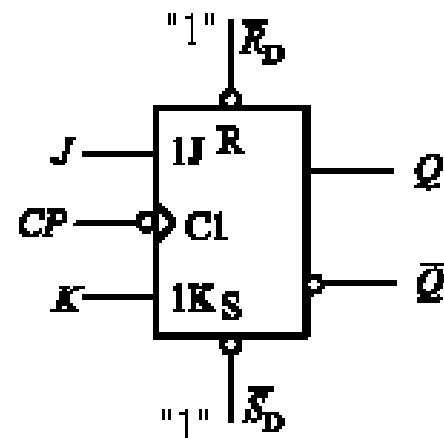
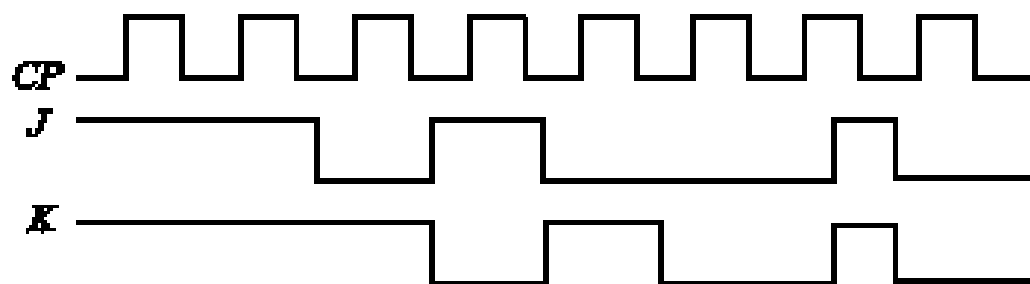
$$Q^{n+1} = J\overline{Q}^n + \overline{K}Q^n$$

电路功能可从特性方程得到：

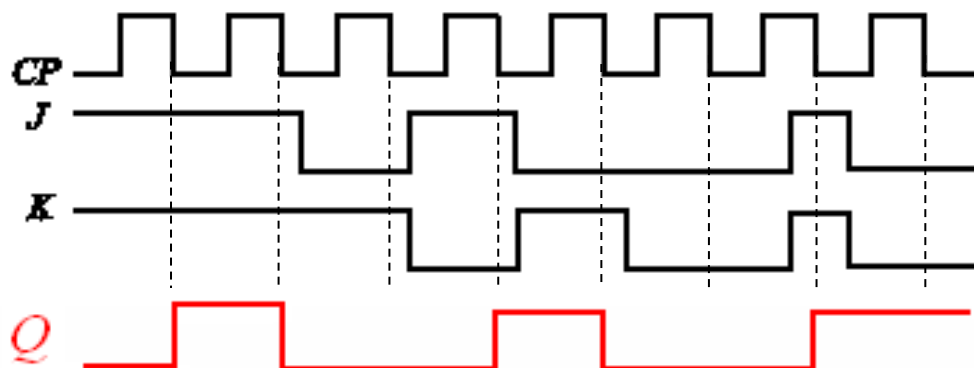
J	K	Q^n	Q^{n+1}	说 明
0	0	0	0	$Q^{n+1} = Q^n$ 保持
0	0	1	1	
0	1	0	0	$Q^{n+1} = 0$ 置 0
0	1	1	0	
1	0	0	1	$Q^{n+1} = 1$ 置 1
1	0	1	1	
1	1	0	1	$Q^{n+1} = \overline{Q}^n$ 翻转
1	1	1	0	

JK触发器具备有四种功能，是一个全功能触发器。

例： 设下降沿触发JK触发器的初态为“0”，复位和置位端都为高电平，若CP、同步输入JK的电压波形如图所示，试画出Q端的波形图。



解： 因为是下降沿触发JK功能触发器，只要CP下沿对下来，画出按JK功能翻转波形即可。



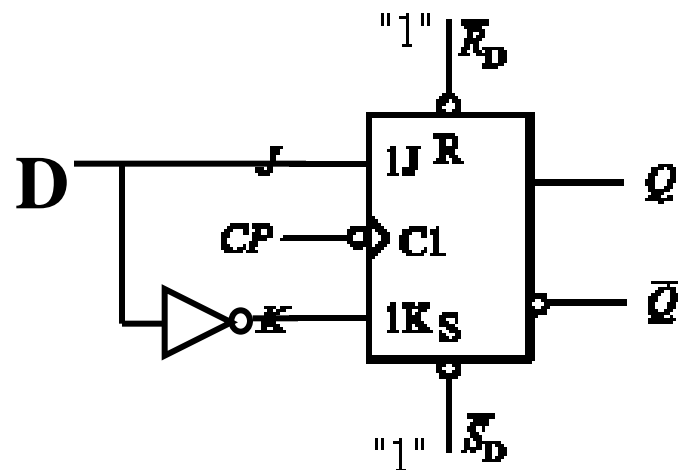
触发器逻辑功能的转换

JK → D

$$\text{JK: } Q^{n+1} = J\overline{Q}^n + \overline{K}Q^n$$

$$\begin{aligned}\text{D: } Q^{n+1} &= D \\ &= D\overline{Q}^n + DQ^n\end{aligned}$$

所以 $J = D, K = \overline{D}$



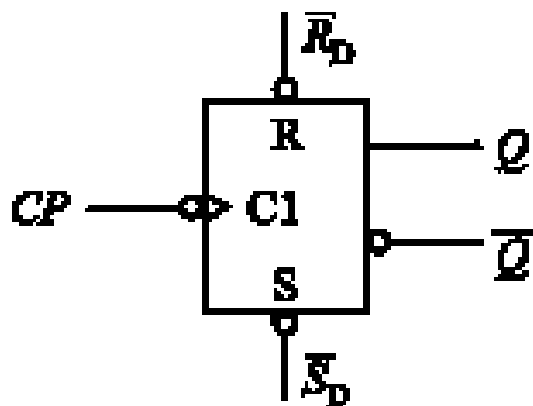
3.1.4 触发器功能转换

触发器具有两种状态，在CP脉冲的作用下，能从一种状态转换到另一种状态。所以在脉冲电路中，往往把电路称作双稳态触发器。

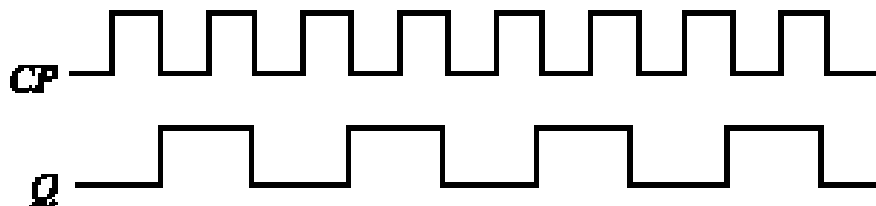
除了RS、D和JK功能三种触发器外。在实际应用中，还有T、T'功能触发器，它们可以方便地从上述三种的任一种变换得到。

1. T' 触发器（计数触发器）

T' 触发器只有一种功能：**翻转功能（也称计数功能）**，即每加入一个CP触发脉冲，触发器Q状态仅改变一次。如原Q状态为“1”，CP脉冲加入后，Q状态变为“0”态；如原为“0”态，CP脉冲加入后翻转为“1”态。

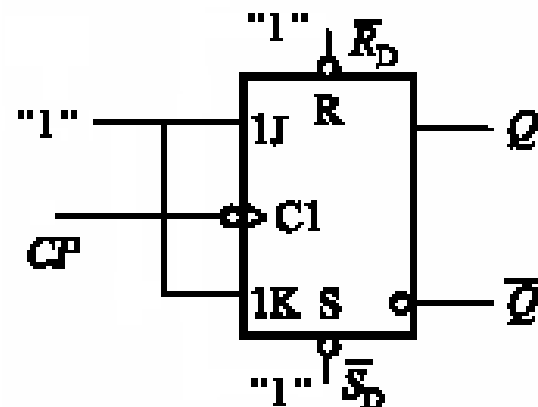
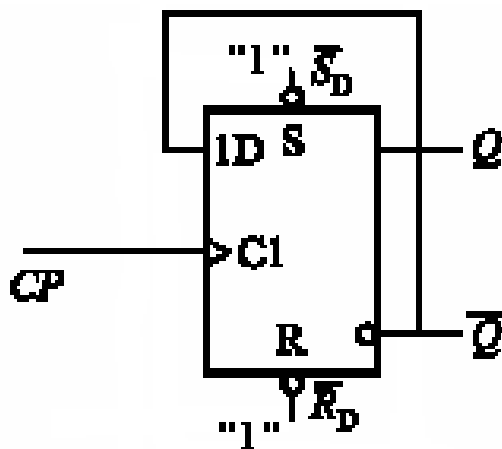
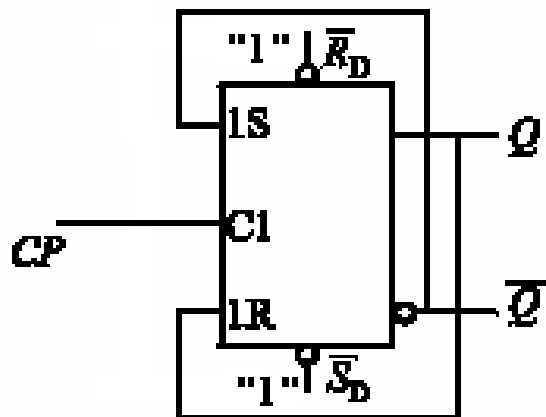


逻辑符号



翻转波形

由RS、D和JK触发器连接成的 T' 触发器分别如图所示。



RS实现:

$$S = \overline{Q^n}, R = Q^n$$

D实现:

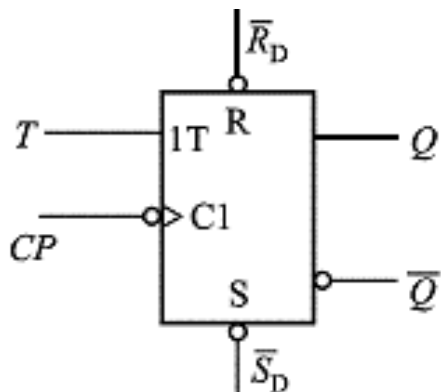
$$D = \overline{Q^n}$$

JK实现: $J=K="1"$,
(有多种方法实现)

$$Q^{n+1} = S + \overline{R}Q^n = \overline{Q^n} + \overline{Q^n}Q^n = \overline{Q^n}$$

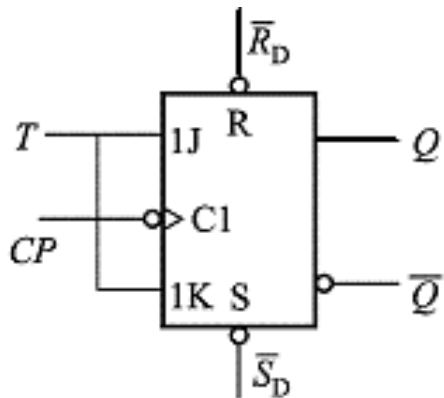
2. T触发器（可控计数触发器）

T触发器只有一个T输入端，具有两种功能：T=1时，触发器状态翻转，T=0时，触发器状态保持。



逻辑符号

由JK触发器变化而来：



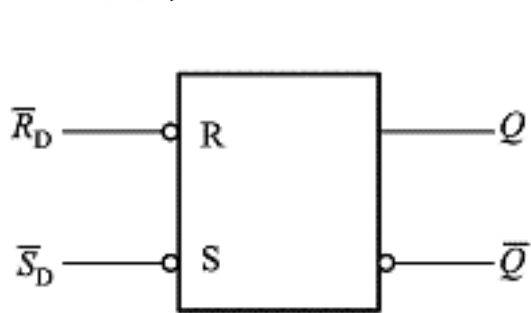
T触发器的功能表

输入	初态	次态	说明
T	Q^n	Q^{n+1}	
0	0	0	保持不变
	1	1	
1	0	1	计数
	1	0	

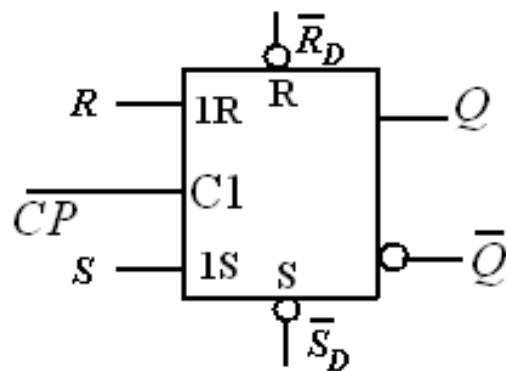
特性方程： $Q^{n+1} = T\overline{Q}^n + \overline{T}Q^n$

触发器部分小结

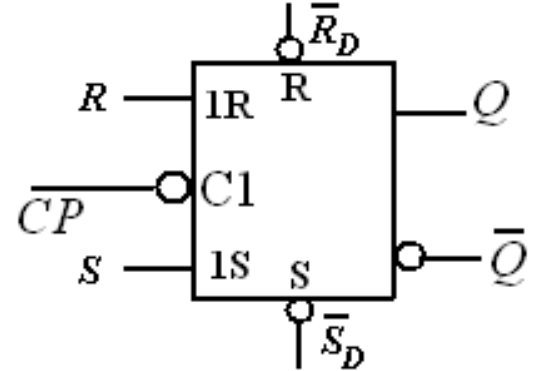
电路结构：基本 RS 、电平触发、边沿触发（主从触发器）等，可从 CP 脉冲引入端的符号加以区别。



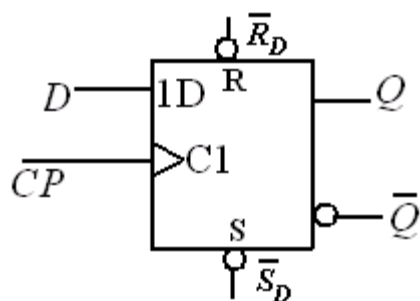
与非门组成的
基本 RS 触发器



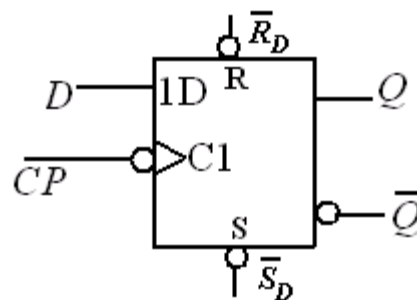
高电平触发
 RS 触发器



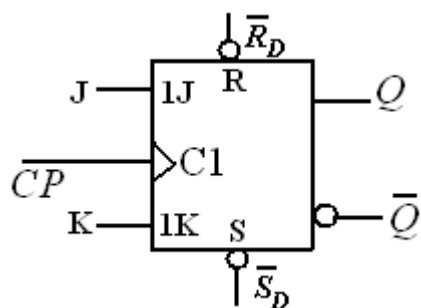
低电平触发
 RS 触发器



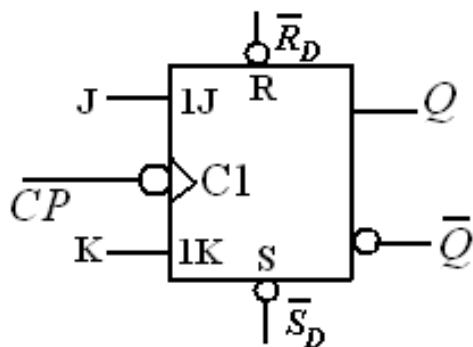
上升沿触发的D触发器



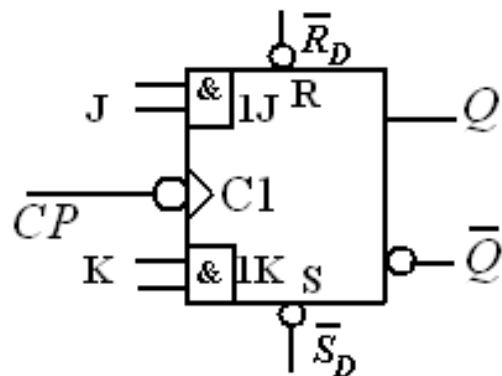
下降沿触发的D触发器



上升沿触发JK触发器



下降沿触发JK触发器



JK端分别有二个与逻辑变量



逻辑功能

RS : 三种功能, 置0, 置1, 保持,

约束 $RS=0$

D : 两种功能: 置0, 置1

JK : 四种功能: 置0, 置1, 保持, 翻转 (计数)

T : 两种功能: 翻转, 保持

T' : 一种功能: 翻转

功能描述方法（JK触发器为例）

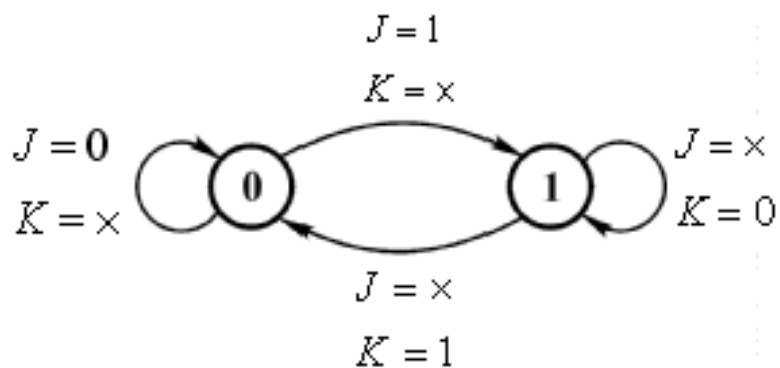
● 真值表（特性表）

J	K	Q^n	Q^{n+1}
0	0	0	0
0	0	1	1
0	1	0	0
0	1	1	0
1	0	0	1
1	0	1	1
1	1	0	1
1	1	1	0

● 次态函数（特性方程）

$$Q^{n+1} = J\overline{Q}^n + \overline{K}Q^n$$

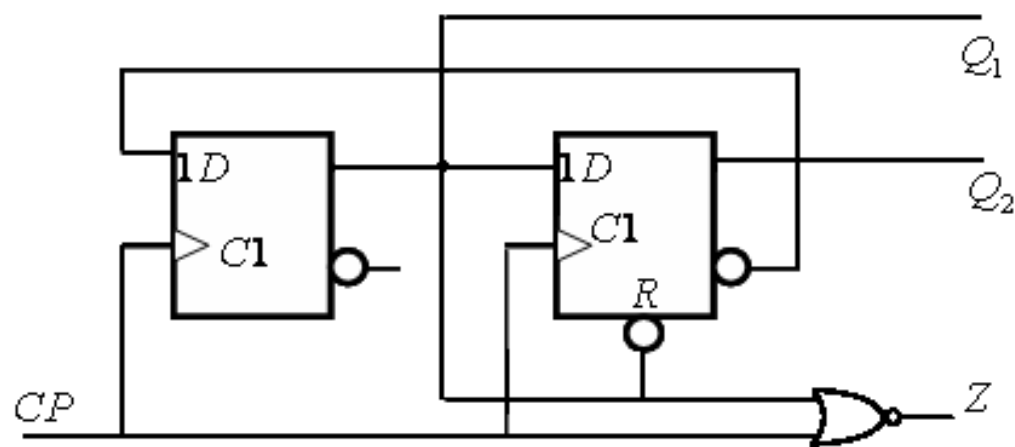
● 状态转换图



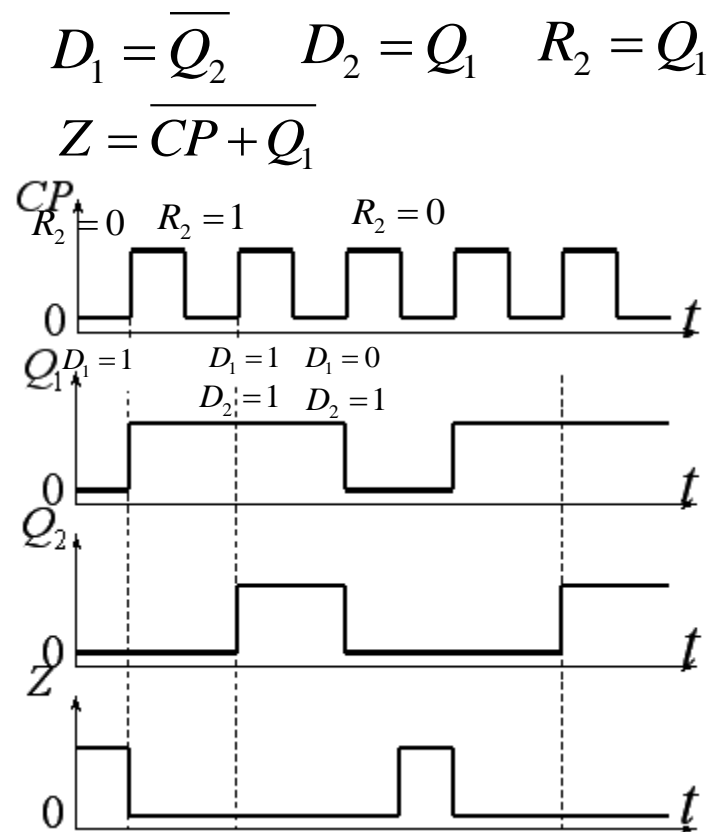
● 激励表

$Q^n \rightarrow Q^{n+1}$	J	K	D	R	S	T
0 0	0	\times	0	\times	0	0
0 1	1	\times	1	1	0	1
1 0	\times	1	0	0	1	1
1 1	\times	0	1	0	\times	0

例 图示电路是用CMOS组成的边沿触发器和或非门组成的脉冲分频电路，试画出在一系列CP脉冲作用下 Q_1 、 Q_2 和Z端对应的输出波形。设触发器初态都为0



注: 未画出的复位和置位端表示高电平



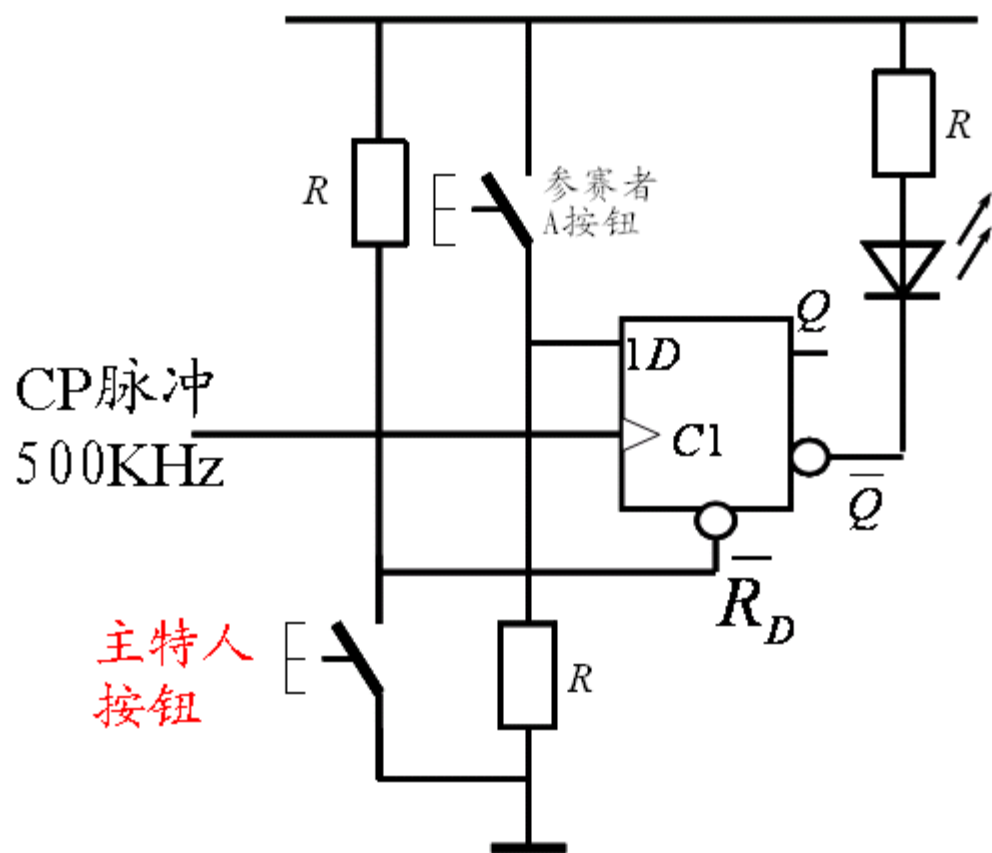
可以先画 Q_1 和 Q_2 再画Z

例

设计一个四人参赛抢答的逻辑控制电路。具体要求如下：

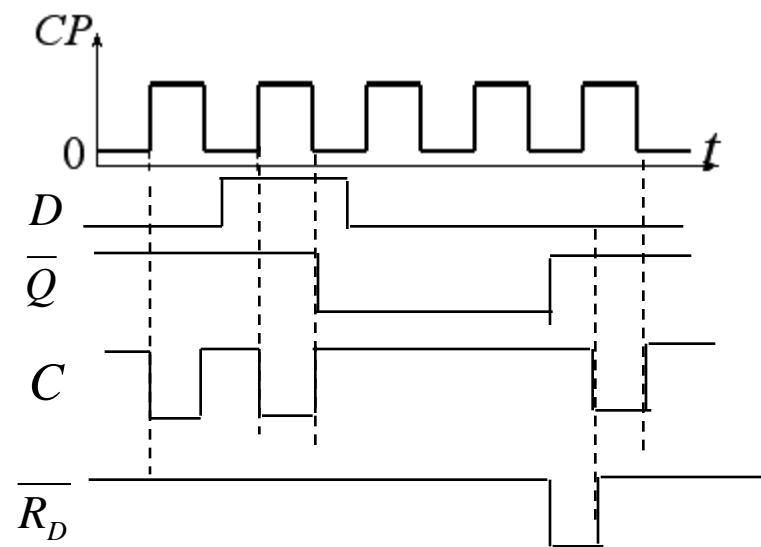
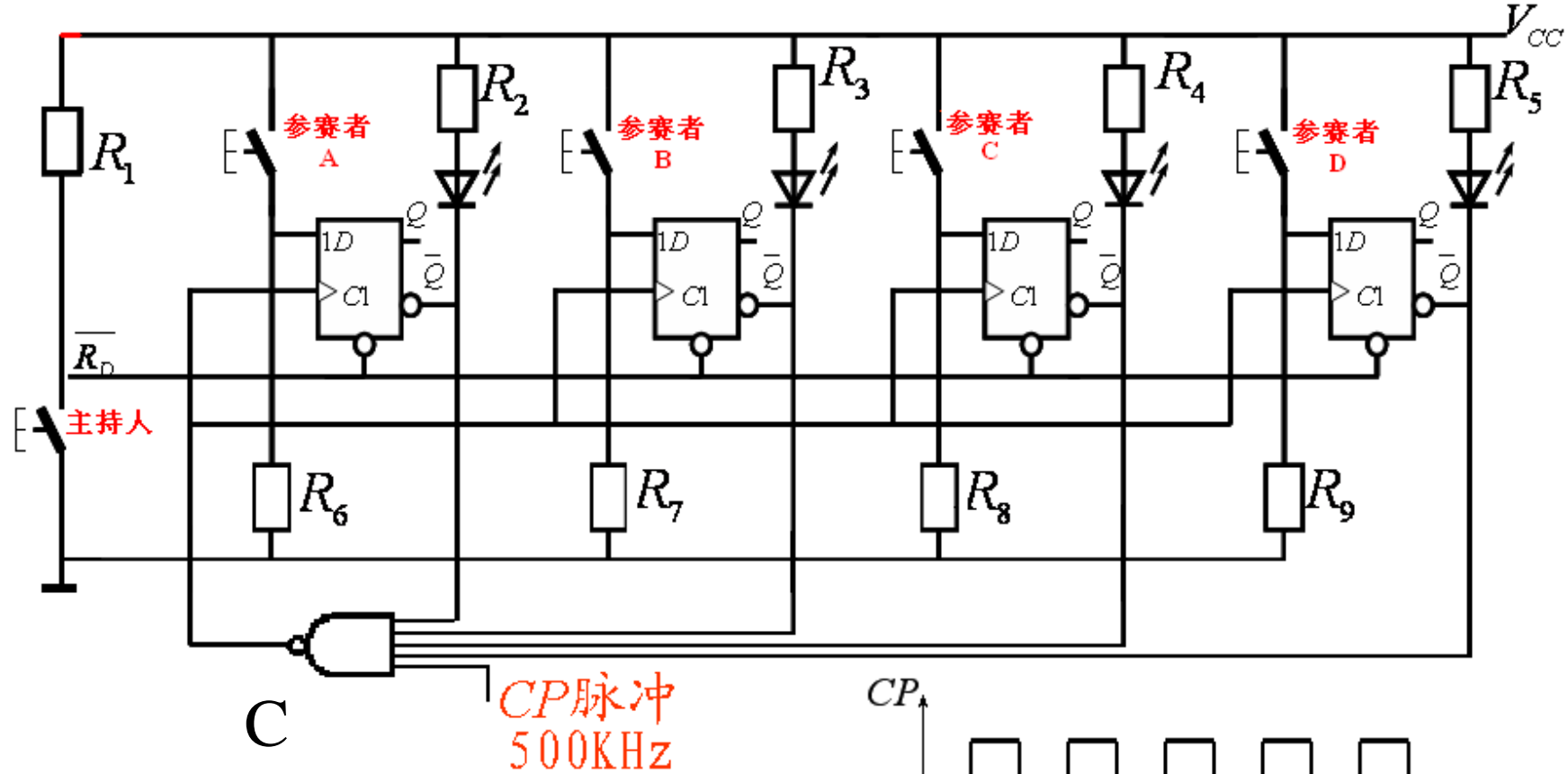
- (1) 每个参赛者控制一个按钮，用按动按钮发出抢答信号。
- (2) 竞赛主持人用另一个按钮，用于将电路复位。
- (3) 竞赛开始后，先按动按钮者将对应的一个发光二极管点亮，此后，其它三人再按动按钮对电路不起作用。

解：根据题目要求，选用带低电平复位的边沿D触发器。D端和复位端的数据通过按钮接地或接高电平实现，四个参赛人分别控制一个触发器，四个D触发器的CP连在一起，由一个高频脉冲信号触发，输出端接发光二极管指示抢答成功与否。主持人按钮控制四个触发器的复位端，作为总清零用，其电路如图所示。



抢答电路其中之一

解：根据题目要求，选用带低电平复位的边沿D触发器。D端和复位端的数据通过按钮接地或接高电平实现，四个参赛者分别控制一个触发器，四个D触发器的CP连在一起，由一个高频脉冲信号触发，输出端接发光二极管指示抢答成功与否。主持人按钮控制四个触发器的复位端，作为总清零用，其电路如图所示。

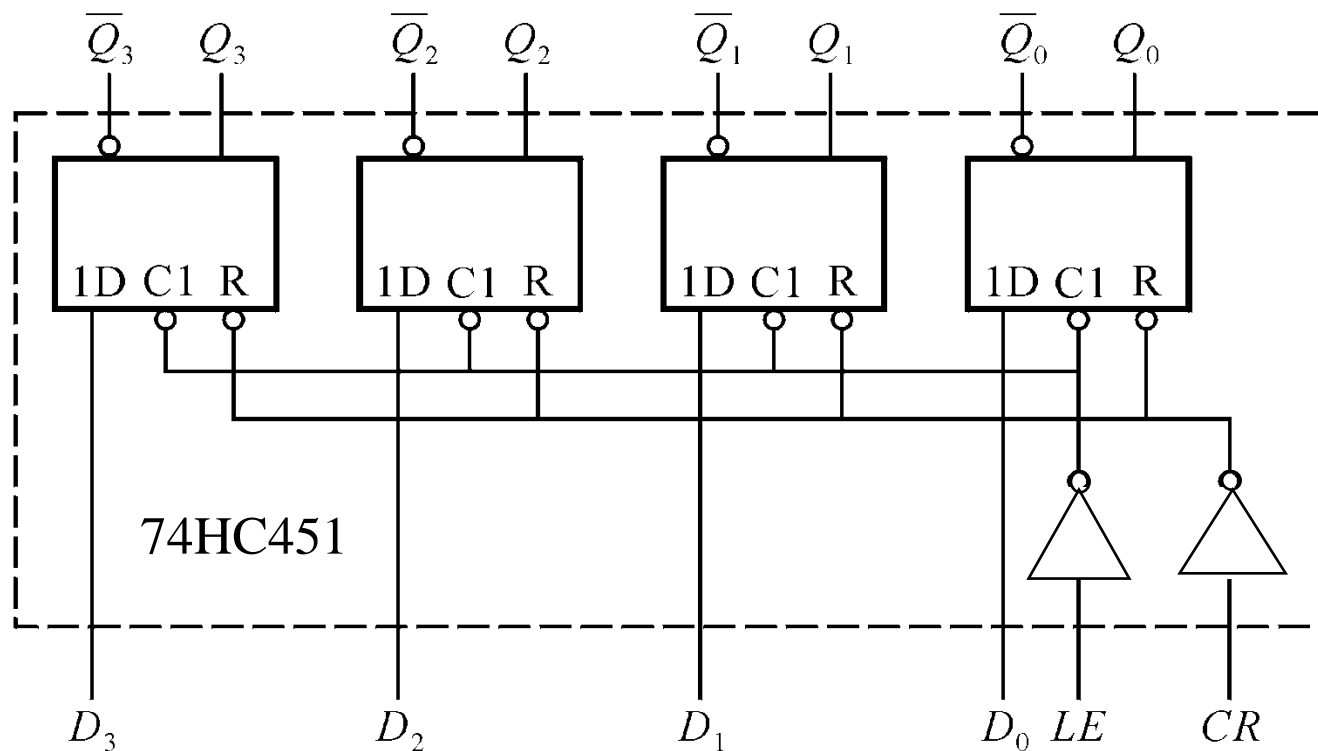


3.2 数码寄存器

寄存器用来存放二进制信息，这些信息通常是待运算的数据，代码或运算的中间结果。因此，寄存器是电子计算机的主要部件电路。由于一位触发器能寄存一位二进制信息，寄存 n 位二进制信息就需要 n 个触发器。

一、数码寄存器

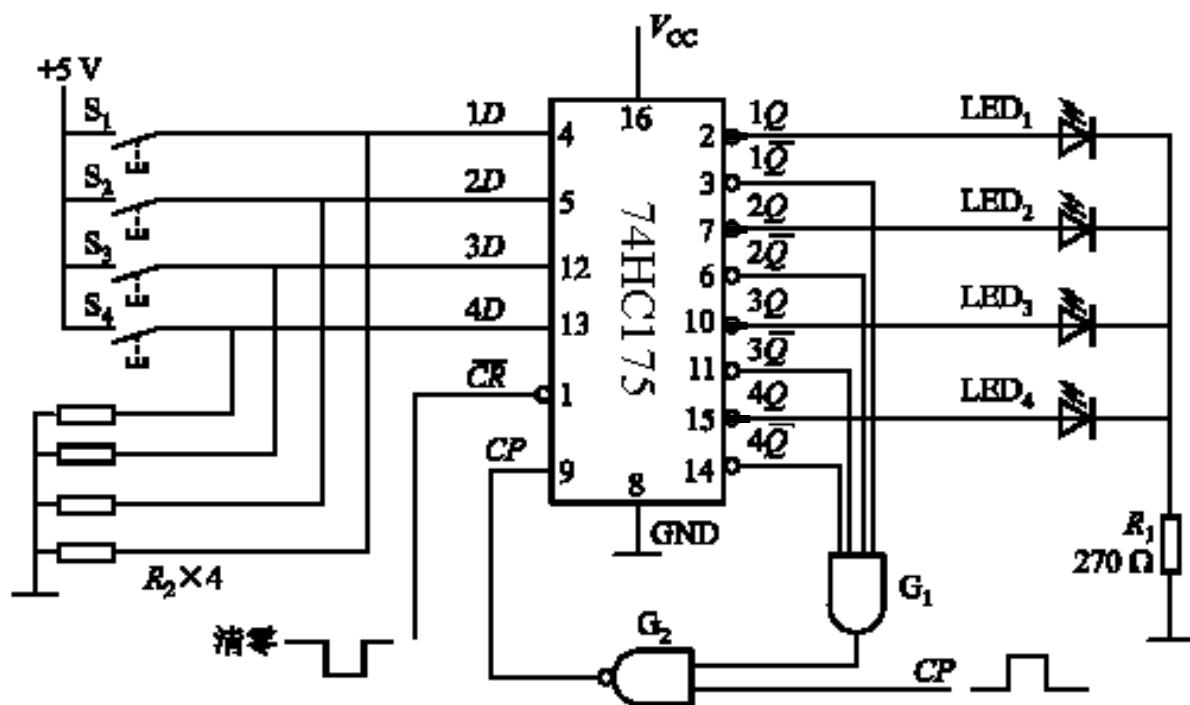
数码寄存器仅仅用来暂时寄存二进制信息。数码寄存器的电路很多，以74HC451型四位数码寄存器为例，它由四个D触发器组成，有反码和原码两种码输出，**LE**是锁存控制端，也称**写入命令**，高电平时寄存数据。



操作过程:

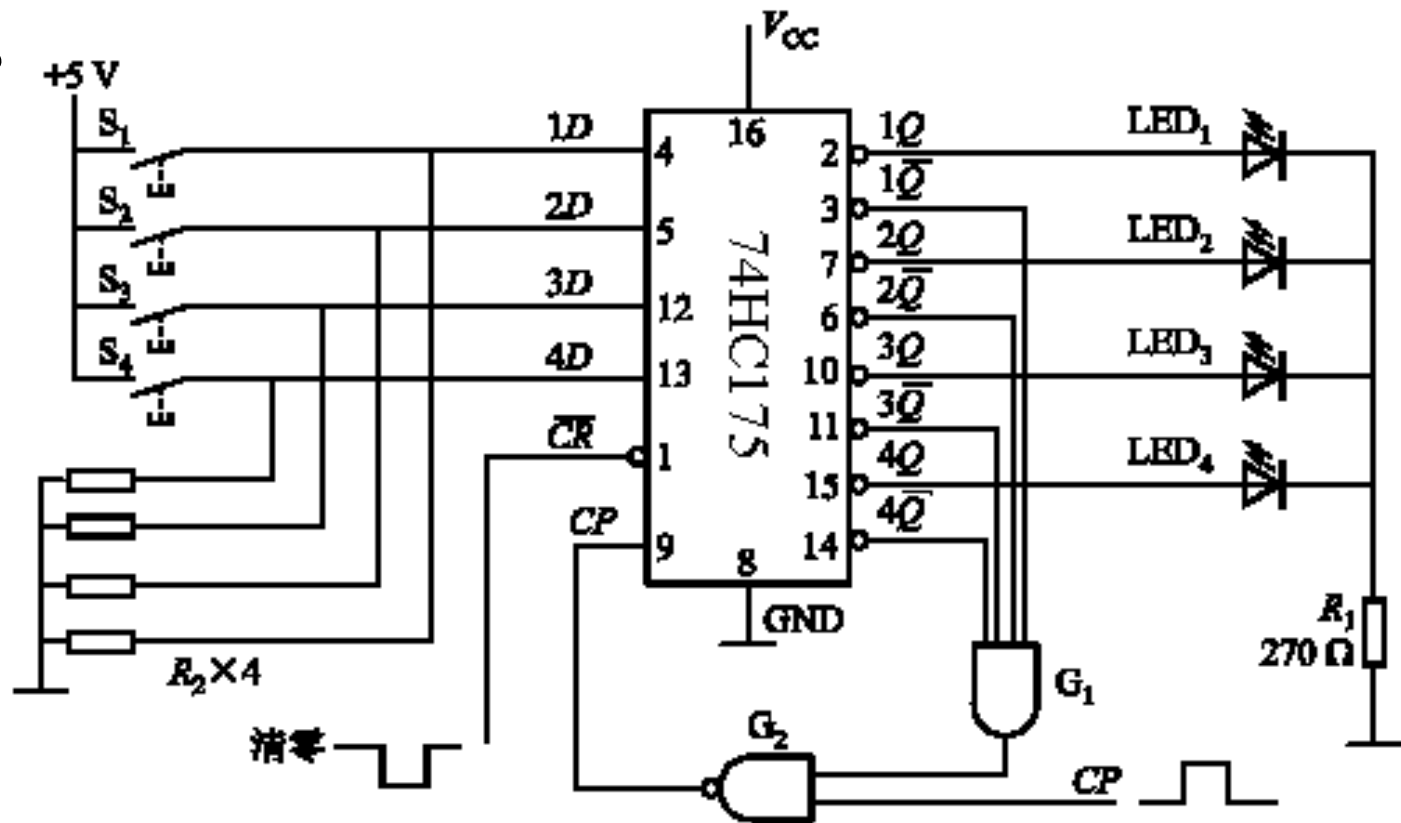
1. $CR=1$, 寄存器清零 $Q_3Q_2Q_1Q_0=0000$, 然后 $CR=0$;
2. $D_3D_2D_1D_0$ 放置好数据, 如 $D_3D_2D_1D_0=1011$;
3. 给写入命令 LE 高电平, $D_3D_2D_1D_0$ 就写入到触发器中。

下图是用74HC175实现的4人竞赛抢答器控制逻辑电路。其中74HC175是一片4D触发器组成的数码寄存器。



抢答开始前， $S_1 \sim S_4$ 开关打开。主持人控制清零端，使所有触发器清零。 Q 都为低电平，发光管均不亮。 Q 非端为高电平， G_2 门打开，脉冲信号不断地加到触发器的 CP 端。

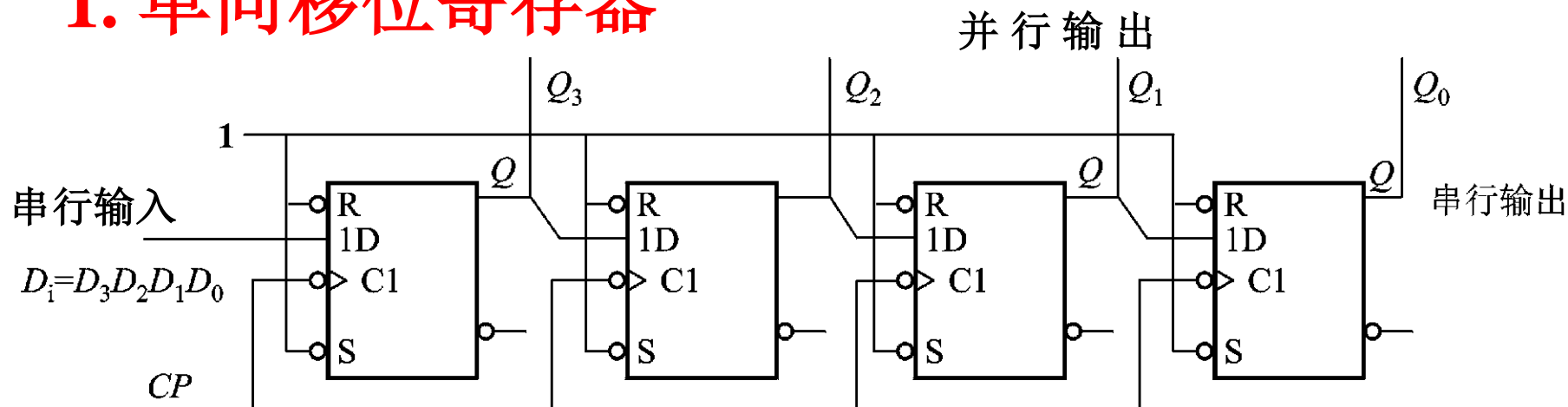
主持人发布抢答开始后，假定 S_2 动作快（开关合上），则 $2Q$ 高电平，点亮 LED_2 ，同时通过 $2Q$ 非将 G_2 封锁。



3.2.2 集成移位寄存器

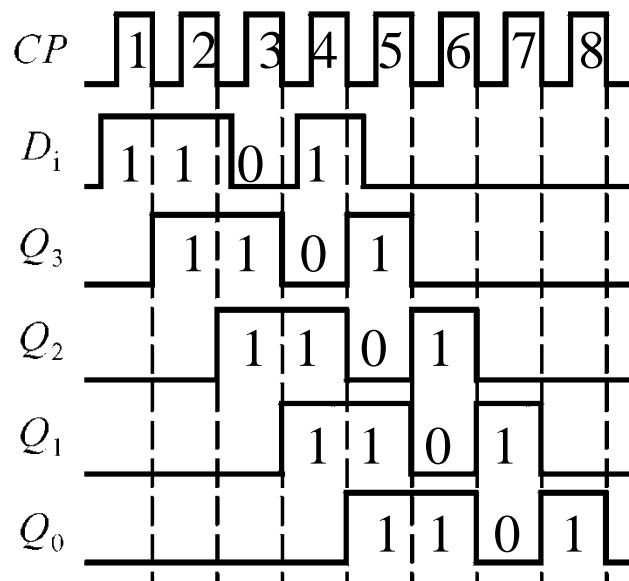
移位寄存器除能寄存二进制信息以外，还能对存入的信息在时钟脉冲的作用下进行移位操作，或者实现串行-并行、并行-串行转换。

1. 单向移位寄存器



右移

串行寄存1011时的时序图



电路有下面几种操作模式:

■ 串行输入/输出 (SISO)

信息从 D_i 端输入, 一个CP脉冲一位数据, 依次存入。如依次存入 $D_3D_2D_1D_0=1011$ 。

■ 串行输入/并行输出 (SIPO)

当用4个CP脉冲存入 $D_3D_2D_1D_0=1011$ 信息后, 然后可以从 $Q_3Q_2Q_1Q_0$ 端一起输出。

■ 并行输入/输出 (PIPO)

信息从并行输入端 $D_3D_2D_1D_0$ 通过寄存命令LE一次存入, 从 $Q_3Q_2Q_1Q_0$ 端一起输出。

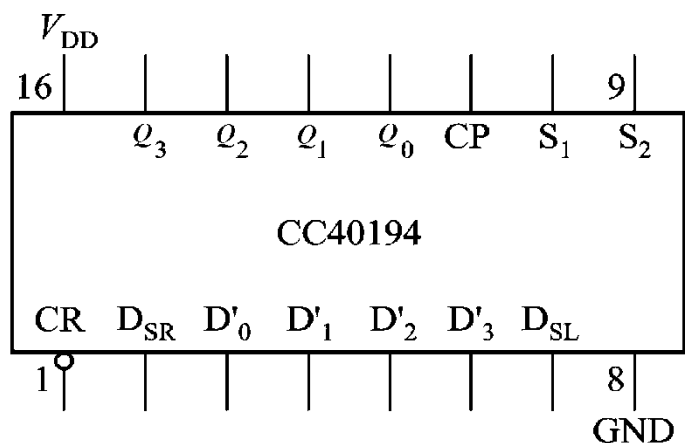
■ 并行输入/串行输出 (PISO)

并行存入数据后, 依次加入CP脉冲, 则1011数据就从串行输出端依次输出。

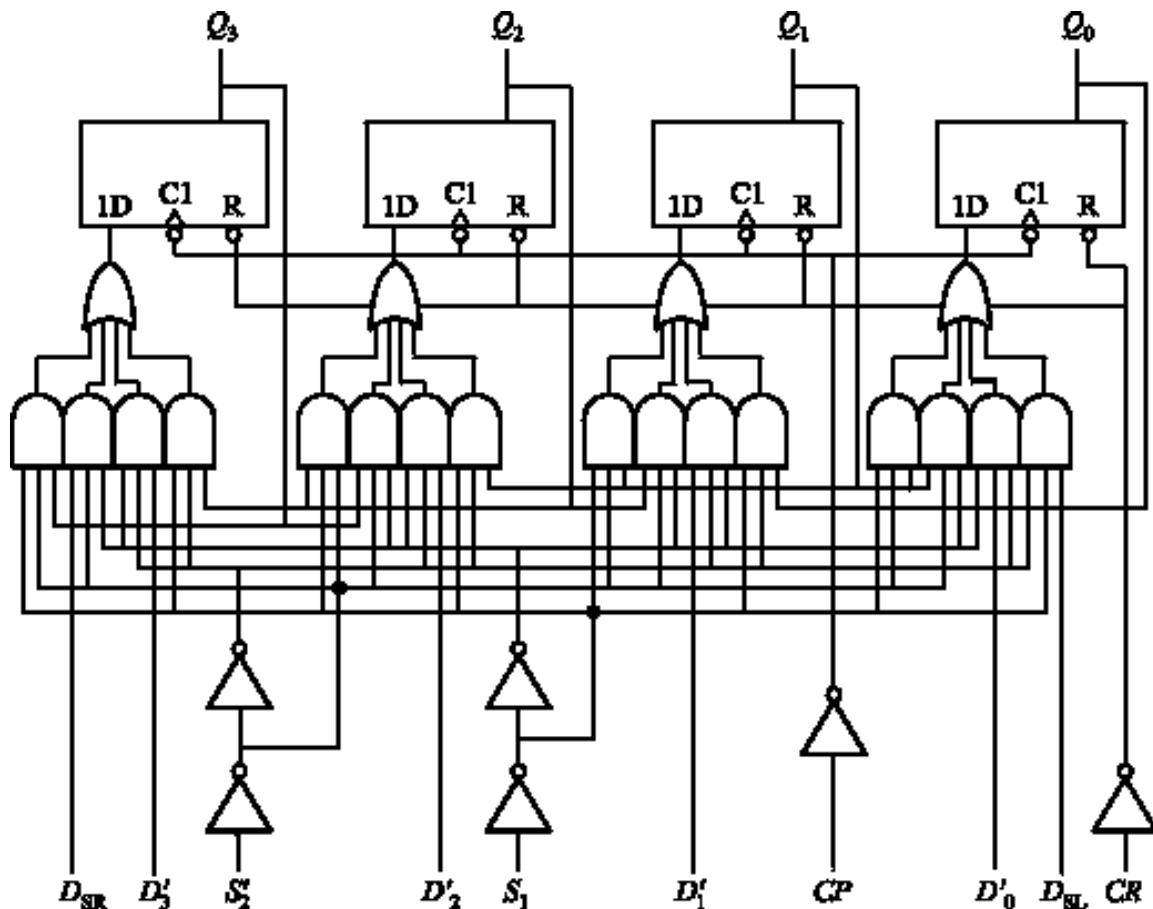
2. 双向移位寄存器

在控制信号的控制下，信息可以从右向或从左向存入并实现移位操作。

四个D触发器的D端数据由四选一选择器决定。



引脚排列图



CC40194电路图

S_2S_1 是四选一的地址控制。可以写出每位触发器的输入端（D端）函数：

$$1D_0 = \overline{S_2}\overline{S_1}Q_0^n + \overline{S_2}S_1Q_1^n + S_2\overline{S_1}D_{SL} + S_2S_1D_0'$$

$$1D_1 = \overline{S_2}\overline{S_1}Q_1^n + \overline{S_2}S_1Q_2^n + S_2\overline{S_1}Q_0^n + S_2S_1D_1'$$

$$1D_2 = \overline{S_2}\overline{S_1}Q_2^n + \overline{S_2}S_1Q_3^n + S_2\overline{S_1}Q_1^n + S_2S_1D_2'$$

$$1D_3 = \overline{S_2}\overline{S_1}Q_3^n + \overline{S_2}S_1D_{SR} + S_2\overline{S_1}Q_2^n + S_2S_1D_3'$$

- $S_2S_1=00$ ，为保持；
- $S_2S_1=01$ ，右移；
- $S_2S_1=10$ ，左移；
- $S_2S_1=11$ ，并行存数。

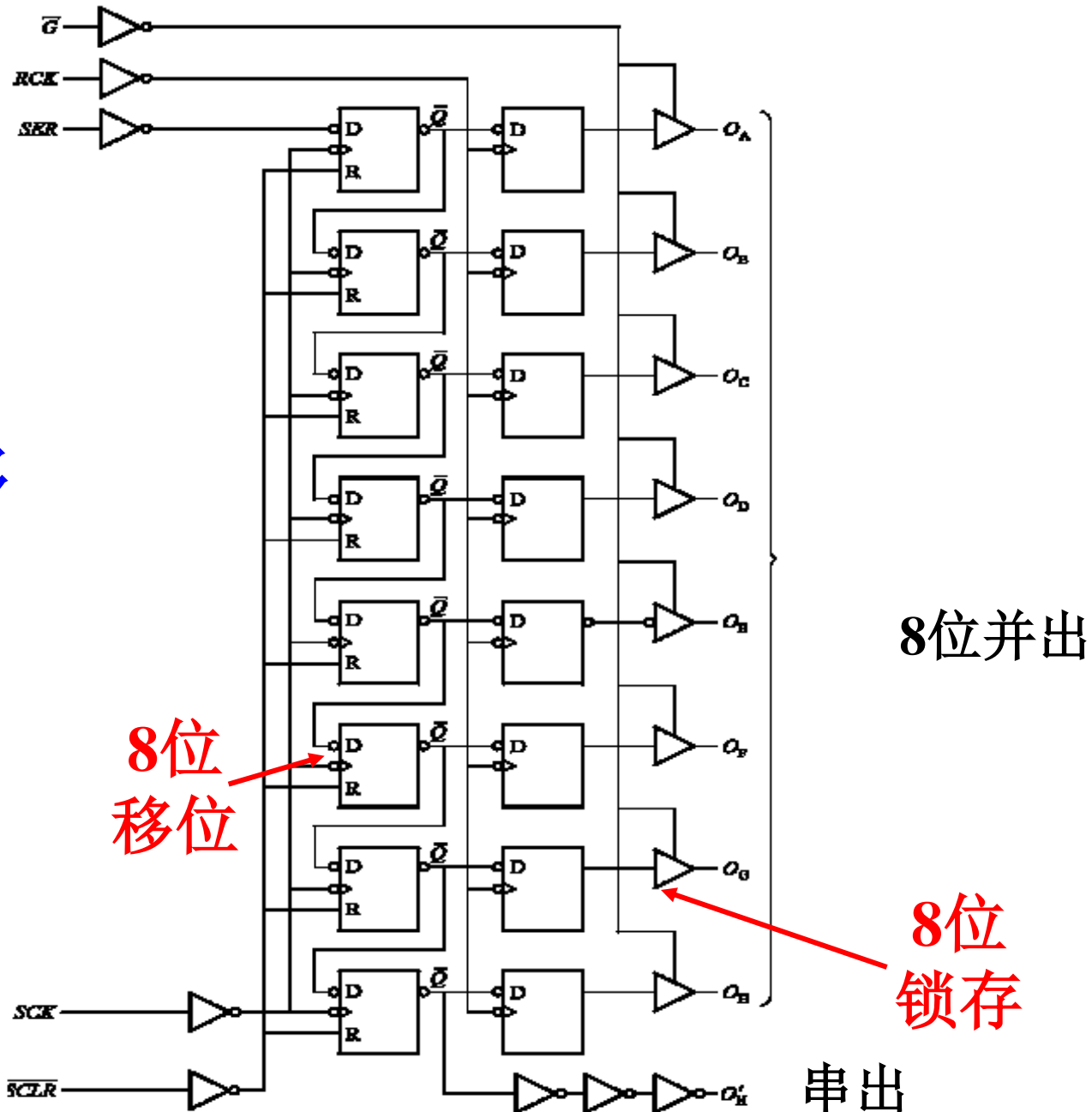
双向移位寄存器CC40149功能表

功能	输 入										输出状态			
	\overline{CR}	CP	S_2	S_1	D_{SR}	D_{SL}	D_3'	D_2'	D_1'	D_0'	Q_3	Q_2	Q_1	Q_0
清除	0	×	×	×	×	×	×	×	×	×	0	0	0	0
不变	1	0	×	×	×	×	×	×	×	×	Q_3^n	Q_2^n	Q_1^n	Q_0^n
置数	1	↑	1	1	×	×	D	C	B	A	D	C	B	A
不变	1	×	0	0	×	×	×	×	×	×	Q_3^n	Q_2^n	Q_1^n	Q_0^n
右移	1	↑	0	1	0	×	×	×	×	×	0	Q_3^n	Q_2^n	Q_1^n
	1	↑	0	1	1	×	×	×	×	×	1	Q_3^n	Q_2^n	Q_1^n
左移	1	↑	1	0	×	0	×	×	×	×	Q_2^n	Q_1^n	Q_0^n	0
	1	↑	1	0	×	1	×	×	×	×	Q_2^n	Q_1^n	Q_0^n	1

输出使能
锁存时钟
串入数据

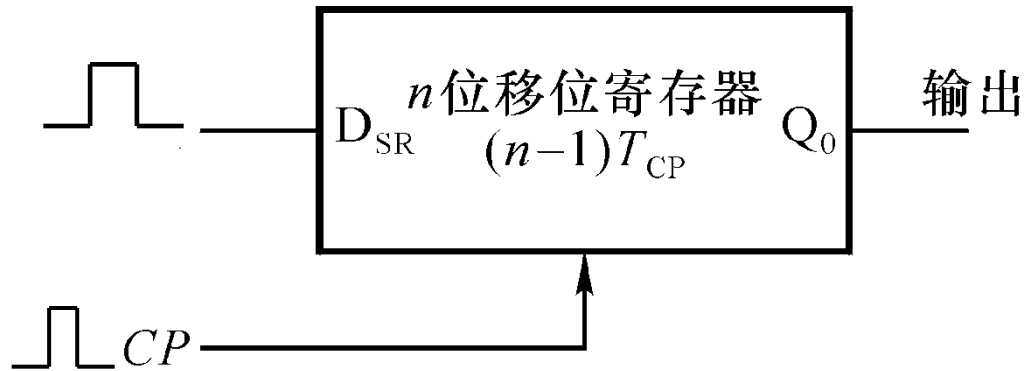
8位中规模 集成串行移 位寄存器 74HC595

串入和移位时钟
总清零端



三、移位寄存器的应用举例

➤ 数字延迟线

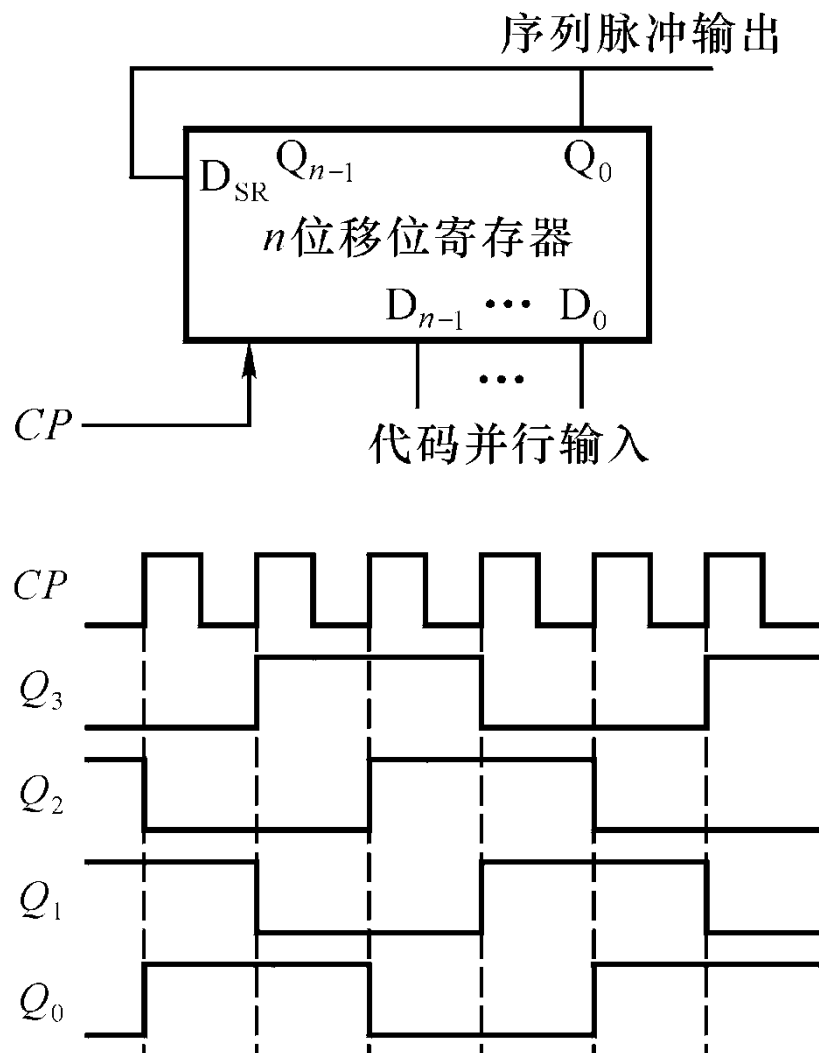


n 位移位寄存器连接成右移串行输入模式。先在右移串行输入端加一个高电平脉冲， CP 上升沿到达后，将高电平存入 n 位中的最高位，然后经过 $(n-1)$ 个 CP 周期，该高电平出现在输出 Q_0 ，实现了延迟 $(n-1)T_{CP}$ 时间。

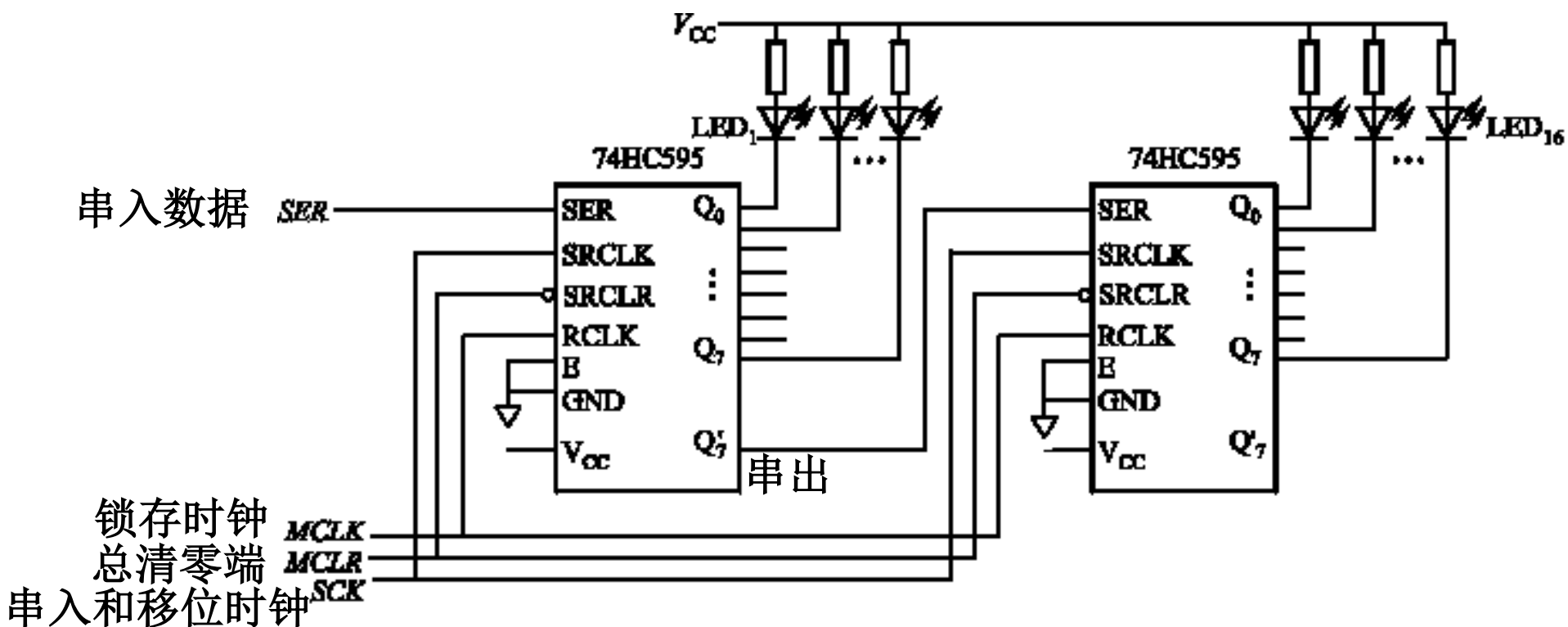
➤ 产生序列脉冲

n位移位寄存器连接成**循环右移**模式。并行输入序列代码数据后，该序列就在移位寄存器中循环移位，产生一系列脉冲。如以四位序列**0110**为例，脉冲波形如图所示。

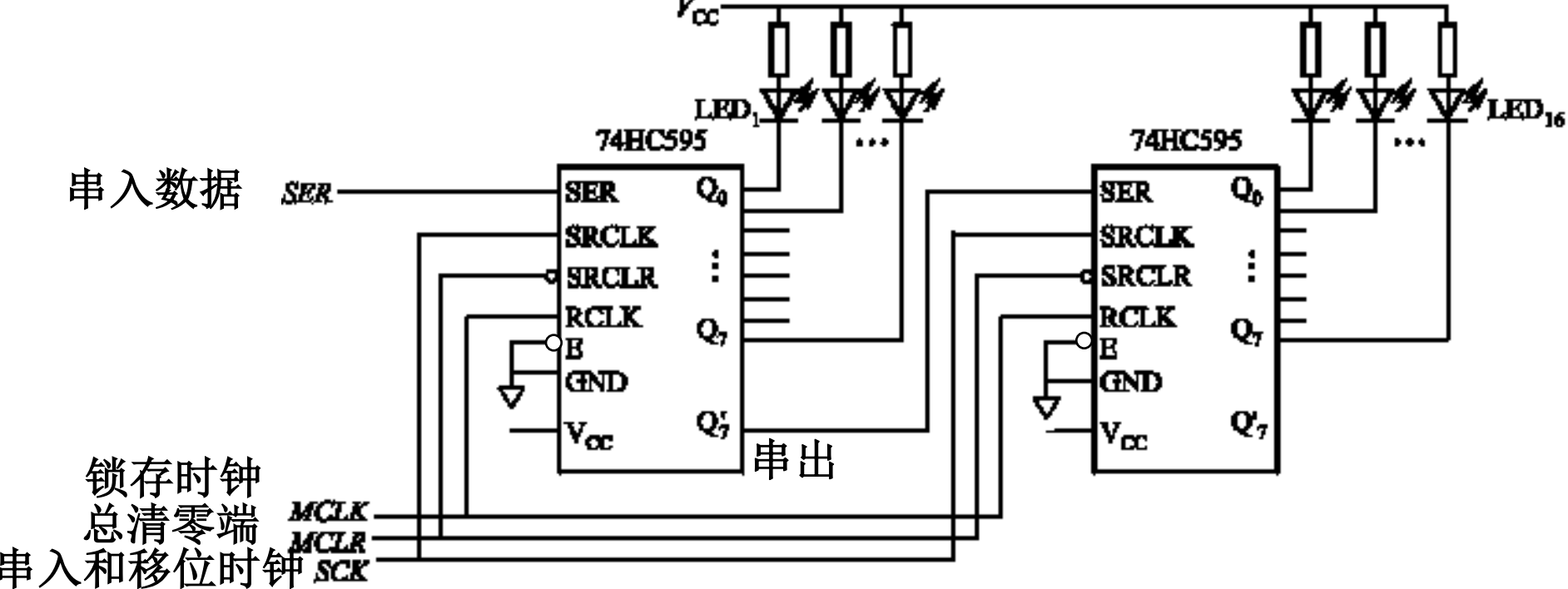
0110→0011→1001→1100→0110



(LED) 彩灯控制



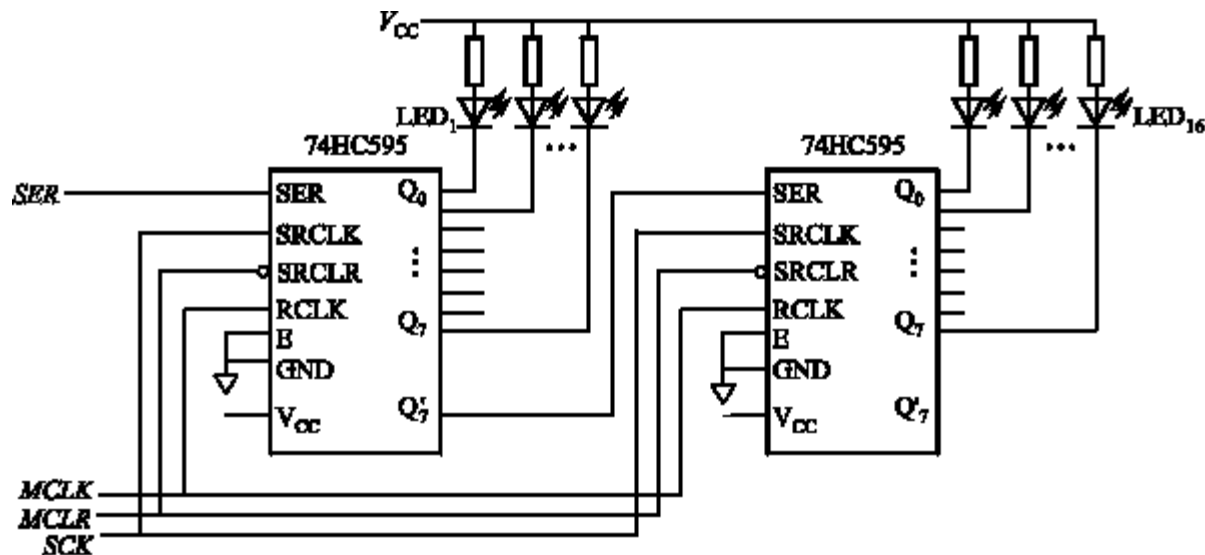
彩灯的花形和颜色人为设定，彩灯显示过程时序安排为：



①MCLK保持锁存状态（“1”或“0”），让彩灯显示原花型不变。

②加SCK，把设计好的彩灯花型（数据）存入两个8位移位寄存器。

③加MCLK锁存信号，将移位寄存器中的信息锁存入锁存器中，然后锁存器处于锁存状态。由于使能端已接地，则彩灯将显示目前的花型。



④如果要改变花型时，则按人眼能分辨时间规律存入花型信息（数据），就能得到连续不断的花型显示。

➤ 构成乘法器电路

乘法器的符号位用二个乘数的符号位异或实现，所以，乘法用原码运算最方便。

设被乘数为： $A = A_S A_{n-1} A_{n-2} \cdots A_1 A_0$

乘数为： $B = B_S B_{m-1} B_{m-2} \cdots B_1 B_0$

则乘积符号位为： $Y_S = A_S \oplus B_S$

数值部分为：

$$\begin{aligned} |Y| &= |A| \cdot |B| \\ &= |A| \cdot (B_{m-1} \cdot 2^{m-1} + B_{m-2} \cdot 2^{m-2} + \cdots + B_1 \cdot 2^1 + B_0 \cdot 2^0) \\ &= B_0 \cdot |A| \cdot 2^0 + B_1 \cdot |A| \cdot 2^1 + \cdots + B_{m-1} \cdot |A| \cdot 2^{m-1} \end{aligned}$$

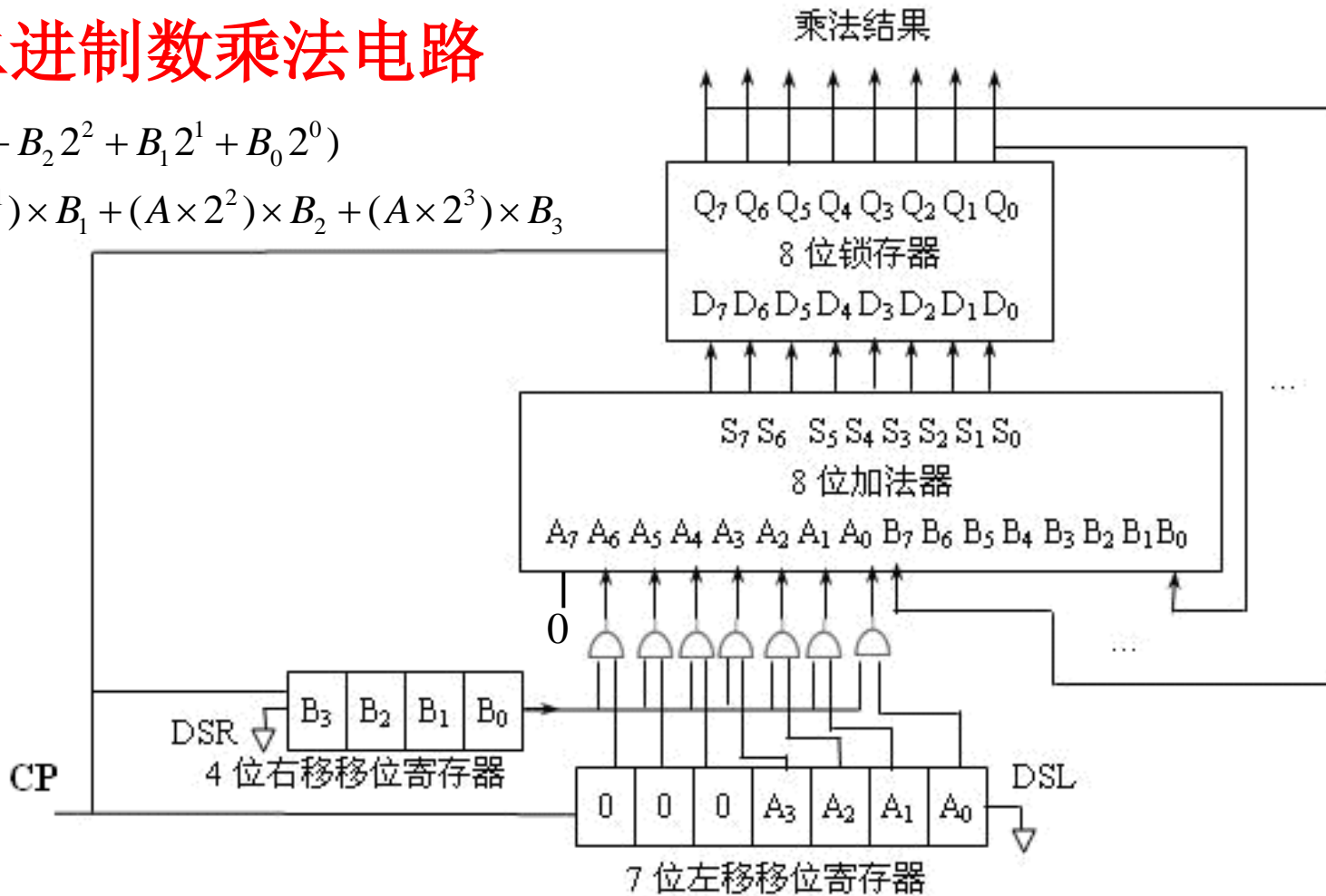
乘积的数值部分可通过被乘数左移和相加两种操作获得。

【例】 $A=1001$, $B=0101$, 求 $Y=A \times B$ 。

$$\begin{array}{r} 1001 \\ \times) 0101 \\ \hline 1001 \longrightarrow |A| \cdot B_0 \cdot 2^0 \\ 0000 \longrightarrow |A| \cdot B_1 \cdot 2^1 \\ 1001 \longrightarrow |A| \cdot B_2 \cdot 2^2 \\ 0000 \longrightarrow |A| \cdot B_3 \cdot 2^3 \\ \hline 0101101 \end{array}$$

两个4位二进制数乘法电路

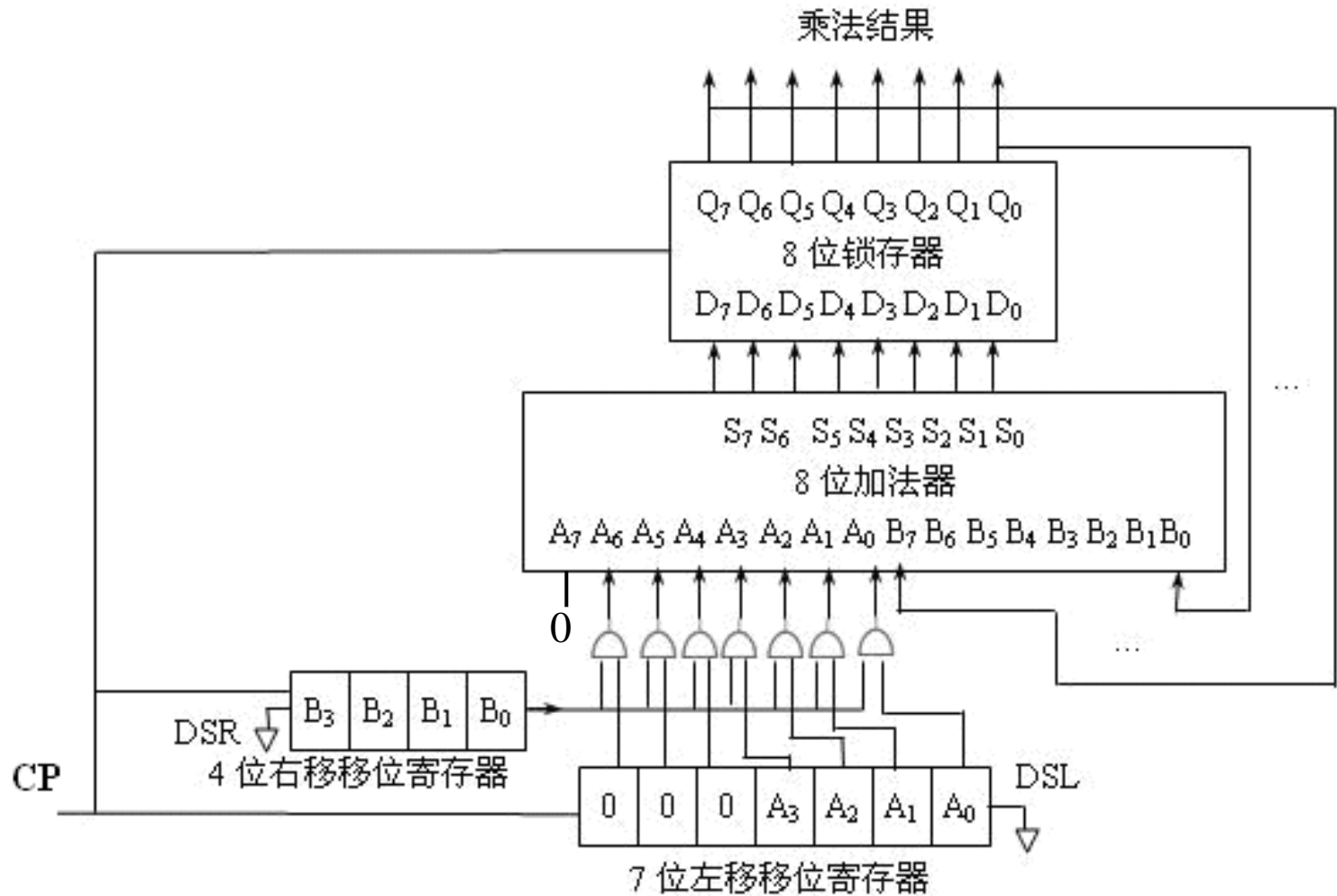
$$Y = A \times B = A \times (B_3 2^3 + B_2 2^2 + B_1 2^1 + B_0 2^0) \\ = (A \times 2^0) \times B_0 + (A \times 2^1) \times B_1 + (A \times 2^2) \times B_2 + (A \times 2^3) \times B_3$$



首先，CP脉冲未加入前，将8位乘积寄存器置于初始状态00000000，两个移位寄存器经与门后计算 $(A \times 2^0) \times B_0$

8位二进制加法器计算 $SUM0 = (A \times 2^0) \times B_0 + 00000000$

其结果出现在8位锁存器的输入端



第1个CP脉冲加入后，第1次的部分乘积 $SUM0$ 被锁存器锁存，
 乘数和被乘数经7个与门计算 $(A \times 2^1) \times B_1$
 8位加法器计算后，得到第二次部分乘积 $SUM1 = (A \times 2^1) \times B_1 + SUM0$

➤ 构成除法器

