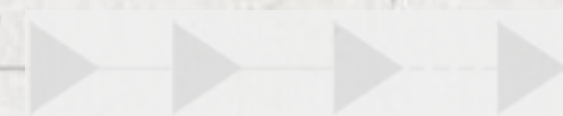


# 芯动力——硬件加速设计方法

## 第三章 同步电路与跨时钟域电路设计(5)

邸志雄@西南交通大学

zxdi@home.swjtu.edu.cn





# 复位电路

复位电路:

- 是每个数字逻辑电路中最重要的一部分之一

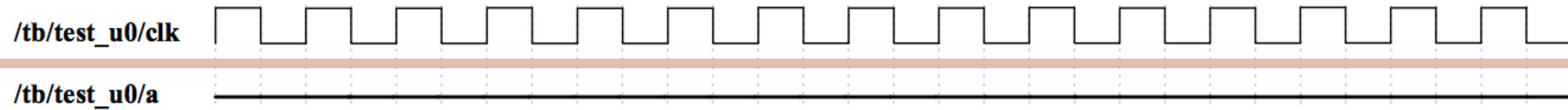
复位电路的功能的有两个方面:

- 仿真的时候使电路进入初始状态或者其他预知状态;
- 对于综合实现的真实电路, 通过复位使电路进入初始状态或者其他预知状态。

逻辑电路的任何一个寄存器、存储器结构和其他逻辑单元都必须附加复位逻辑电路, 以保证电路能够从错误状态中恢复, 可靠地工作。

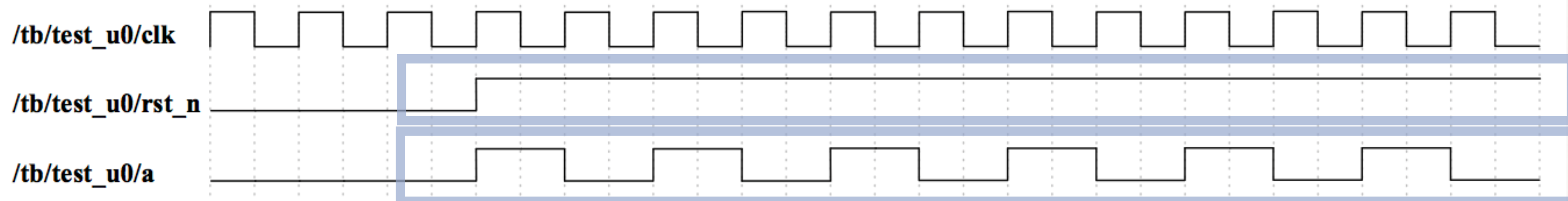


Code 8-1 always @(posedge clk)  
a <= ~a;



Code 8-2 always @(posedge clk or negedge rst\_n)  
begin  
if(! rst\_n)  
a <= 1'b0;  
else  
a <= ~a;  
end

对电路进行了复位





时序电路



双稳态电路

必须有复位信号

组合逻辑电路



没有存储功能

不需要复位信号



# 同步复位电路

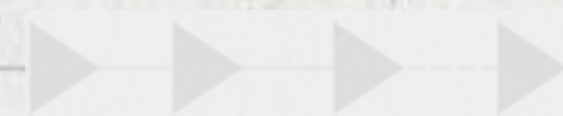
- 所谓同步复位是指当复位信号发生变化时，并不立即生效，只有当有效时钟沿采样到已变化的复位信号后，才对所有寄存器复位。

复位信号



```
always @ ( posedge clk )  
  if ( ! rst_ )  
    begin  
      ...  
    end  
  else  
    begin  
      ...  
    end
```

最高级

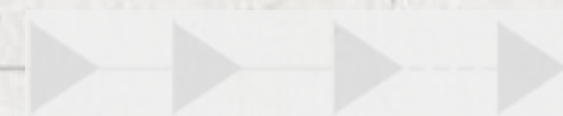






## 同步复位的优点

- 有利于仿真器的仿真。
- 可以使所设计的系统成为100%的同步时序电路，这便大大有利于时序分析，而且综合出来的 $f_{max}$ 一般较高。
- 因为他只有在时钟有效电平到来时才有效，所以可以滤除高于时钟频率的毛刺。

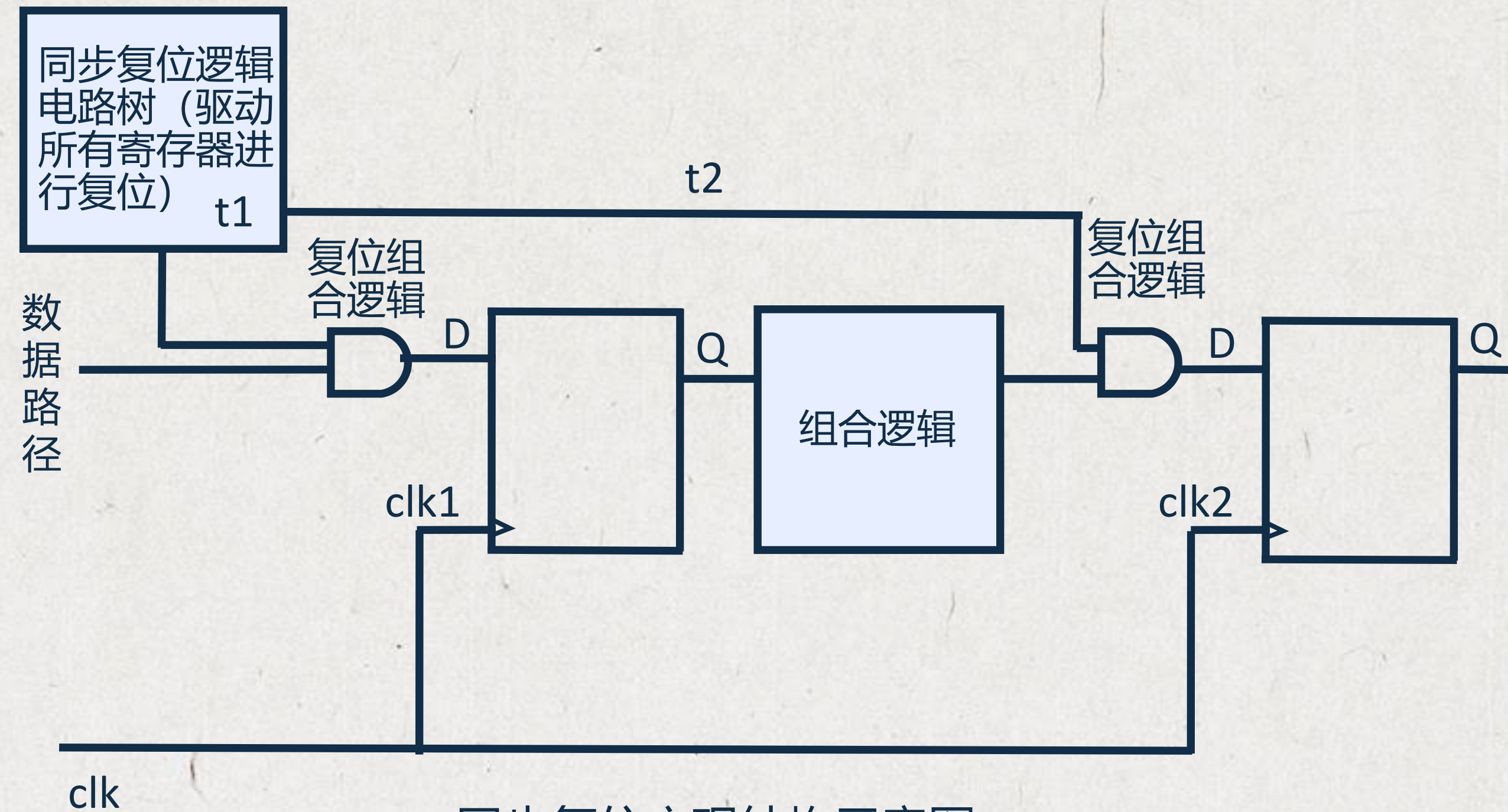




## 同步复位的缺点

- 复位信号的有效时长必须大于时钟周期，才能真正被系统识别并完成复位任务。同时还要考虑，诸如：`clk skew`，组合逻辑路径延时，复位延时等因素。
- 由于大多数的逻辑器件的目标库内的DFF都只有异步复位端口，所以，倘若采用同步复位的话，综合器就会在寄存器的数据输入端口插入组合逻辑，这样就会耗费较多的逻辑资源。

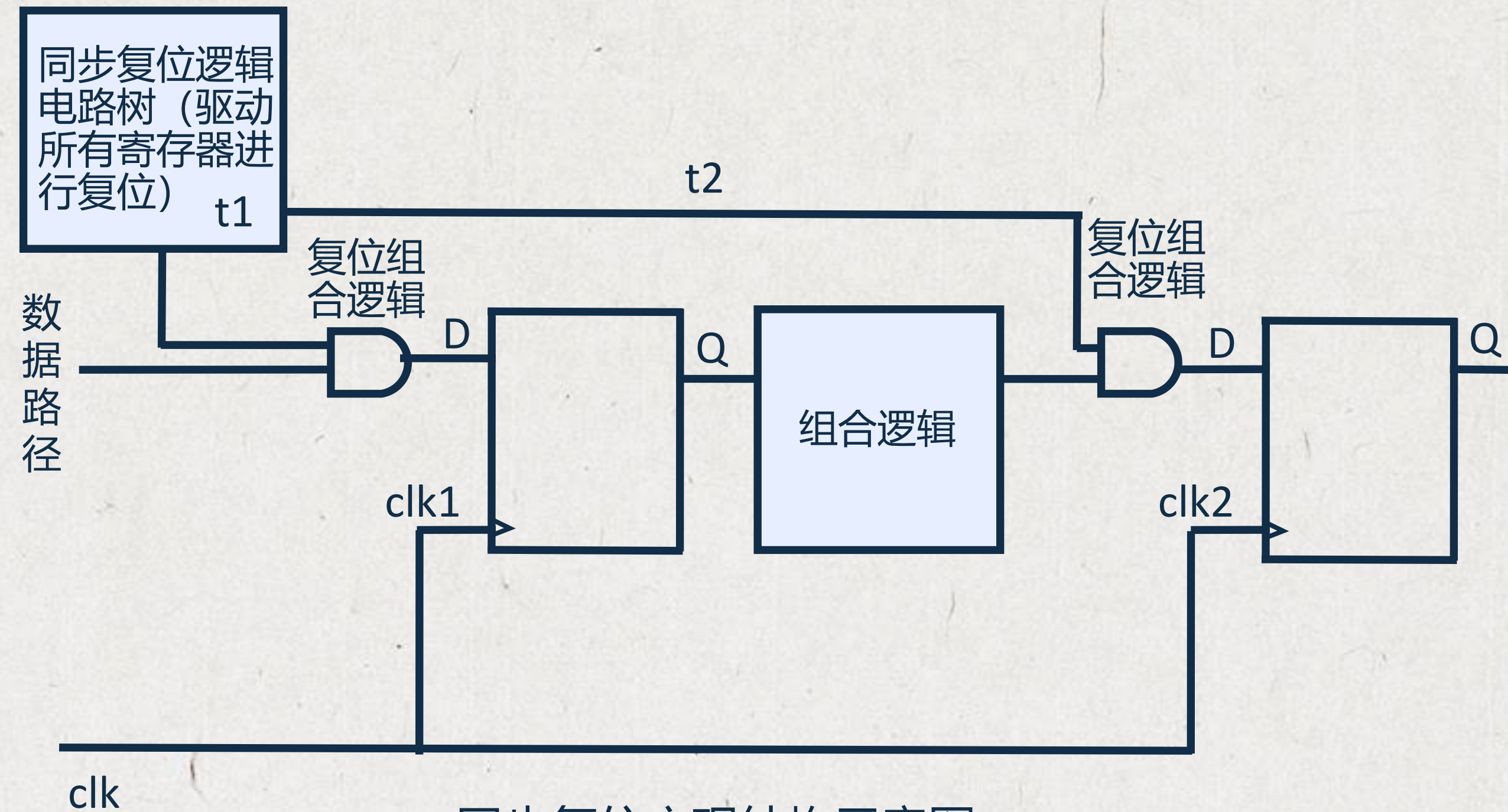




同步复位实现结构示意图

- 同步复位信号的持续时间大于最慢的时钟周期
- 同步复位信号树通过所有相关组合逻辑路径时的延时
- 由于时钟布线产生的偏斜( skew)





同步复位实现结构示意图

t1 - 同步复位逻辑树组合逻辑的延时

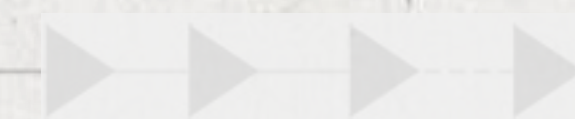
t2 - 复位信号传播路径的最大延时

Period max - 最慢时钟的周期

clk2 - clk1 - 时钟的 skew

同步复位的周期  $T_{syn\_rst}$

$$T_{syn\_rst} > Period\ max + (clk2 - clk1) + t1 + t2$$





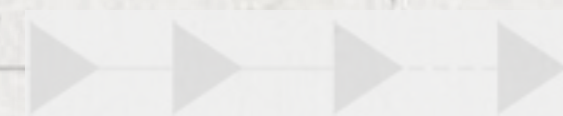
# 异步复位电路

- 所谓异步复位是指当复位信号有效沿到达时，无论时钟沿是否有效，都会立即对目标(如寄存器、 RAM 等)复位。

```
always @ ( posedge clk or negedge rst_ )  
  if ( ! rst_ )  
    begin  
      ...  
    end
```

时钟

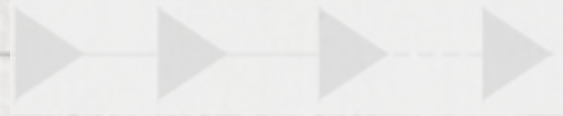
复位信号







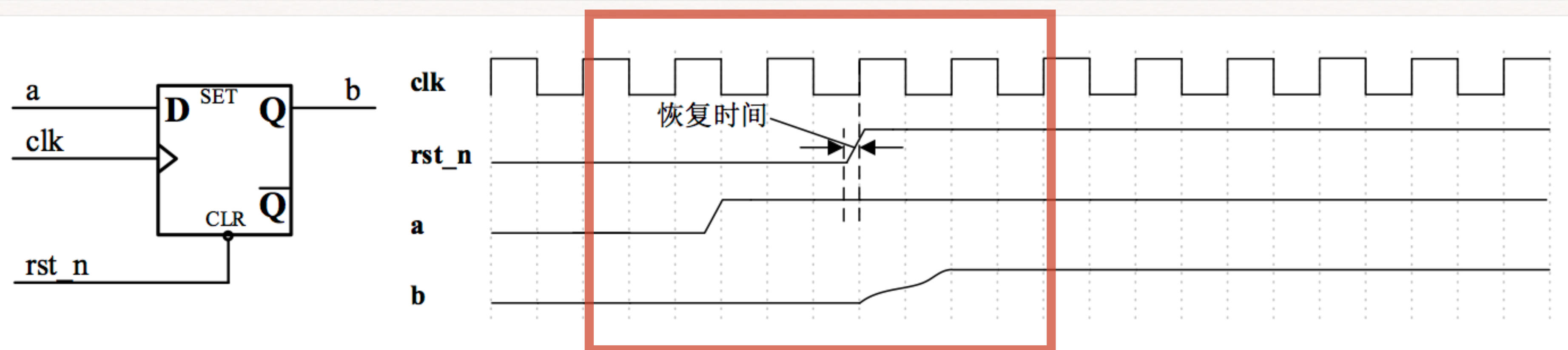
## 异步复位的优点

- 大多数目标器件库的dff都有异步复位端口，因此采用异步复位可以节省资源。
  - 设计相对简单。
  - 异步复位信号识别方便，而且可以很方便的使用FPGA的全局复位端口GSR。
- 



## 异步复位的缺点

- 在复位信号释放(release)的时候容易出现问題。具体就是说：倘若复位释放时恰恰在时钟有效沿附近，就很容易使寄存器输出出现亚稳态，从而导致亚稳态。
- 复位信号容易受到毛刺的影响。





# 推荐的复位电路

- 为了避免释放的时候造成亚稳态问题

## 异步复位，同步释放

### 异步复位

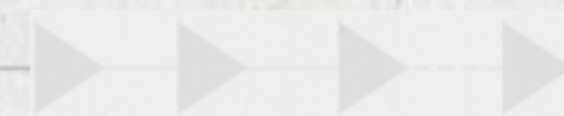
- 就是复位信号可以直接不受时钟信号影响，在任意时刻只要是低电平就能复位（假如约定低电平复位）

复位信号不需要和时钟同步

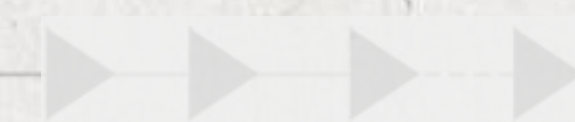
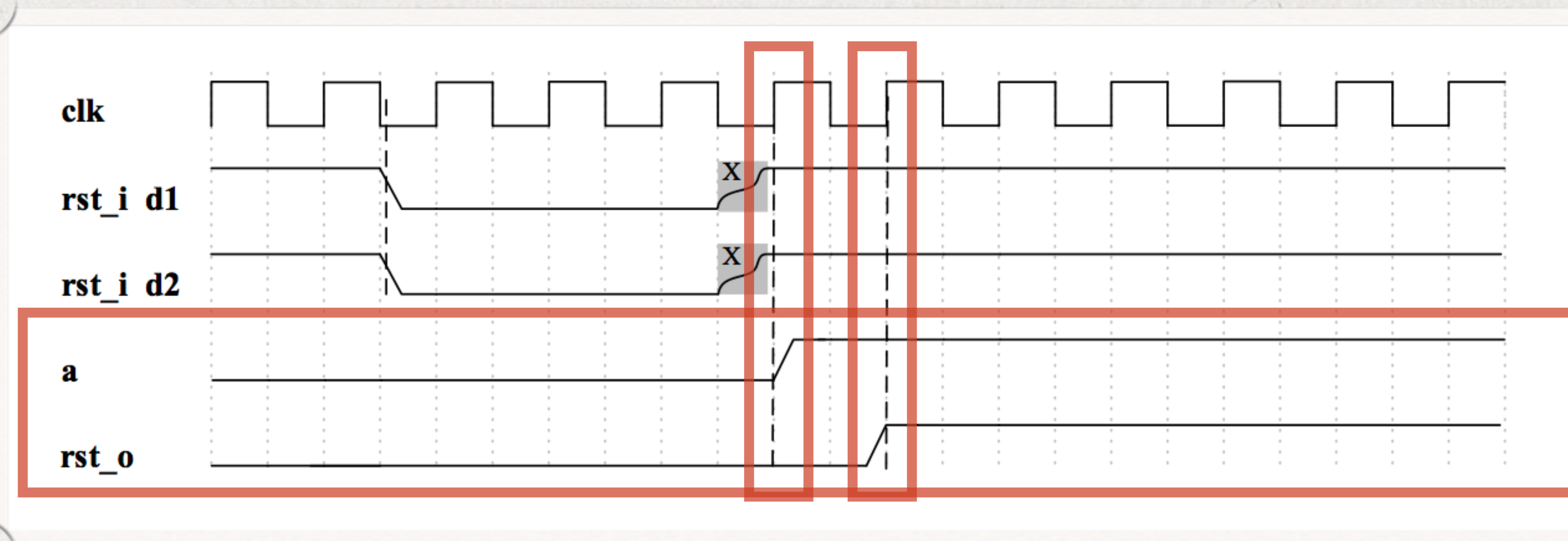
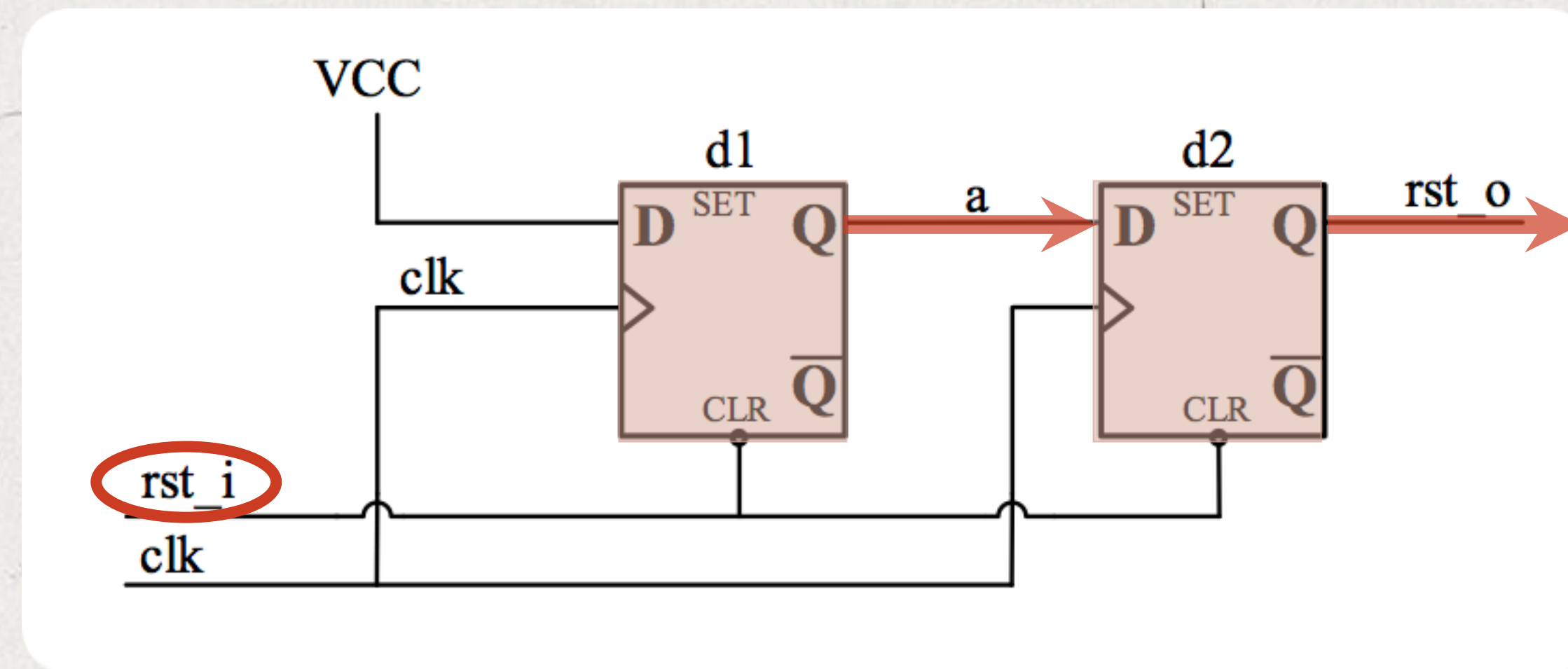
### 同步释放

- 让复位信号取消的时候，必须跟时钟信号同步

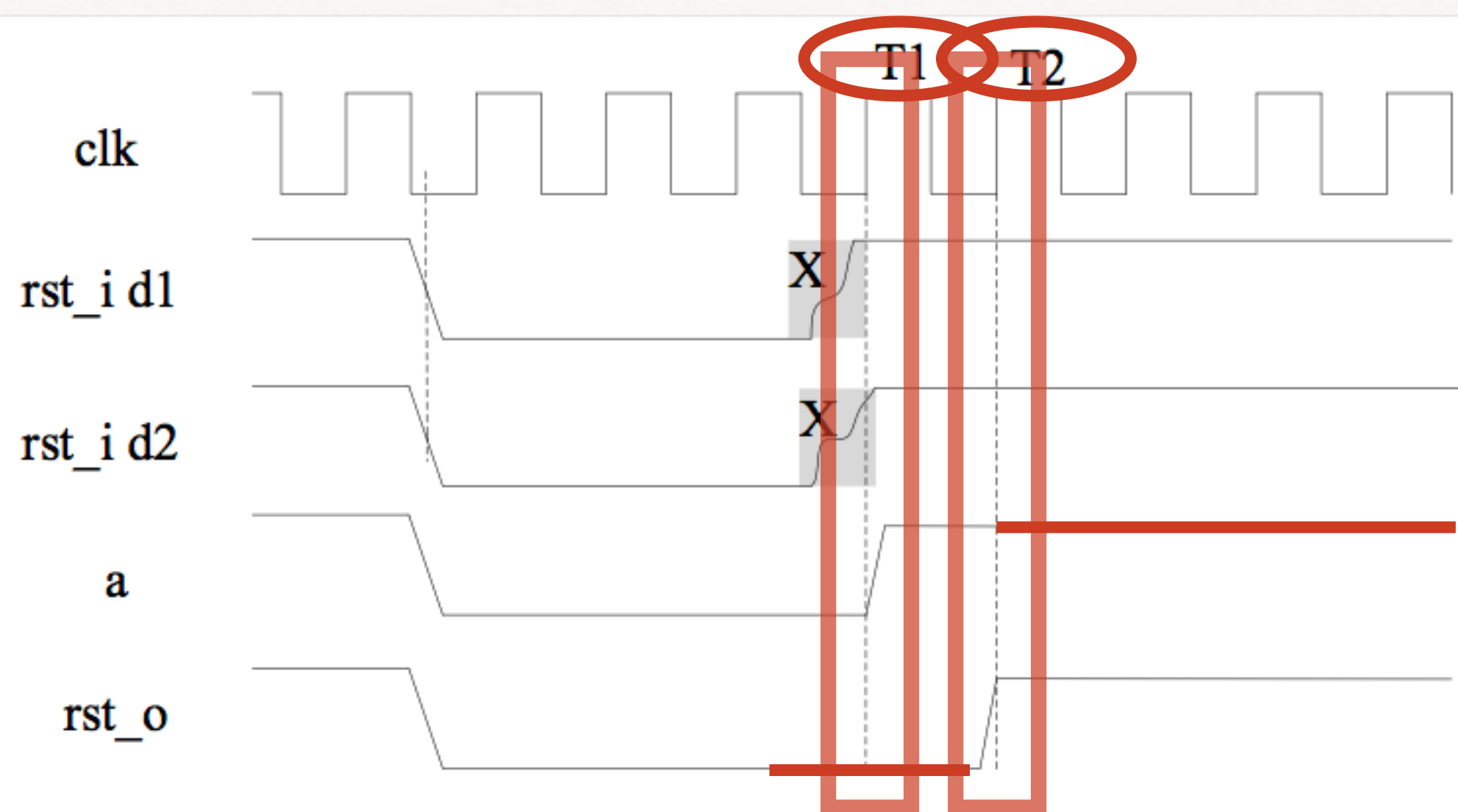
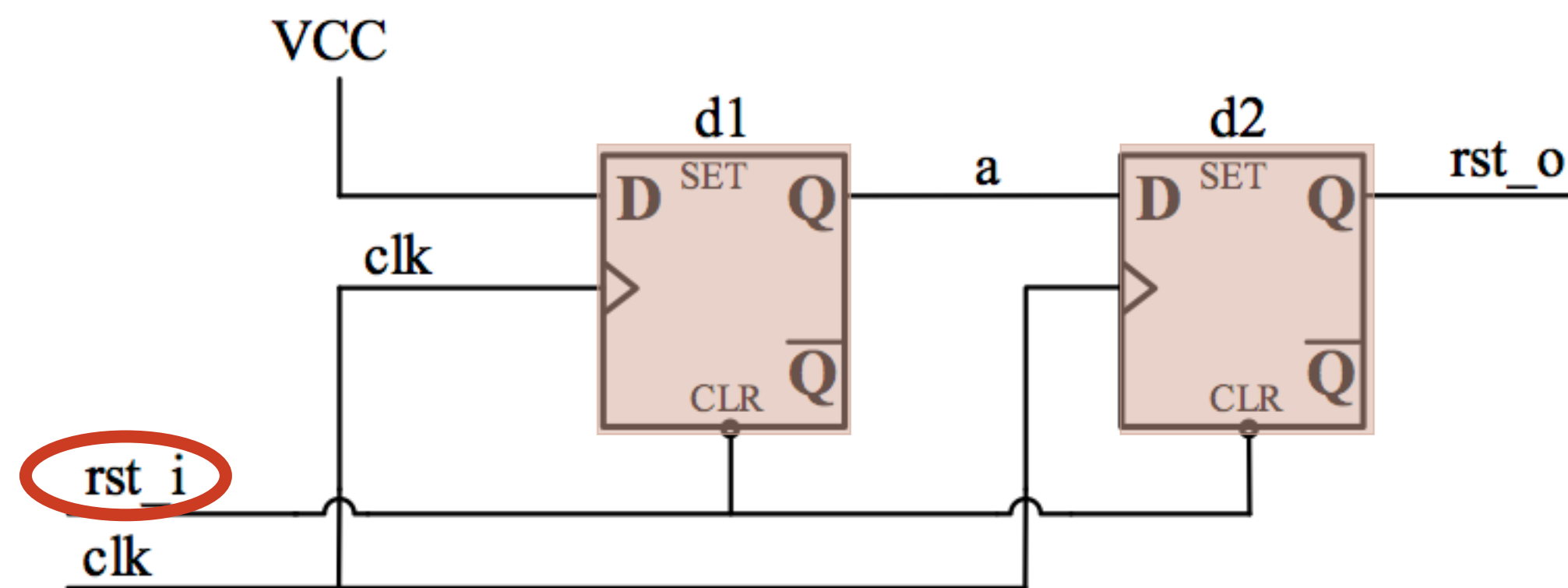
正好跟时钟同沿





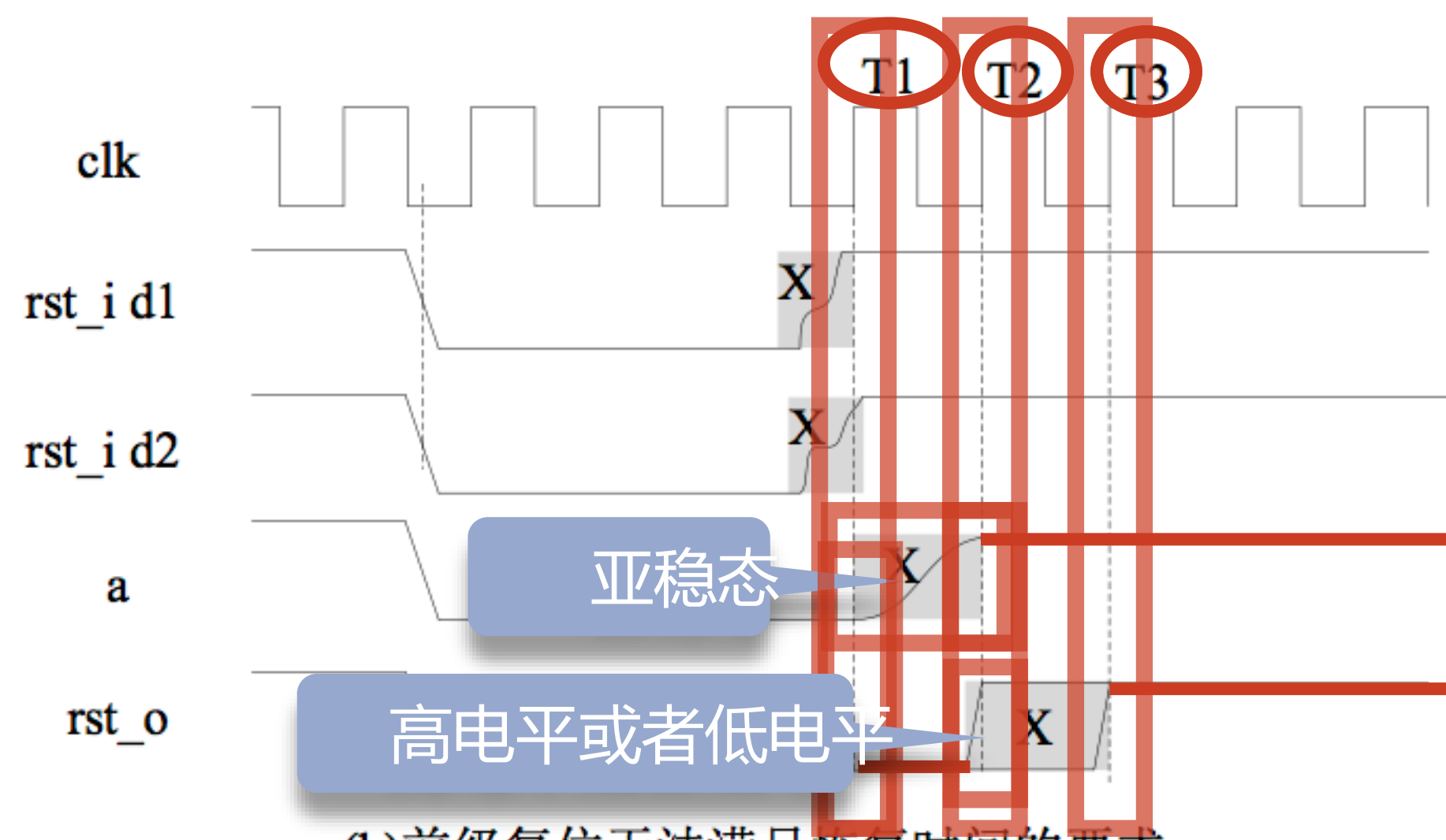
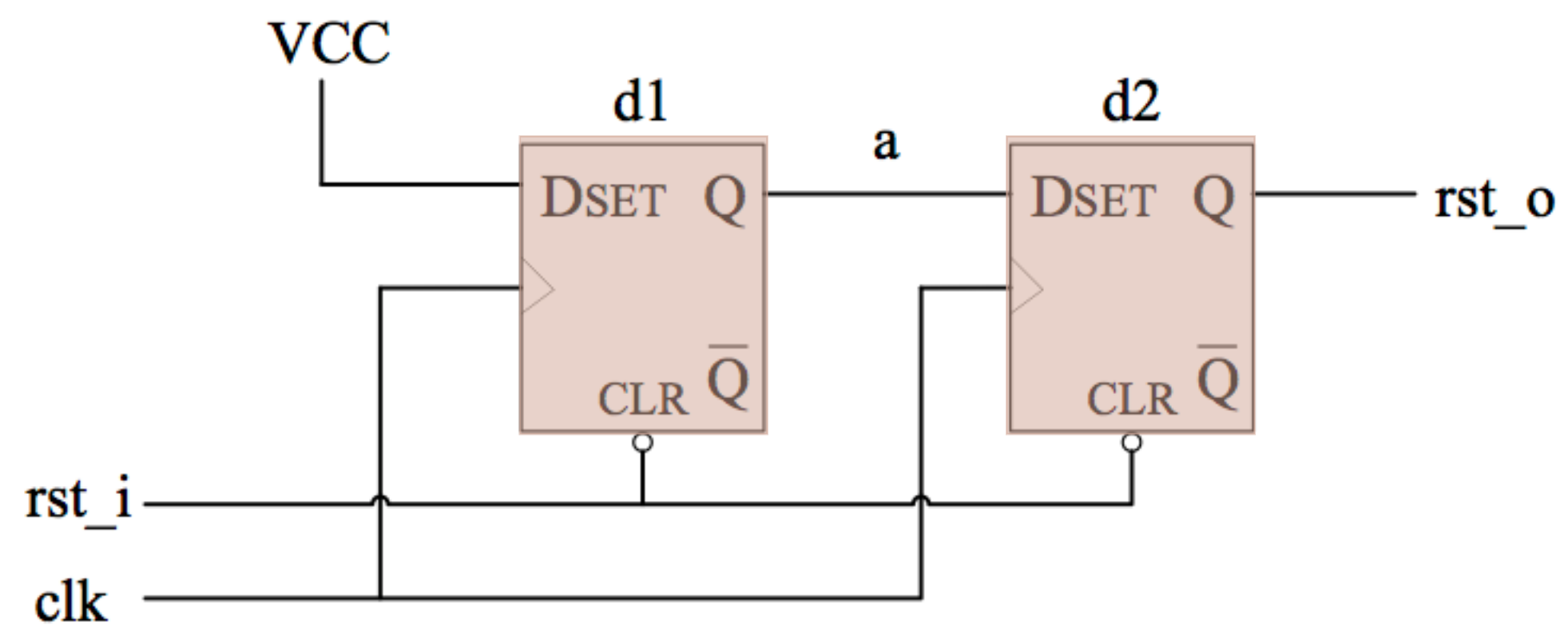






(a) 后级复位无法满足恢复时间的要求





(b)前级复位无法满足恢复时间的要求



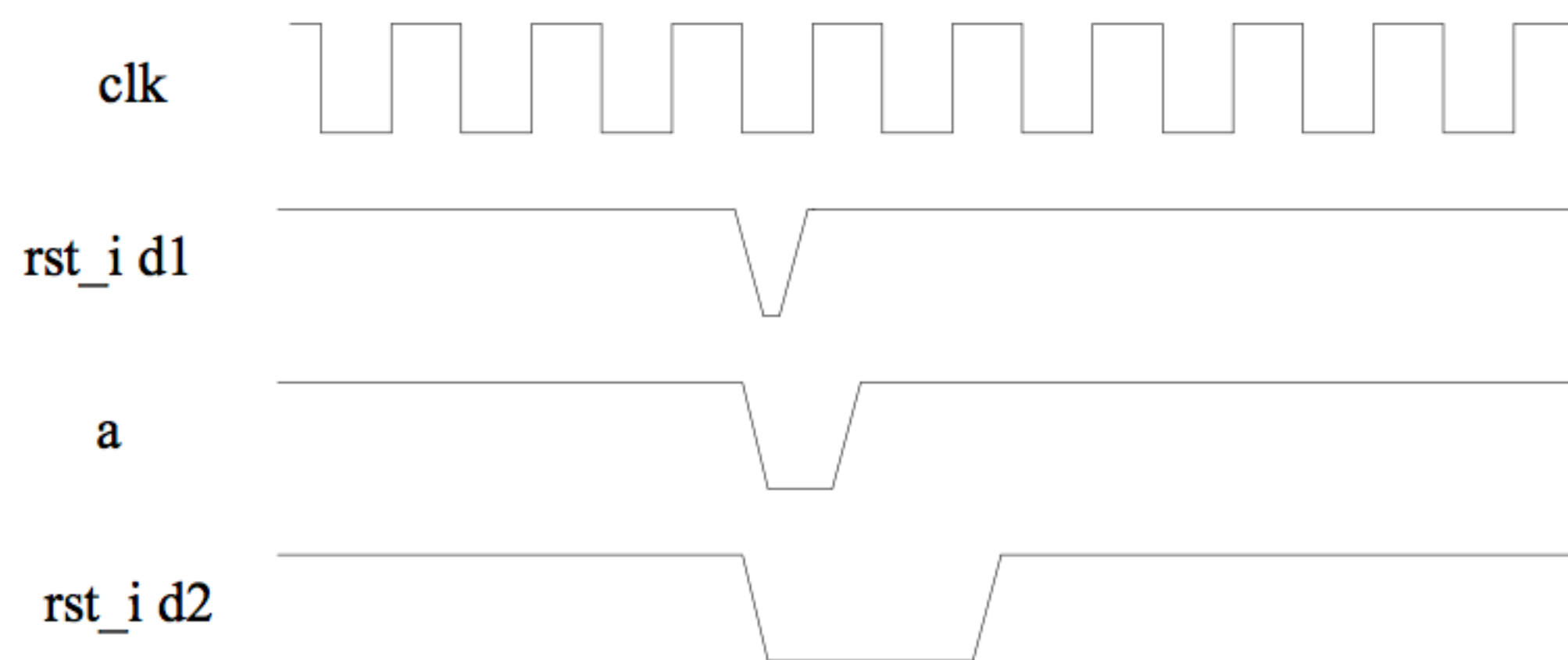
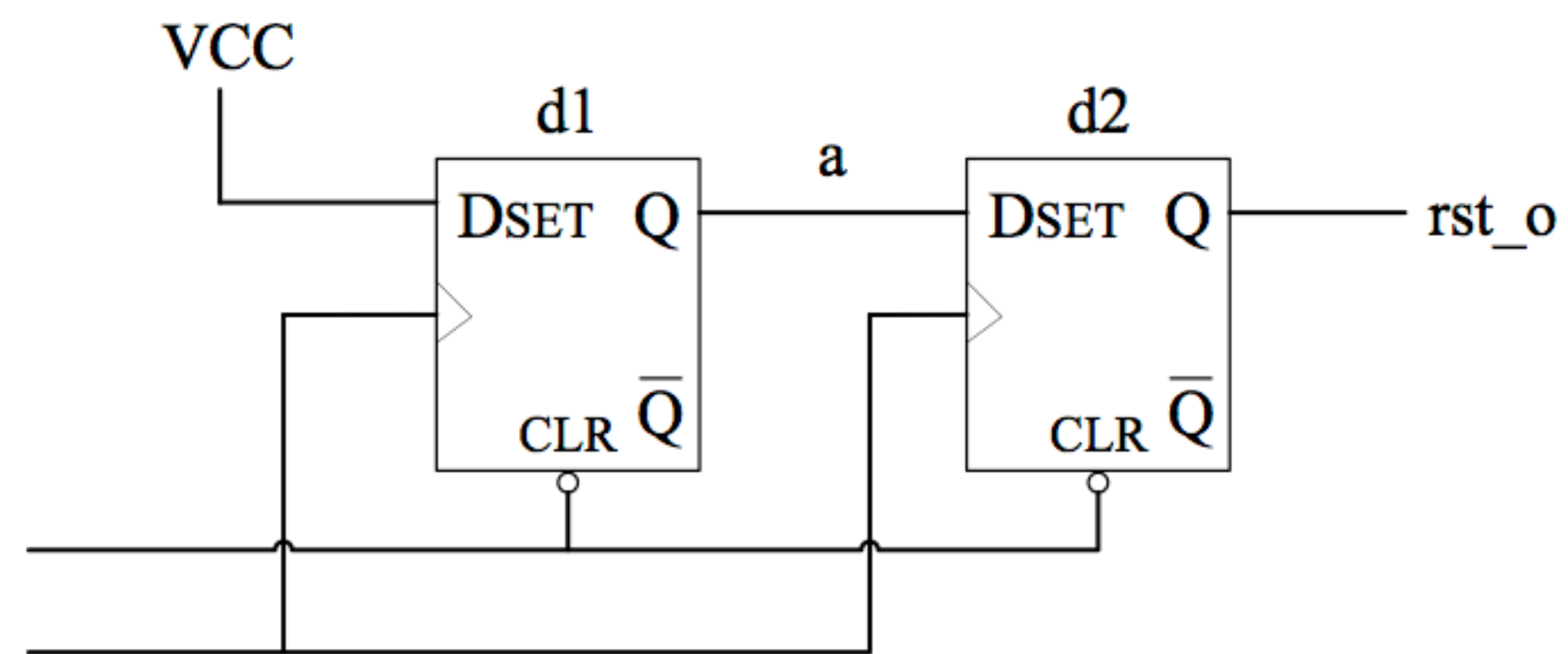
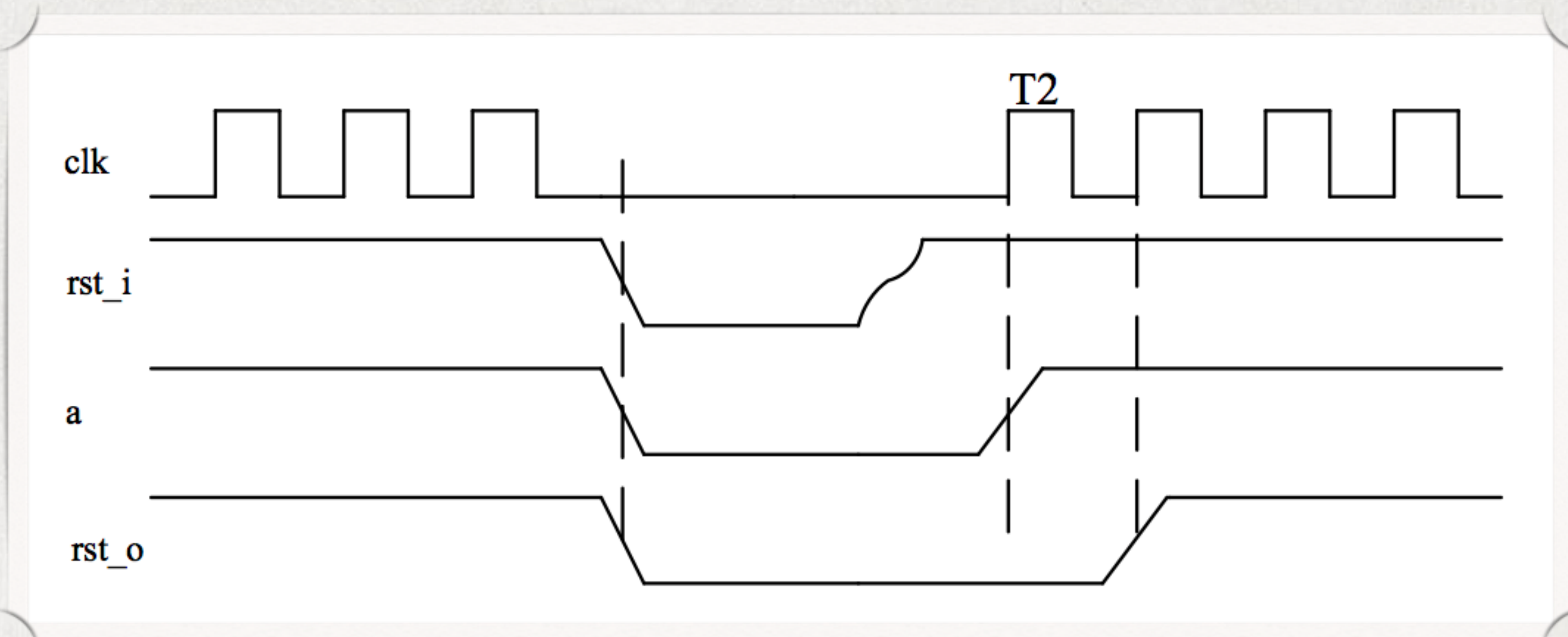
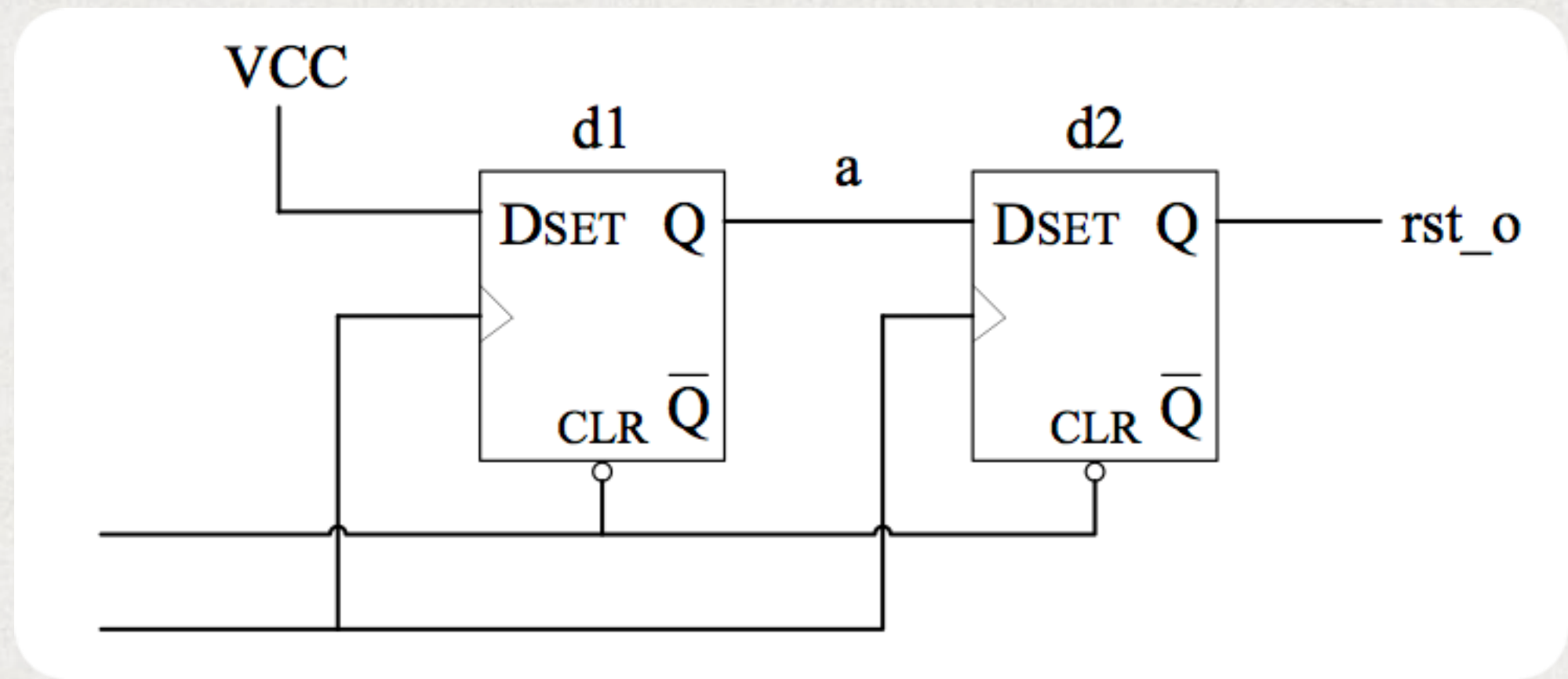
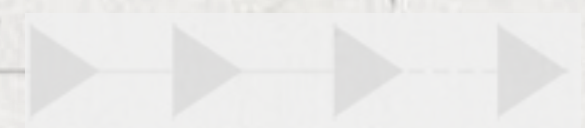


图8-20 复位的捕捉





不依赖于时钟的复位





# 推荐的复位电路

异步复位及同步撤离具有异步复位和同步的优点：

快速复位

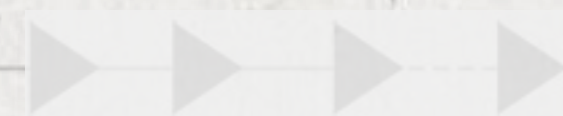
- 只要复位信号一有效，电路就处于复位状态。

有效捕捉复位

- 即使是短脉宽复位也不会丢失。

有明确的复位撤销行为

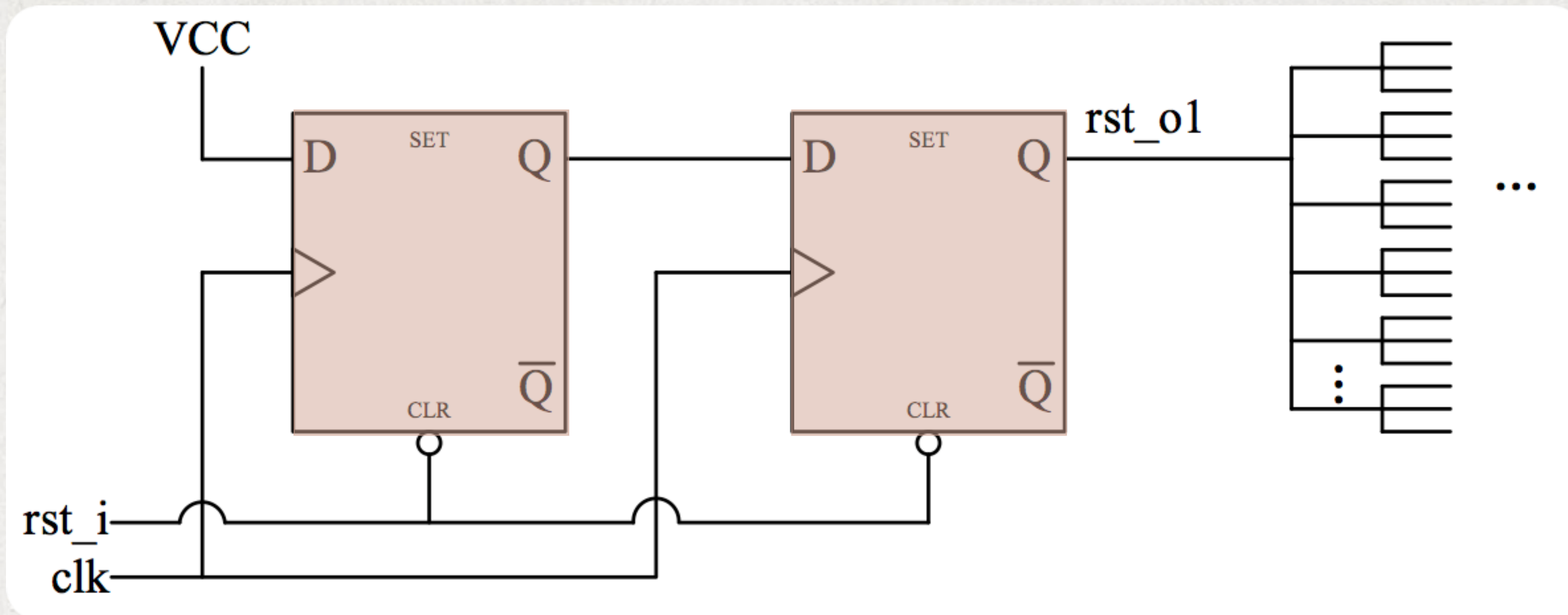
- 复位的撤离是同步信号，因此有良好的撤离时序和足够的恢复时间。





## 复位网络

- 在一个设计中，无论是同步复位还是异步复位，其扇出数量往往仅次于时钟网络。复位网络通常会被布线在全局网络上，在布线的时候需要控制各个路径的时钟偏移保持在大致相等的水平上，使复位能“同时”撤离。

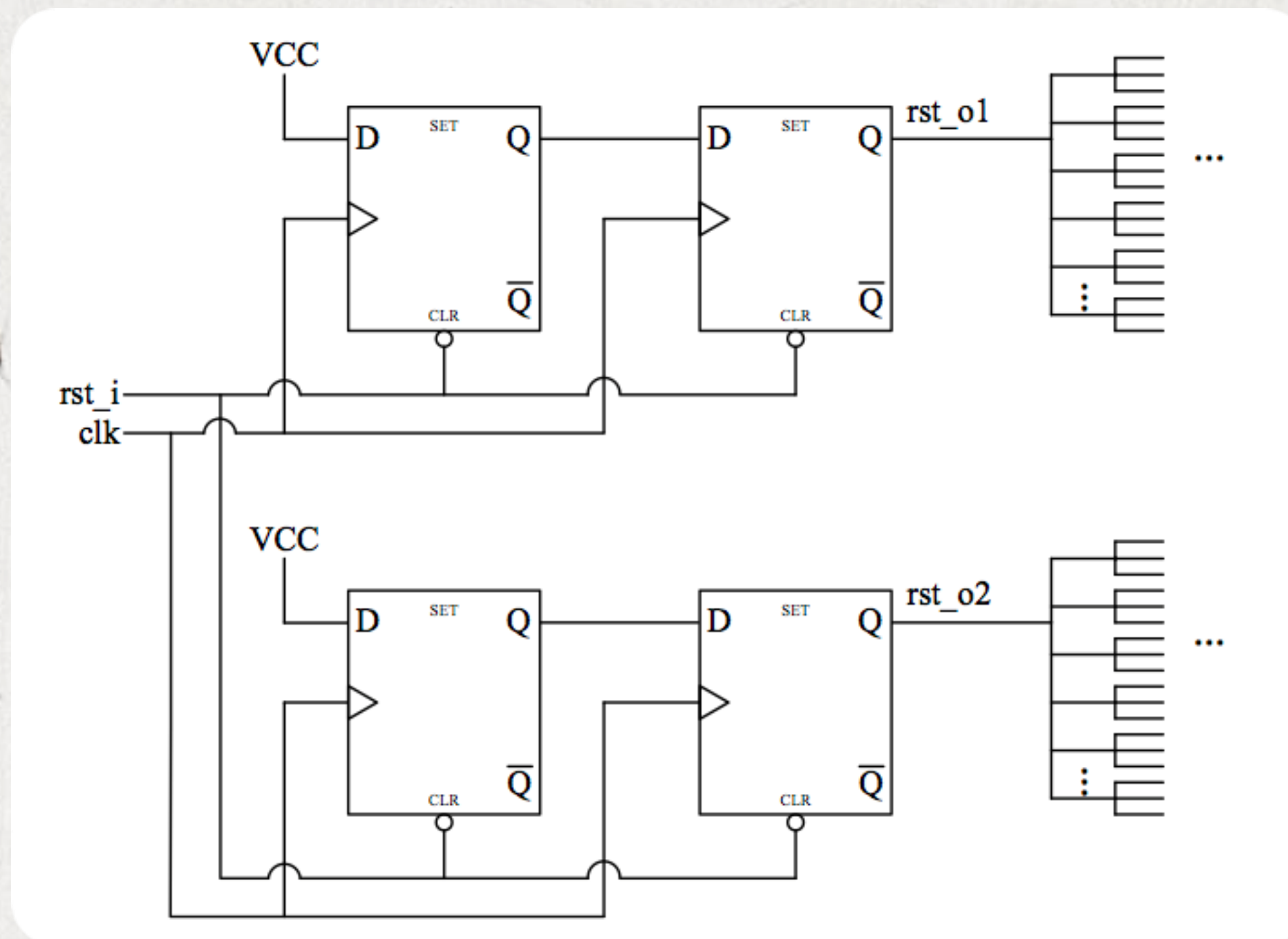


树形拓扑的复位网络



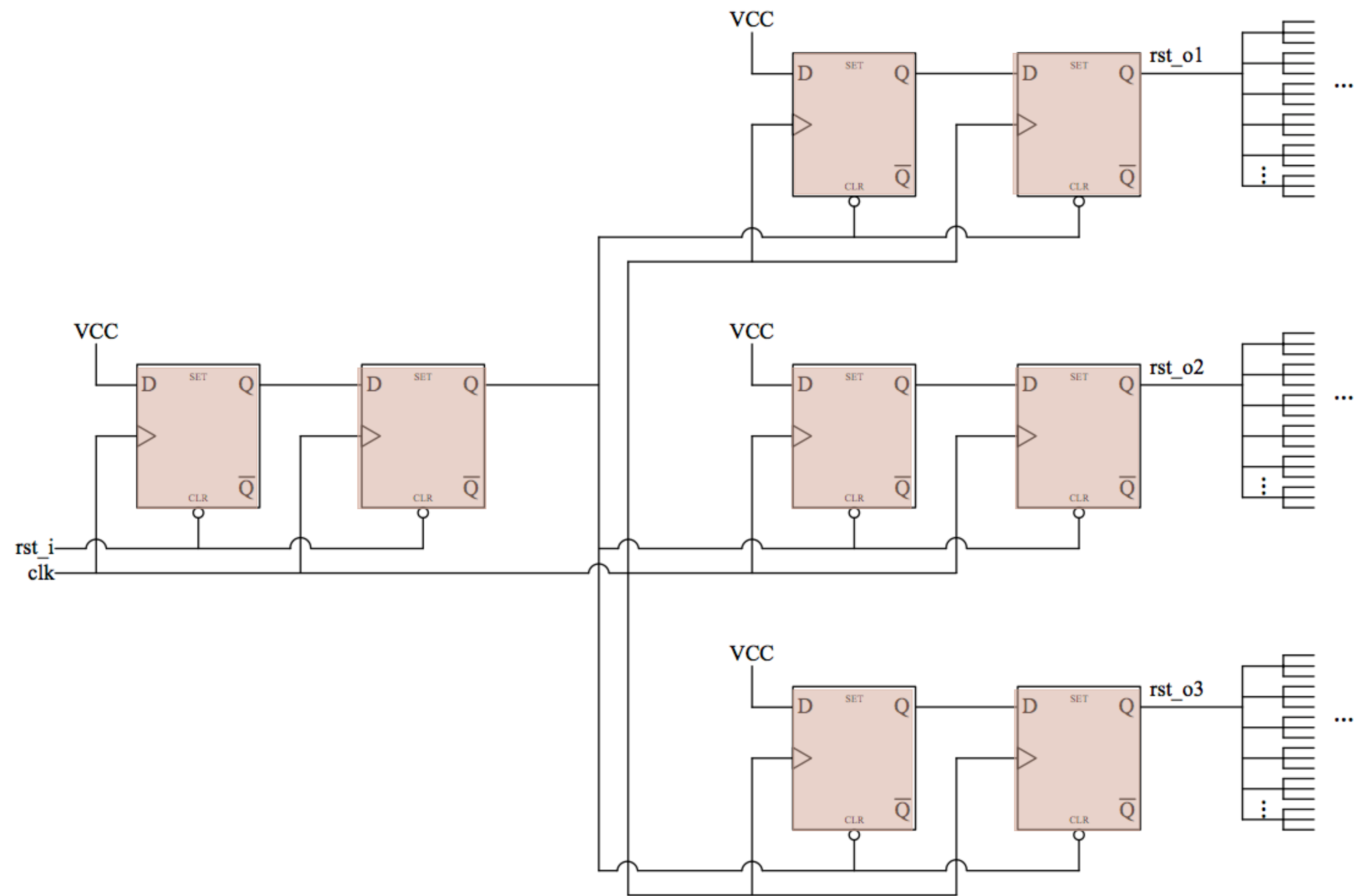
## 复位网络

- 两个复位信号在撤离时可能会存在一个周期的偏差，在实际电路系统中，可能会导致时序错乱。



有缺陷的复位网络





复位分发技术

