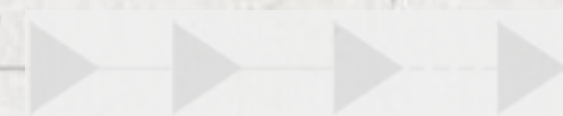


芯动力——硬件加速设计方法

第一章：概述

邸志雄@西南交通大学

zxdi@home.swjtu.edu.cn



芯片是什么？



〔硅文化〕

silicon culture

硅 - 地球上除氧以外含量最丰富的元素，已经成为微电子行业的代名词

石器时代

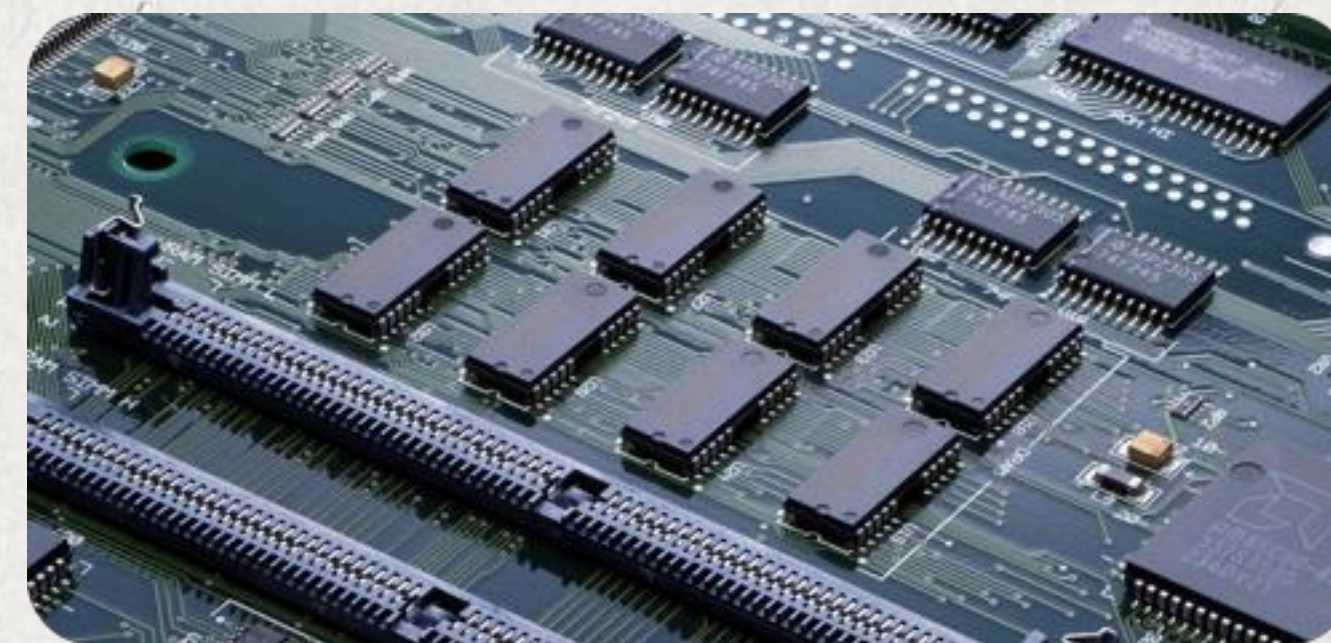
铁器时代



硅石时代

Silicon age

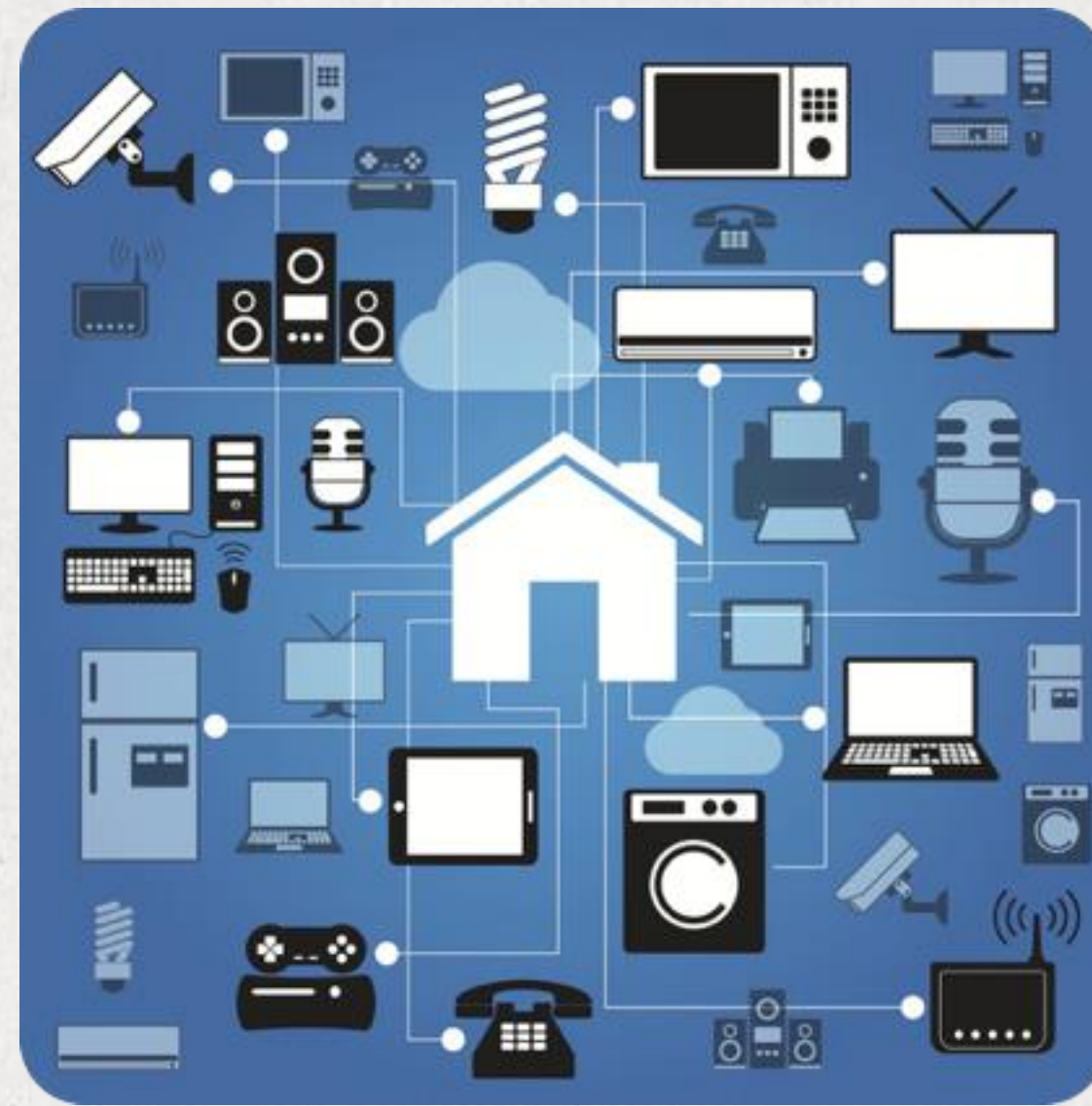
芯片是什么？



硅 - 地球上除氧以外含量最丰富的元素，已经成为微电子行业的代名词

生活中无所不在的“芯”

- 微电子的产品覆盖了我们生活的方方面面，抬眼望去，芯片无处不在。小到**一个LED照明的转换器**、**公交卡**，大到**电视**、**电脑的芯片**。
- 根据预测，在五年以后，平均每个人都会有**200颗**芯片，为他服务，同时这些芯片的**80%**都是可以和互联网通信的。



芯片的重要性——经济价值

触目惊“芯”的数字：

- 全球半导体市场规模达3200亿美元，全球54%的芯片都出口到中国，但国产芯片的市场份额只占10%。全球77%的手机是中国制造，但其中不到3%的手机芯片是国产的。
- 2014年中国进口芯片花了2000亿，什么概念，比中国进口石油的总量还多，是中国第一大进口商品。

倪光南院士表示：无论是硬件还是软件，我们用国外的核心技术架构起来的信息化平台，相当于沙漠上建房子，人家一撤走，我们一点办法也没有，中国的很多系统都要垮掉，都要重来。

人工智能
VR
机器学习
深度学习



模式识别

金融

天文

生物信息

地震

气象

军事

特点

- 技术趋势上训练数据样本量巨大
- 数据密集型高性能计算的规模迅速增长
- 并行存储容量和带宽的要求越来越高
- 对网络要求带宽更高并且延时更低



芯片硬件加速计算的重要性

FPGA

ASIC

- 效能更高
- 并行模式更宽泛
- 支持数据并行和任务并行
- 计算密度高

网络路由

物流管理

社交媒体营销

军事规划和分析

医疗资源调度

金融服务

有限元分析

计算提高至少
9倍以上

产业链

1

Foundry

2

Fabless

3

EDA

4

Design Service

5

IP vender

6

IDM

2018 Rank	2017 Rank	Vendor	2018 Market	2017 Revenue	2017-2018 Growth (%)
1	1	Samsung Electronics		59,875	26.7
2	2	Intel	65,862	58,725	12.2
3	3	SK hynix	36,433	26,370	38.2
4	4	Micron Technology		22,895	33.8
5	6	Broadcom	16,544	15,405	7.4
6	5	Qualcomm	15,380	16,099	-4.5
7	7	Texas Instruments	14,767	13,506	9.3
8	9	Western Digital	9,321	9,159	1.8
9	11	ST Microelectronics	9,276	8,031	15.5
10	10	NXP Semiconductors	9,010	8,750	3.0
		Others	98,648	95,215	3.6
		Total Market	476,693	420,393	13.4

Source: Gartner (January 2019)

Foundry

IDM

Fabless

产业链—Foundry

介绍:

- 晶圆厂商，专门从事半导体晶圆制造生产，接受其他无晶圆厂设计公司的委托，制造芯片，是整个微电子行业的基础。

公司代表:

- TSMC, Global Foundry, UMC, SMIC

2019年第一季度全球前十大晶圆代工业者排名（单位：百万美元）

排名	企业	2018 年第一 季度	2019 年第一 季度 (E)	2018 年第一 季度市 占率 (E)	2018 年第一 季度营 收年增率 (E)
1	台积电	8,547	7,028	48.10%	-17.80%
2	三星	3,253	2,785	19.10%	-14.40%
3	格芯	1,513	1,234	8.40%	-18.40%
4	联电	1,292	1,058	7.20%	-18.10%
5	中芯	831	654	4.50%	-21.30%
6	高塔半导体	313	310	2.10%	-0.90%
7	力晶	341	251	1.70%	-26.40%
8	世界先进	221	225	1.50%	1.60%
9	华虹半导体	210	220	1.50%	4.70%
10	东部高科	131	132	0.90%	1.10%

Fabless

Fabrication

less



没有制造业务
只专注于设计

未拥有芯片制造工厂的
IC设计公司

无晶圆厂

晶圆

芯片\硅集成电路的
基础

无晶圆

无芯片制造

产业链—Fabless

IC design house

- Fabless

2018 Rank	Company	2017 (USD M)	2018 (USD M)	YoY (%)
1	Broadcom	18,824	21,754	15.6
2	Qualcomm	17,212	16,450	-4.4
3	Nvidia	9,714	11,716	20.6
4	MediaTek	7,826	7,894	0.9
5	Hisilicon	5,645	7,573	34.2
6	AMD	5,329	6,475	21.5
7	Marvell	2,409	2,931	21.7
8	Xilinx	2,476	2,904	17.3
9	Novatek	1,547	1,818	17.6
10	Realtek	1,370	1,519	10.9
	Top 10 Total	72,351	81,034	12

排名	企业名称	营收 (亿元人民币)		营收年增率
		2017	2018 (E)	
1	海思	387	503	30.00%
2	紫光	110.5	110	-0.50%
3	北京豪成	90.5	100	10.50%
4	中兴微电子	76	61	-19.70%
5	华大半导体	523	60	14.70%
6	汇顶科技	363	32	-13.10%
7	京矽成	25.1	26.5	55%
8	格科微	18.9	26.3	39.00%
9	紫光国微	183	23.5	28.50%
10	兆易创新	203	23	13.50%

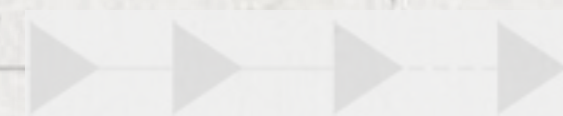
产业链—EDA

介绍:

- 自动化软件生产厂商，为集成电路设计提供软件支持。大部分被EDA三巨头垄断。

华大九天

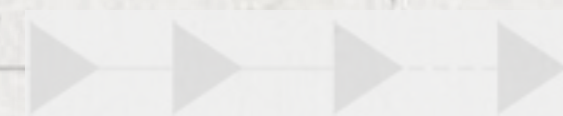
cā d e n c e[™]
SYNOPSYS®
Mentor
Graphics®



产业链—Design Service

介绍:

- 主要提供芯片后端设计服务。一些设计公司在项目比较集中或者自身没有强大的后端设计能力，或者缺少技术实力，会选择设计服务公司。



产业链—IP供应商

介绍:

- 由于IP的研发成本高, 并且可复用性强, 一些设计公司可以为其他的公司提供IP 设计服务, 最有名的就是RISC IP的提供商ARM。另外, EDA, Foundry, 一些创业公司都提供IP 设计服务。

Rank	Company	2017	2018	Growth	2018 Share	Cumulative Share
1	ARM (Softbank)	1659.9	1610	-3.0%	44.7%	44.7%
2	Synopsys	527.6	629.8	19.4%	17.5%	62.2%
3	Cadence	159.5	188.8	18.4%	5.2%	67.4%
4	Imagination Technologies	126.9	119.7	-5.7%	3.3%	70.7%
5	Ceva	87.5	77.9	-11.0%	2.2%	72.9%
6	Verisilicon	54.7	66.3	21.2%	1.8%	74.7%
7	Achronix	15.0	52.5	250.0%	1.5%	76.2%
8	Rambus	54.0	52.1	-3.5%	1.4%	77.6%
9	eMemory Technology	45.0	47.9	6.4%	1.3%	79.0%
10	Waves Computing	43.0	41.0	-4.7%	1.1%	80.1%
	Top 10 Vendors	2,773.1	2,886.0	4.1%	80.1%	80.1%
	Others	627.0	716.6	14.3%	19.9%	100.0%
	Total	3,400.1	3,602.6	6.0%	100.0%	100.0%

产业链——最近两三年的新兴芯片或FPGA设计公司



工业时代



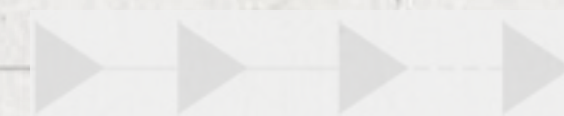
信息时代



智能时代

一定会出现一个千亿级别的智能芯片市场
一定会出现一个智能时代伟大的芯片公司

寒武纪的使命：支撑智能时代的芯片公司



产业链—就业岗位

模拟芯片

数字芯片

数模混合芯片

岗位评估

IC设计公司

算法/IC架构

数字IC前端设计

数字IC验证

IC后端P&R

模拟IC设计

数模混合IC设计

版图设计

IC生产/封装/测试/运营

方案硬件开发

Firmware嵌入式驱动开发

IC市场/销售/FAE

技术市场

算法架构

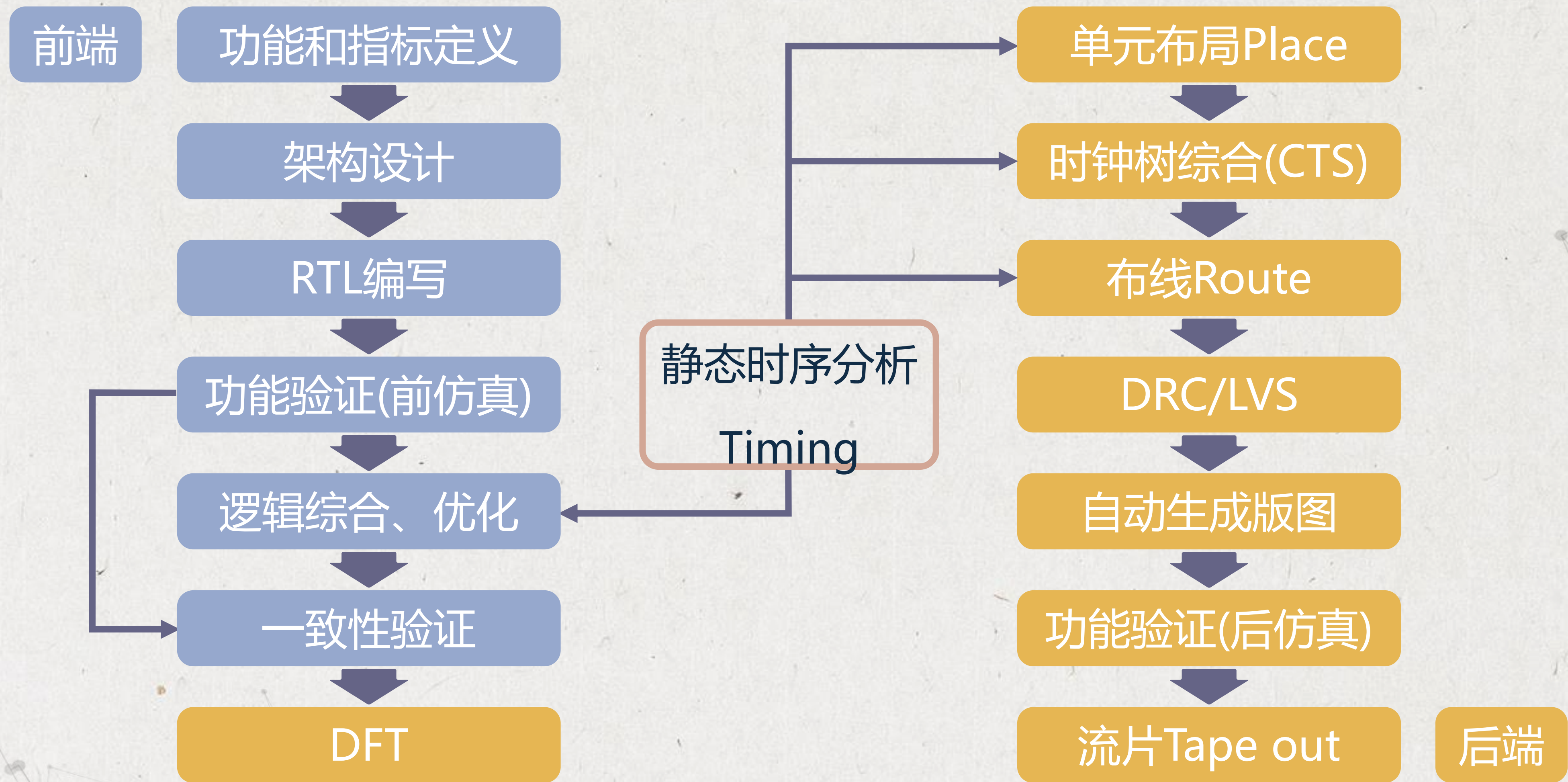
本课程重点内容

前端设计

后端布局布线

验证

数字芯片设计的流程图



架构设计

目的:

数字部分的高层次算法

架构的分析与建模

- 为硬件提供一个正确的软件功能模型
- 为RTL实现提供总体性的设计指导

工具:

- MATLAB、C++、C、System C、System Verilog

特点:

- 奠定了整个芯片的性能和功耗的基础

通信

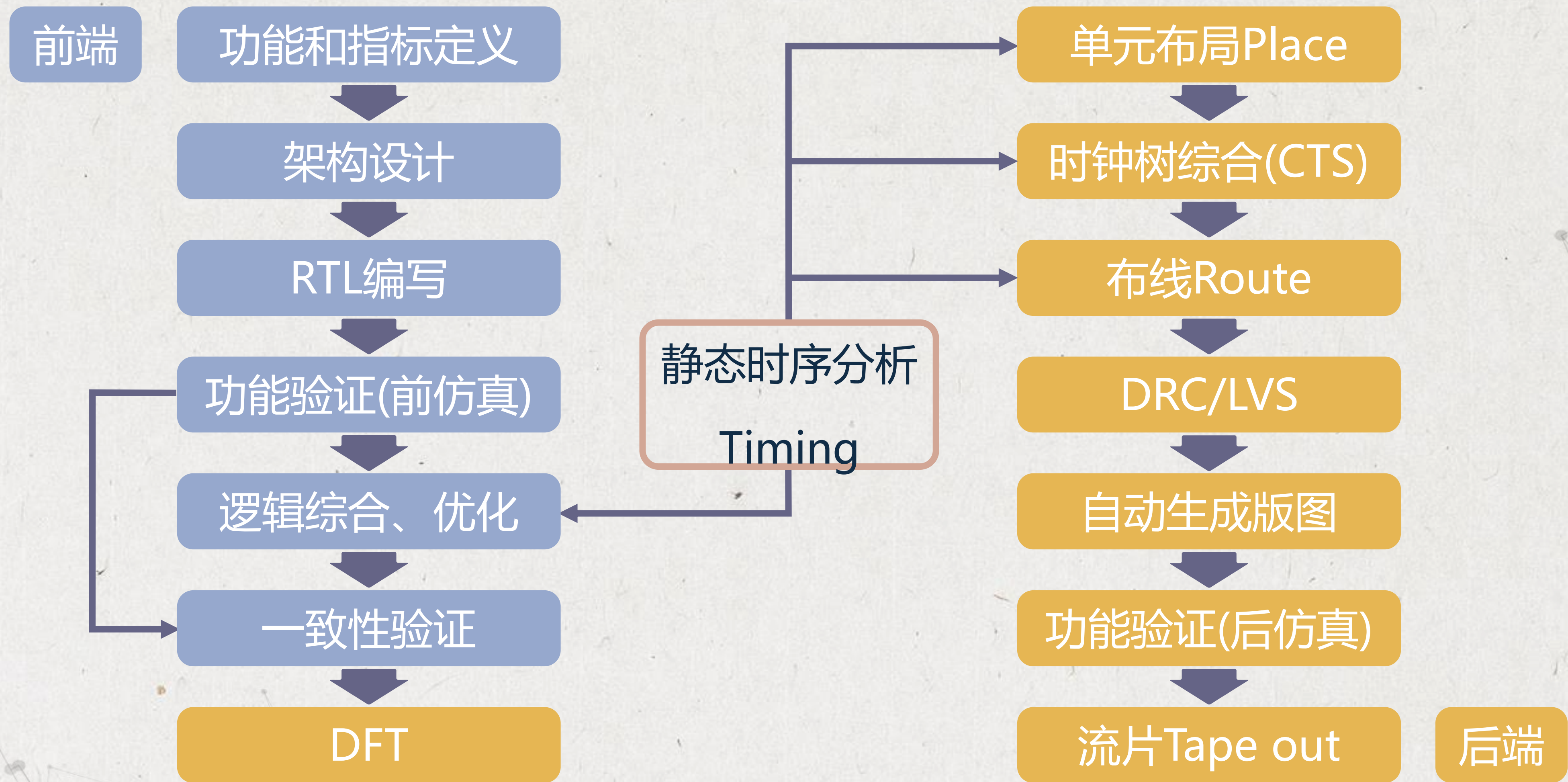
信号处理

计算机

软件专业

微电子专业

数字芯片设计的流程图





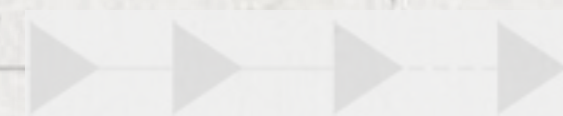
RTL编写

目的: - 完成由高层次描述到Verilog HDL实现的过程

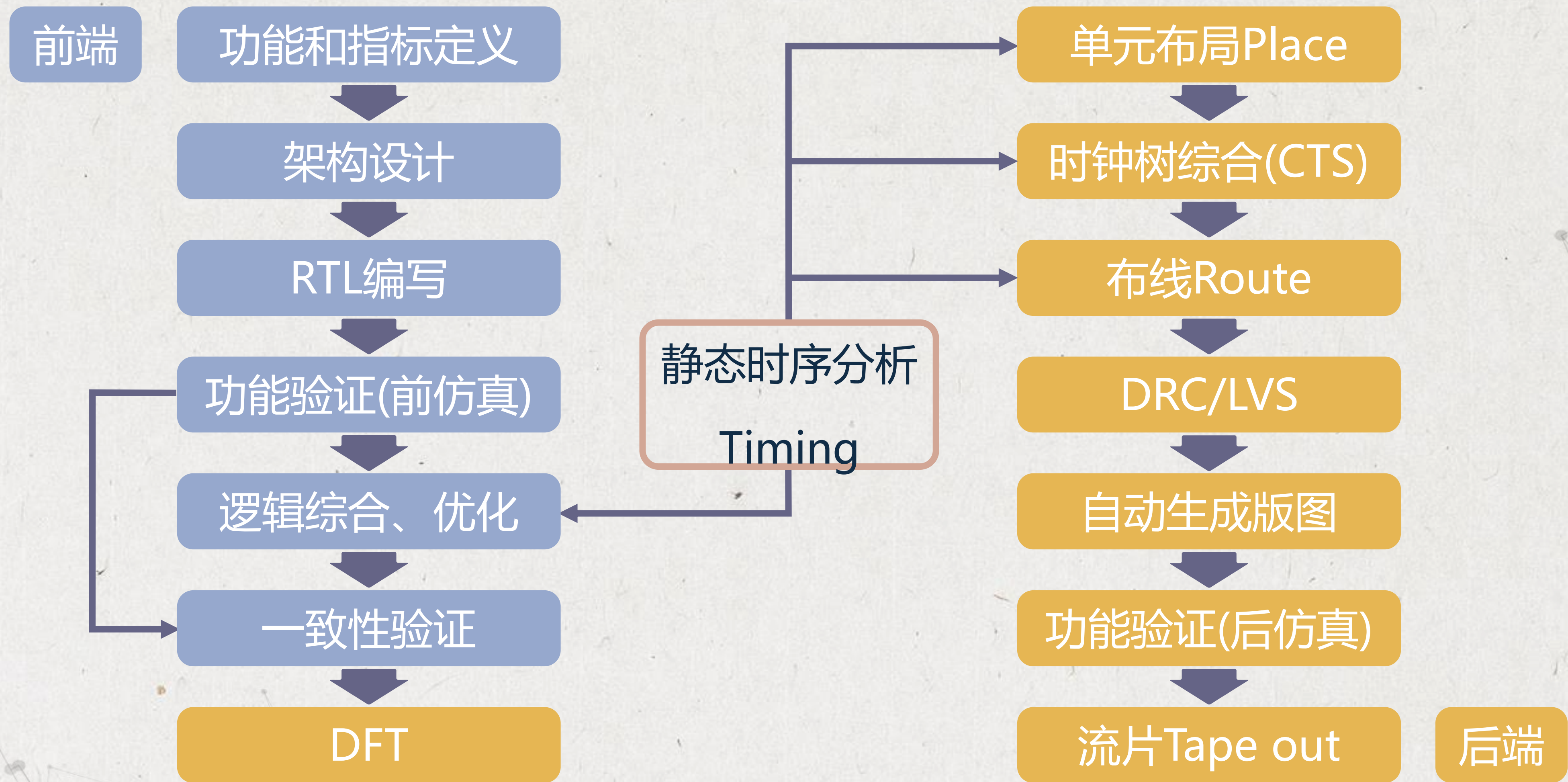
工具: - Vim、Emac

特点: - 能明显区别中训练有素的工程师和初学者

- 工程师**
- 书写Verilog HDL、描述逻辑功能
 - 兼顾逻辑综合、STA、P&R、DFX、功耗分析等



数字芯片设计的流程图





功能验证(前仿真)

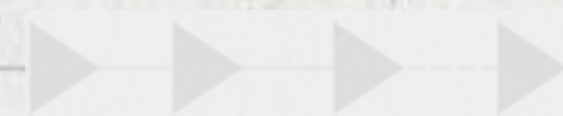
目的: - 动态仿真, 时间长, 难以覆盖全面

功能覆盖率

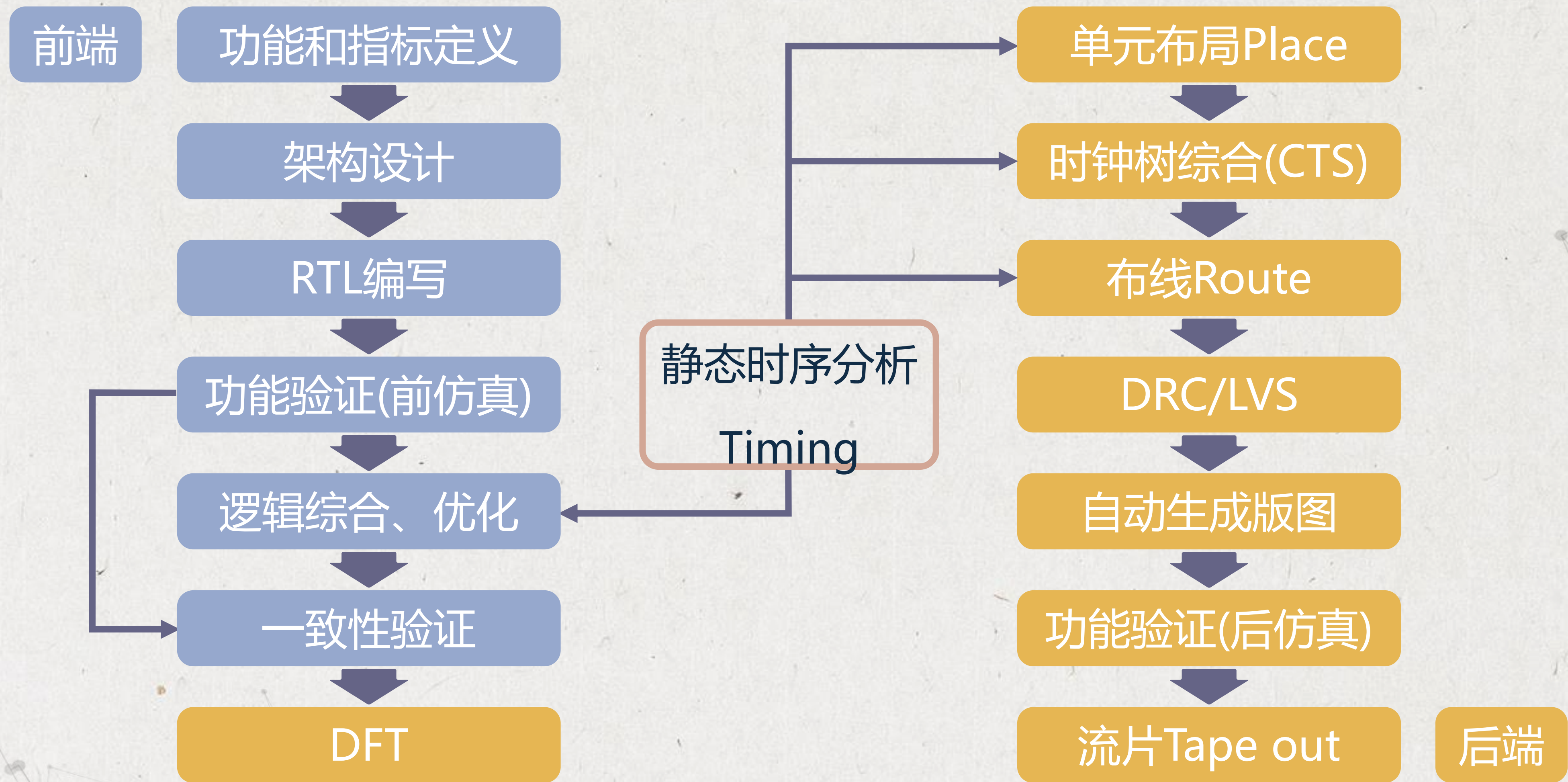
工具: - Modelsim、VCS、NC-Verilog

语言: - C++、C、System C、System Verilog, 基于UVM的方法学等。

特点: - 验证工程师近年来已经成为IC设计中需求量最大的岗位



数字芯片设计的流程图

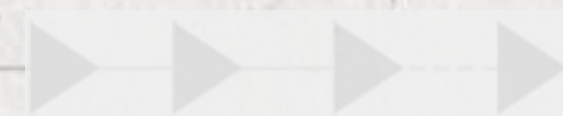




逻辑综合、优化

目的: - 将RTL代码映射为与工艺库相关的网表

工具: - DesignCompiler、RTL Compiler



工艺

物理特性

电特性

逻辑综合、优化

目的: - 将RTL代码映射为与工艺库相关的网表

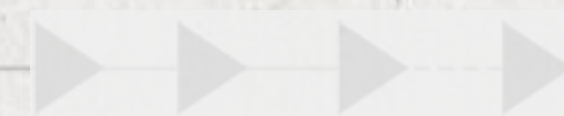
工具: - DesignCompiler、RTL Compiler

特点: - 多目标（频率、面积、功耗）多约束的工程优化问题

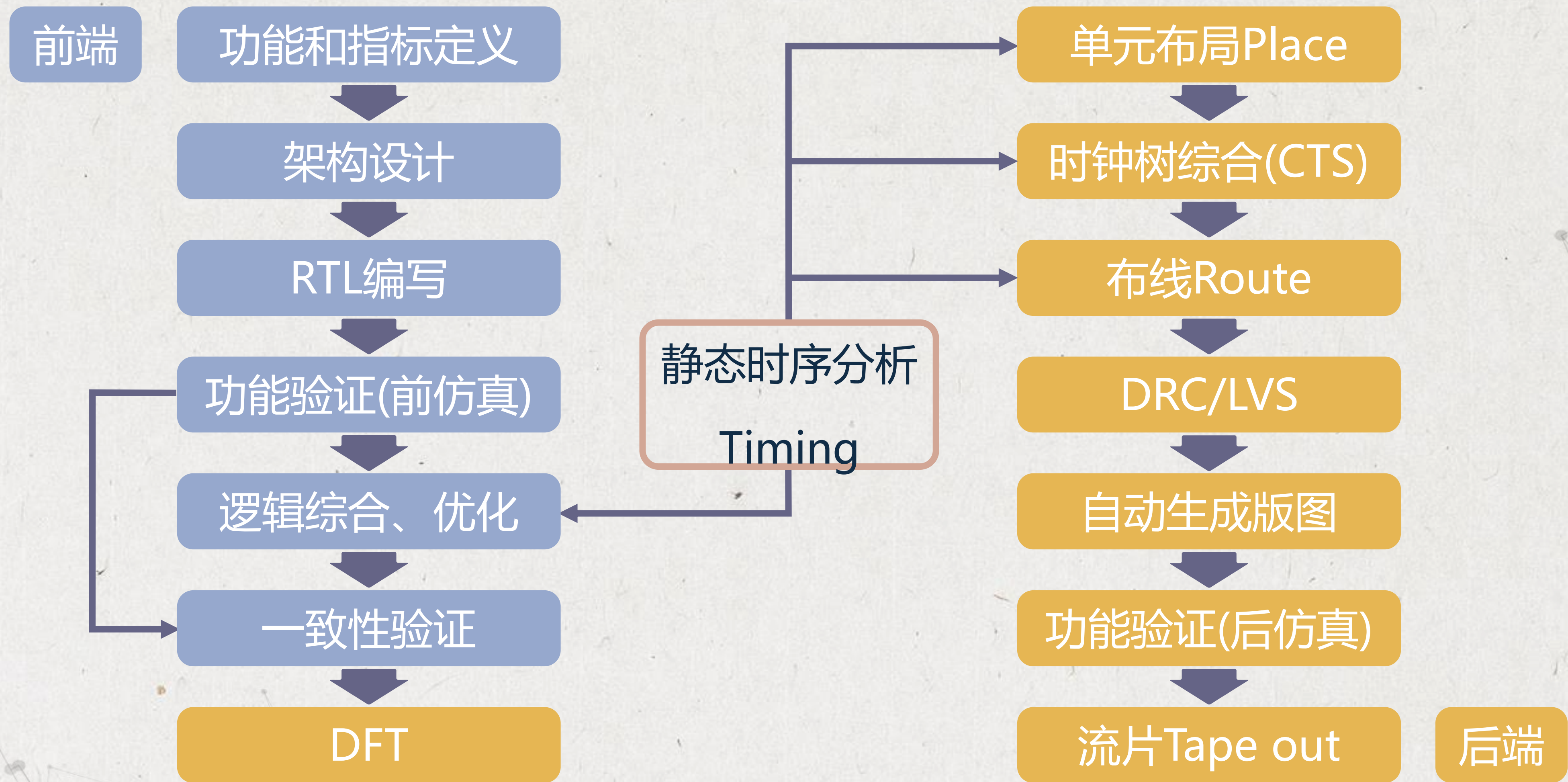
插入DFT、clock gating等

加入I/O、PLL等

加入Memory、各种IP等



数字芯片设计的流程图

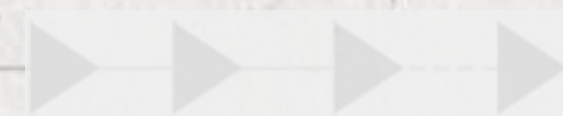




静态时序分析Timing

目的: - 保证设计中所有的路径, 满足内部时序单元对建立时间和保持时间的要求

- 无论起点是什么
- 信号都可以被及时地传递到该路径的终点
- 并且在电路正常工作所必需的时间段内保持恒定



静态时序分析Timing

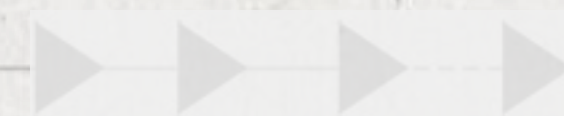
目的: - 保证设计中所有的路径, 满足内部时序单元对建立时间和保持时间的要求

工具: - PrimeTime、Tempus

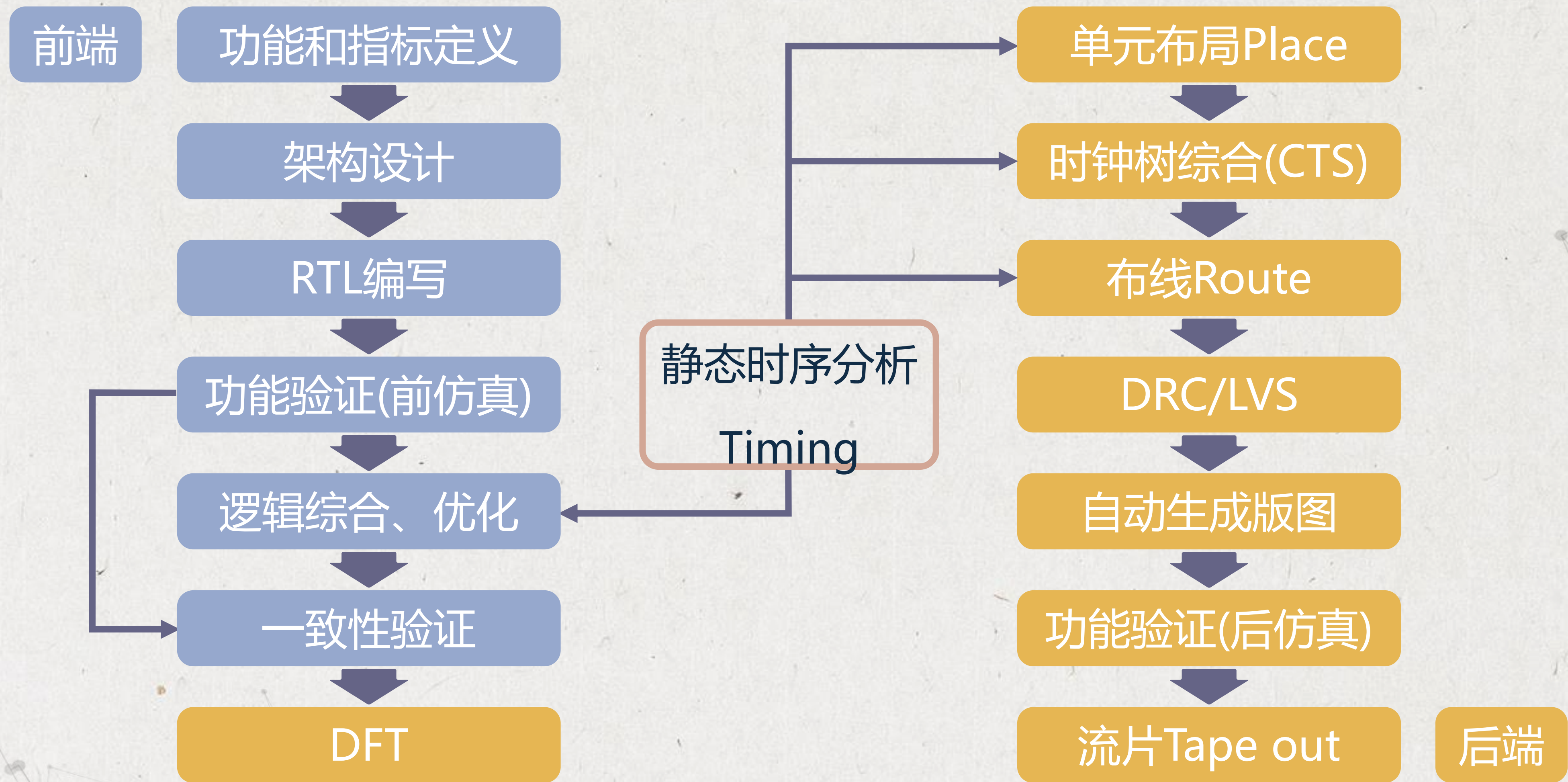
特点: - 鉴于该特性非常重要, PrimeTime成为了Signoff的重要工具


SDC同逻辑综合

STA要修大量的setup、hold等



数字芯片设计的流程图





一致性验证

目的:

RTL代码

- 采用了类似于直接比较两幅图是否一致的方法

逻辑综合

- 来确定逻辑综合生成的网表是否正确

工具:

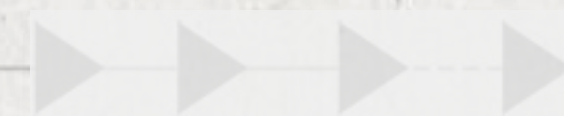
- Formality、Conformal

输入文件:

- RTL代码、netlist、约束

输出文件

- match 和 verify的报告



面积

功耗

性能

synopsys

cadence

数字后端流程

检查输入文件是否缺少或者有错误

Floor Plan

目的:

- design的形状大小
- 出Pin的位置
- macro的摆放

Design Setup

Floor Plan

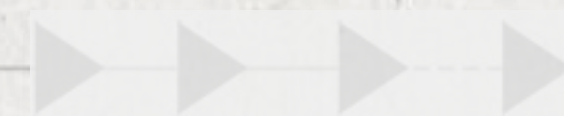
Timing Setup

Placement

CTS

Route

DFM&Data Out



数字后端流程

Placement

目的:

std cell

core area

- 满足congestion和timing的要求

Design Setup

Floor Plan

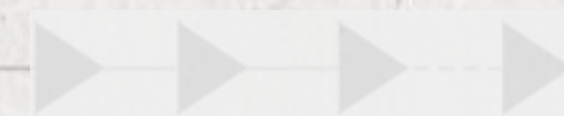
Timing Setup

Placement

CTS

Route

DFM&Data Out



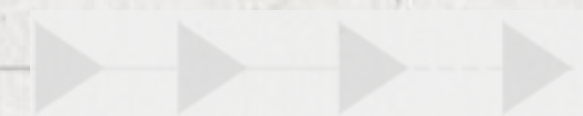
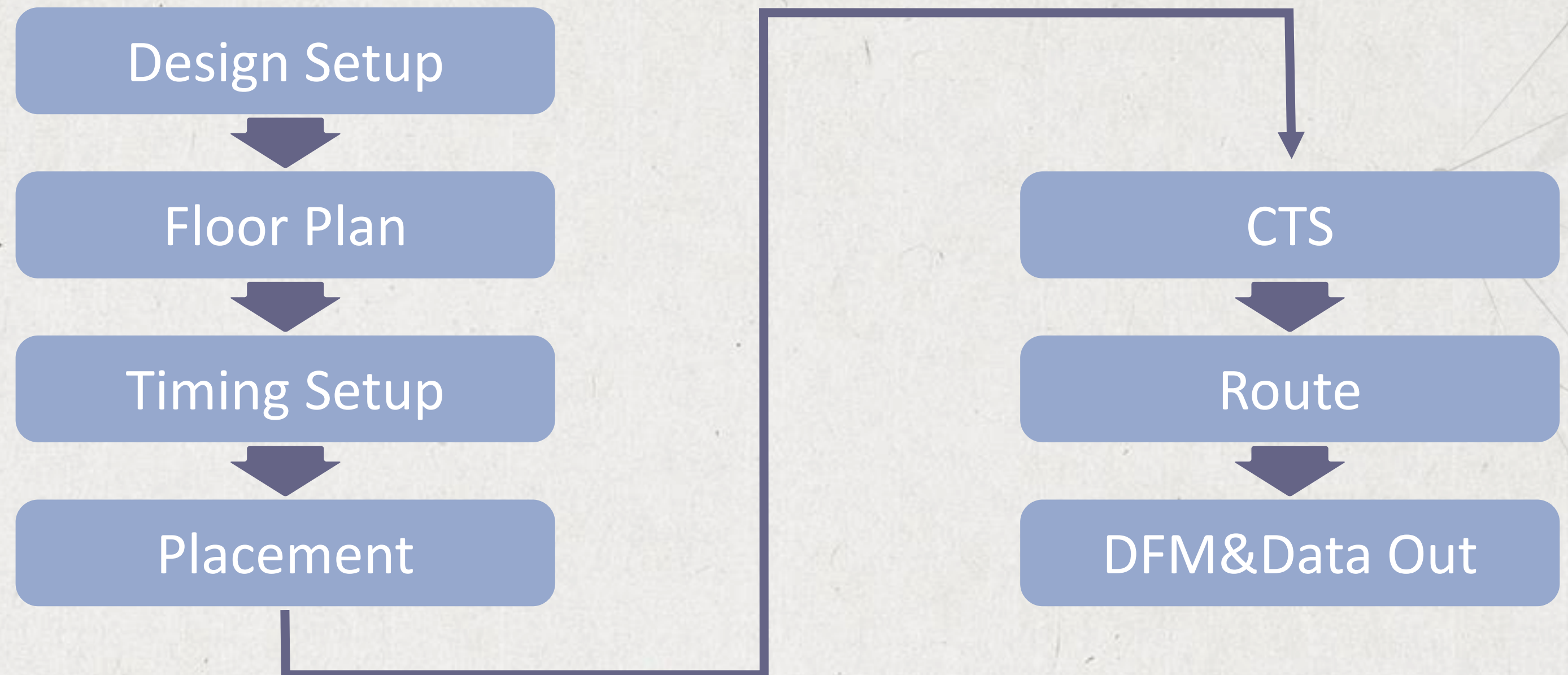
数字后端流程

Placement

目的:

- ▶ global
- ▶ detail place

- 将考虑放到附近的位置是否legal



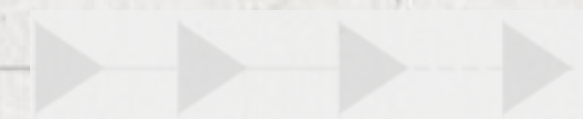
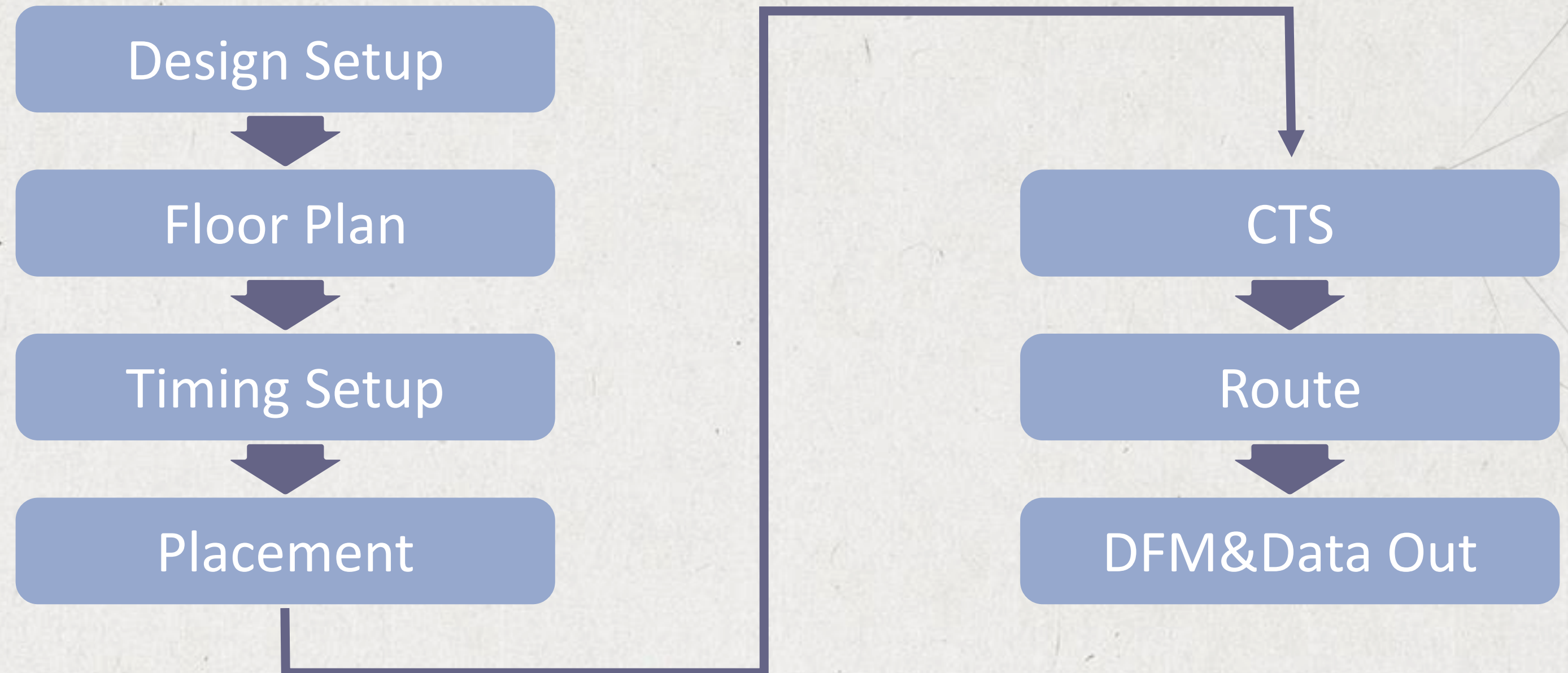
数字后端流程

Placement

删除buffer trees

▸ C家的giga place

slack-driven



数字后端流程

Prects

只优化setup

- clock tree还没做

- 所有clock都是ideal的

Design Setup

Floor Plan

Timing Setup

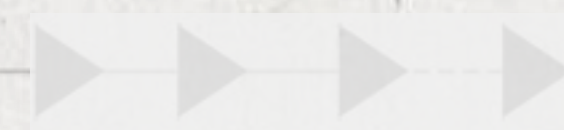
Placement

CTS

Route

DFM&Data Out

Prects



数字后端流程

CTS

- 驱动电路中所有的时序单元
- 时钟源端门单元带载很多
- 负载延时很大并且不平衡
- 需要插入缓冲器减小负载和平衡延时

Design Setup

Floor Plan

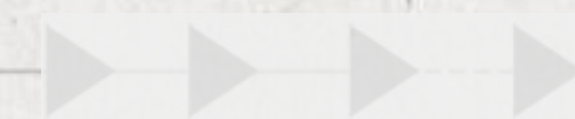
Timing Setup

Placement

CTS

Route

DFM&Data Out

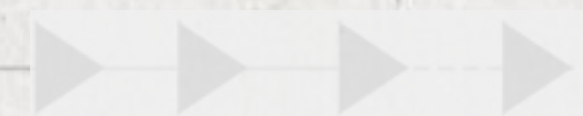
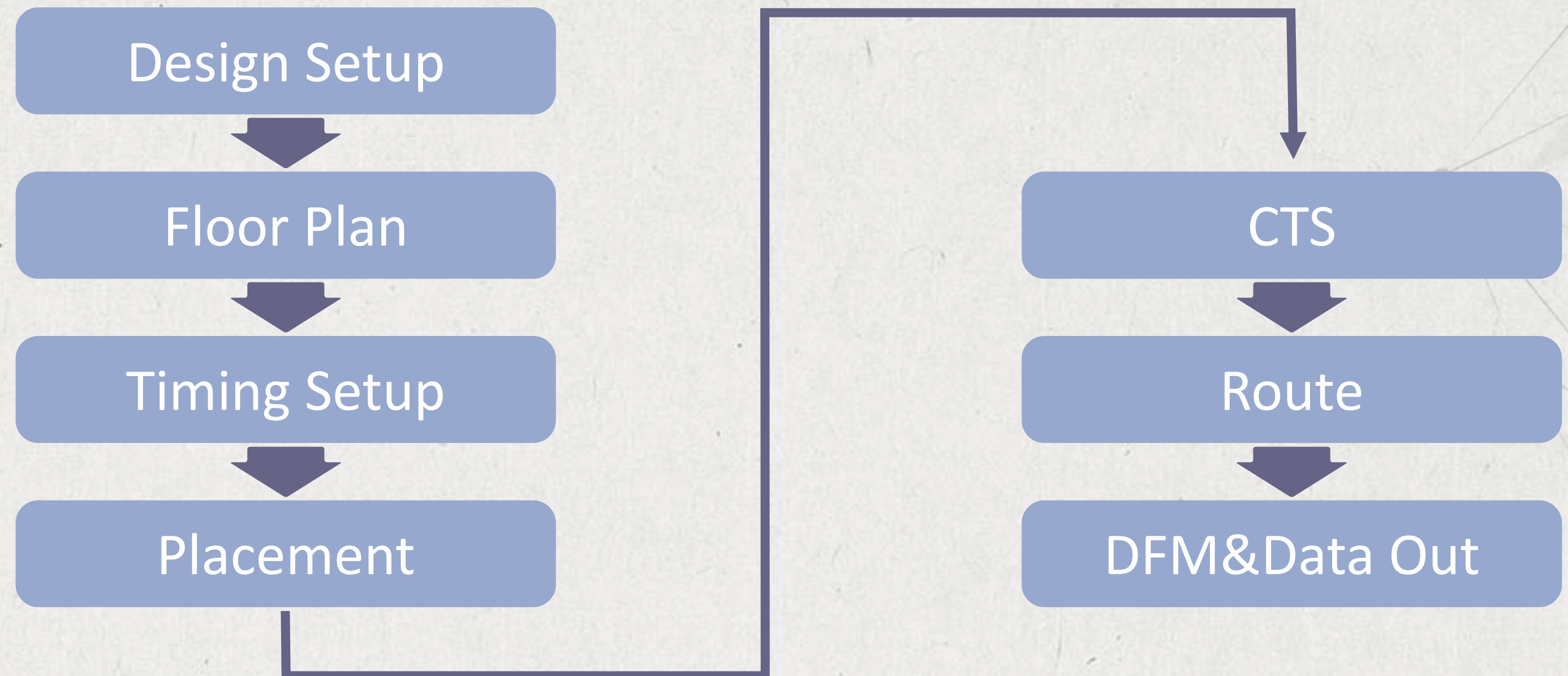


数字后端流程

Routing

目标:

- 会考虑DRC和LVS
- 不会有DRC/LVS violations
- 不会导致timing变差
- 不会引入新的SI问题





时序仿真

功能仿真

- 将RTL代码替换为网表
- 需要加载SDF文件和工艺库模型



ASIC设计流程

本课程重点讲述内容

前端

功能和指标定义

架构设计

详细设计

功能验证(前仿真)

逻辑综合、优化

一致性验证

DFT

静态时序分析
Timing

单元布局Place

时钟树综合(CTS)

布线Route

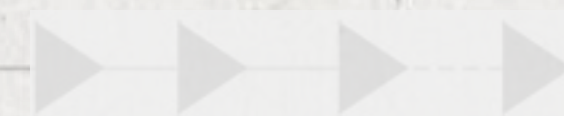
DRC/LVS

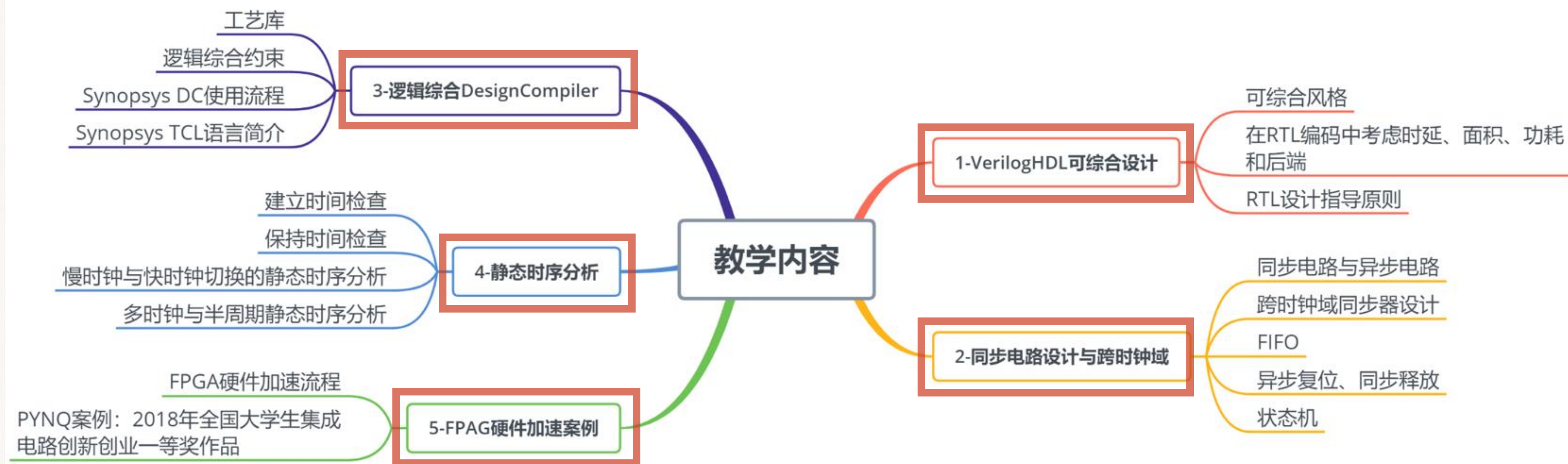
自动生成版图

功能验证(后仿真)

流片Tape out

后端





参考书目

1-VerilogHDL可综合设计

SoC设计方法与实现(第3版).郭炜 等. 电子工业出版社.2017年.第六章.

设计与验证. EDA先锋工作室. 人民邮电出版社. 第四章.

Altera FPGA/CPLD设计(高级篇).EDA 先锋工作室. 人民邮电出版社. 第一章.

数字专用集成电路的设计与验证. 杨宗凯, 黄建, 杜旭 编著. 电子工业出版社. 2004.第五章.

数字IC设计: 方法、技巧与实践. 唐杉, 徐强, 王莉薇 编著. 机械工业出版社. 2006.

Clifford E. Cummings经典论文

2-同步电路设计与跨时钟域

SoC设计方法与实现(第3版).郭炜 等. 电子工业出版社.2017年.第七章.

设计与验证. EDA先锋工作室. 人民邮电出版社. 第六章.

FPGA深度解析. 樊继明, 陆锦宏 著. 北京航空航天大学出版社. 2015年.第八章.

3-逻辑综合DesignCompiler

Design Compiler User Guide

数字VLSI芯片设计: 使用Cadence和Synopsys CAD工具. (美) 布鲁范德著, 周润德 译. 电子工业出版社. 2009.第九章.

综合与时序分析的设计约束: Synopsys设计约束 (SDC) 实用指南 Sridhar Gangadharan, Sanjay, Chur 著, 韩德强 张丽艳 王宗侠等译. 机械工业出版社.2018年.

Tcl for Synopsys Tools

Design Compiler Optimization Reference Manual

Static Timing Analysis for Nanometer Designs: A Practical Approach. J. Bhasker, Rakesh Chadha. Springer. 2009. Chapter 3.

4-静态时序分析

Static Timing Analysis for Nanometer Designs: A Practical Approach. J. Bhasker, Rakesh Chadha. Springer.2009. Chapter 8.