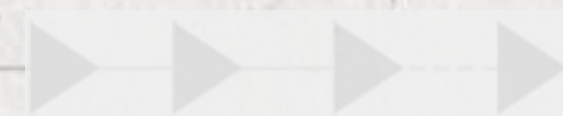


# 芯动力——硬件加速设计方法

## 第三章 同步电路与跨时钟域电路设计(1)

邸志雄@西南交通大学  
zxdi@home.swjtu.edu.cn



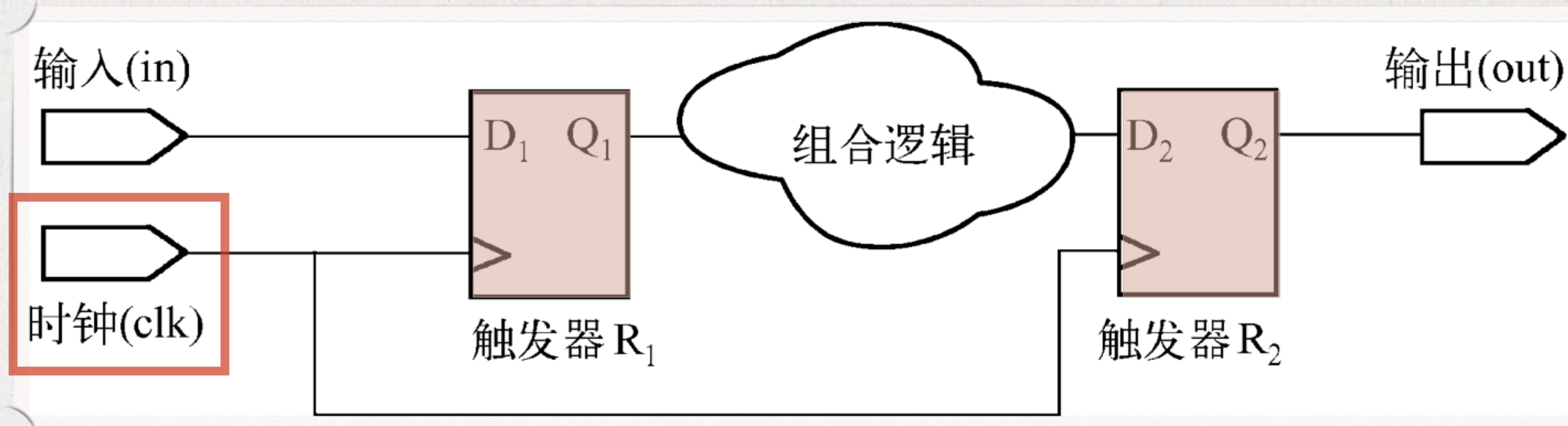


# 同步电路的定义

- 即电路中的所有受时钟控制的单元，全部由一个统一的全局时钟控制

Flip Flop  
触发器

Register  
寄存器

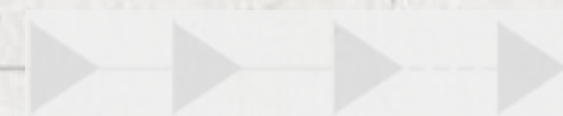






## 同步电路设计的优点

- 在同步设计中，**EDA工具**可以保证电路系统的时序收敛，有效避免了电路设计中竞争冒险现象。
- 由于触发器只有在时钟边缘才改变取值，很大限度地减少了整个电路受毛刺和噪声影响的可能。

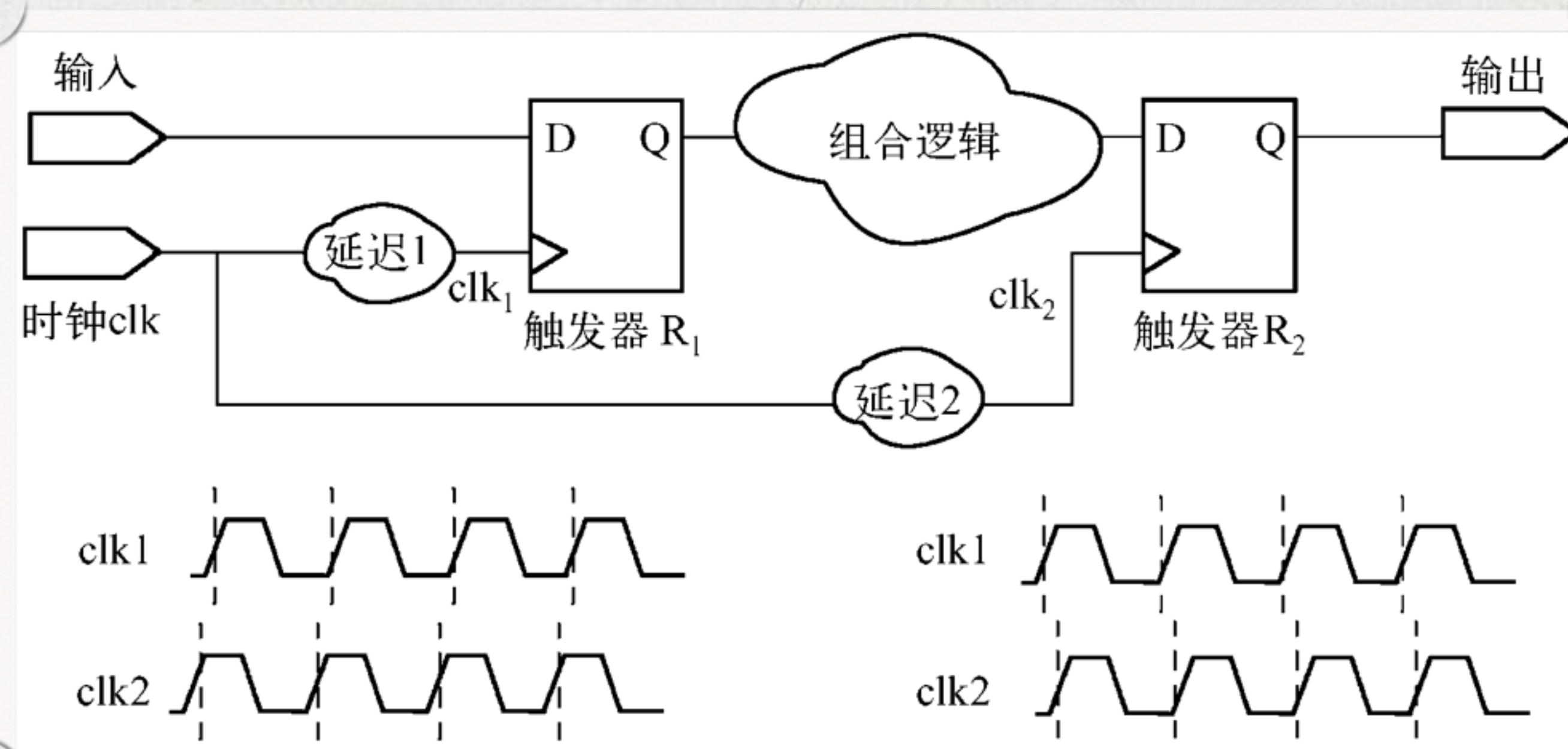




## 同步电路设计的缺点

- 时钟偏斜 (Clock Skew)
- 时钟抖动 (Clock Jitter)
- 时钟树综合, 需要加入大量的延迟单元, 使得电路的面积和功耗大大增加

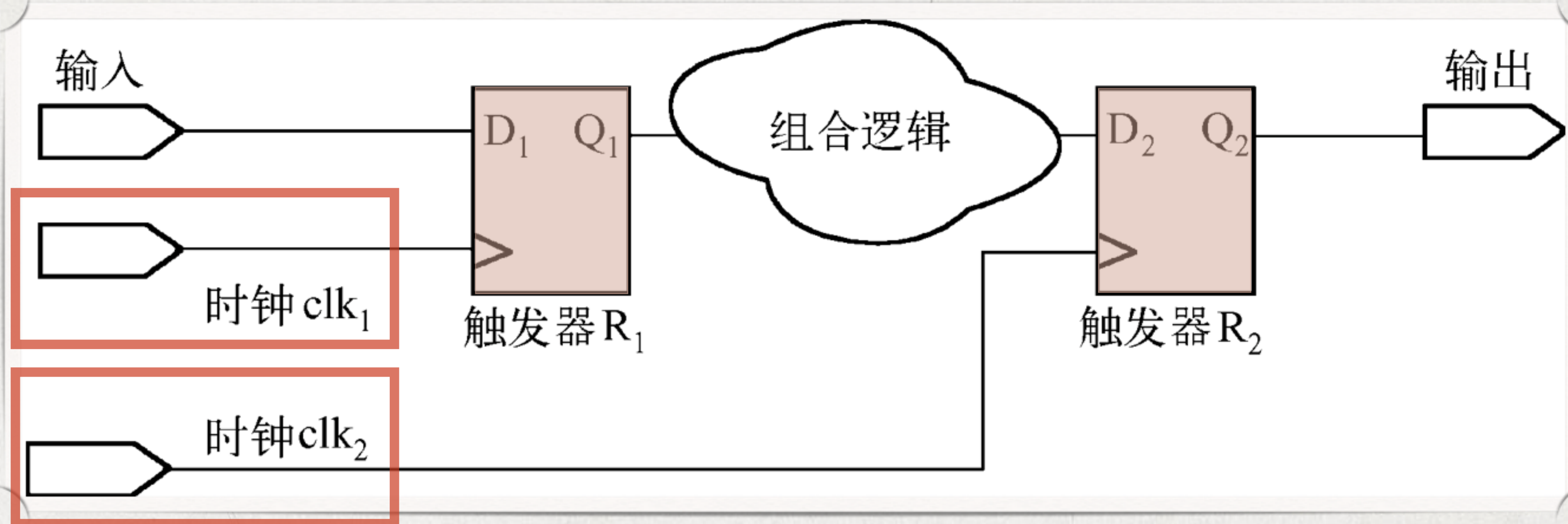
### 时钟偏斜





# 全局异步电路的定义

- 全局异步设计跟同步设计最大的不同就是它的电路中的数据传输可以在任何时候发生，电路中没有一个全局的或局部的控制时钟。






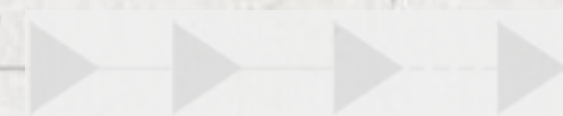


## 异步电路设计的优点

- 模块化特性突出
- 对信号的延迟不敏感
- 没有时钟偏斜问题
- 有潜在的高性能特性
- 好的电磁兼容性
- 具有低功耗的特性

## 异步电路设计的缺点

- 设计复杂
  - 缺少相应的EDA工具的支持
  - 在大规模集成电路设计中应避免采用异步电路设计
- 





同一个时钟域

不同时钟域



时钟源点



PLL

时钟

时钟

相位和倍数都是可控的

同步时钟





异步时钟



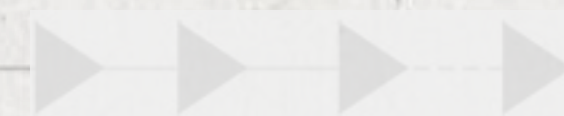
# 同步电路

- 在过去的20多年里，大部分数字电路设计都基于全局的时钟信号，即同步电路设计，在一个理想的全局时钟控制下，只要电路的各个功能环节都实现了时序收敛，整个电路就可以可靠工作了。



注意

- 异步信号与同步电路的交互问题





## 亚稳态

### 双锁存器法

优缺点、适用条件？

使用几级DFF进行异步信号同步最合适？

寄存器同步法是否可以消除亚稳态？

### 慢到快如何实现

双锁存器法

边沿检测同步电路适用条件？

脉冲同步器适用条件？

结绳法对脉冲宽度和间隔的需求？

结绳法分类？

### 快到慢如何实现

采样中“快到慢”与“慢到快”在考虑问题时有什么区别？

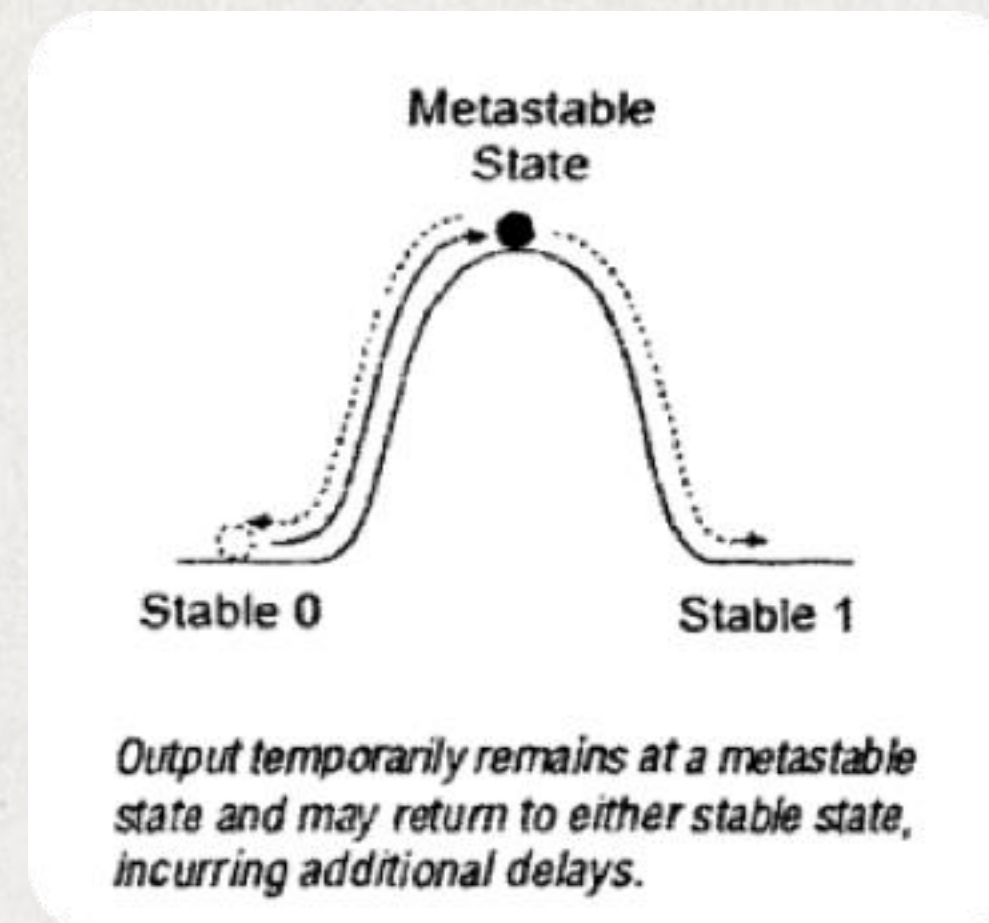
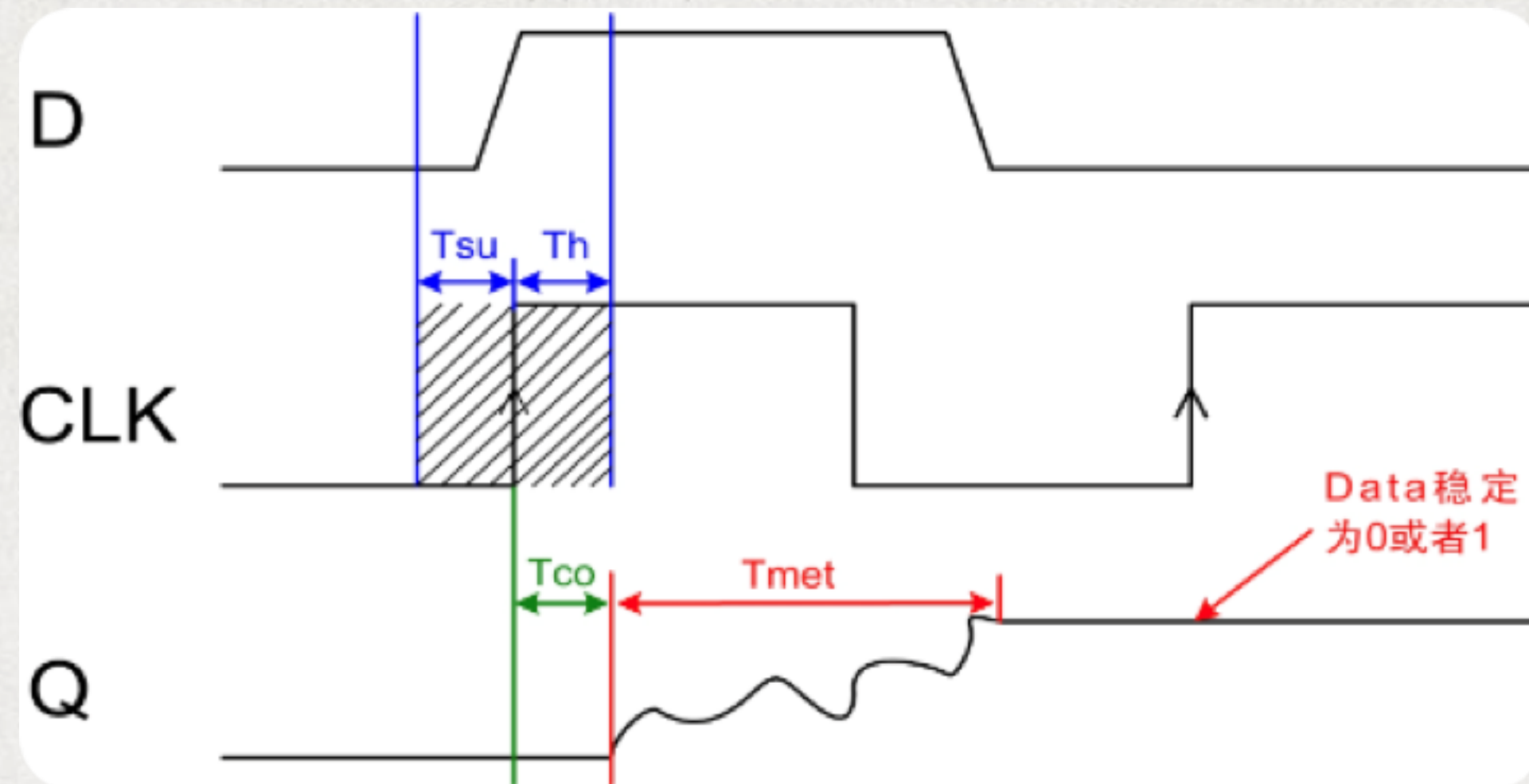
为什么不能用慢时钟直接采用快时钟域的信号？

多bit指示信号跨时钟域如何传输？

多bit数据流跨时钟域如何传输？



# 亚稳态相关概念和原理



双稳态电路

单稳态电路

- 亚稳态是指触发器无法在某个规定时间段内达到一个可确认的状态
- 当一个触发器进入亚稳态时，既无法预测该单元的输出电平，也无法预测何时输出才能稳定在某个正确的电平上。
- 在这个期间，触发器输出一些中间级电平，或者可能处于振荡状态，并且这种无用的输出电平可以沿信号通道上的各个触发器级联式传播下去。



- 亚稳态不能从根本上消除，但可以通过采取一定的措施使其对电路造成的影响降低。

故障间隔平均时间

$$MTBF = \frac{e^{t_{MET}/C_2}}{C_1 f_{CLK} f_{DATA}}$$

亚稳态的影响

$t_{MET}$

- 寄存器从时钟上升沿触发后的时序余量时间

$f_{CLK}$

- 接收时钟域的时钟频率

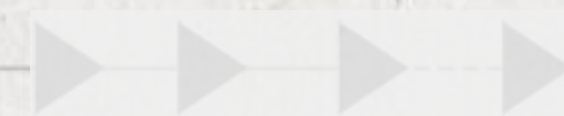
$f_{DATA}$

- 数据的变化频率

$C_1$ 、 $C_2$

- 与器件有关的参数

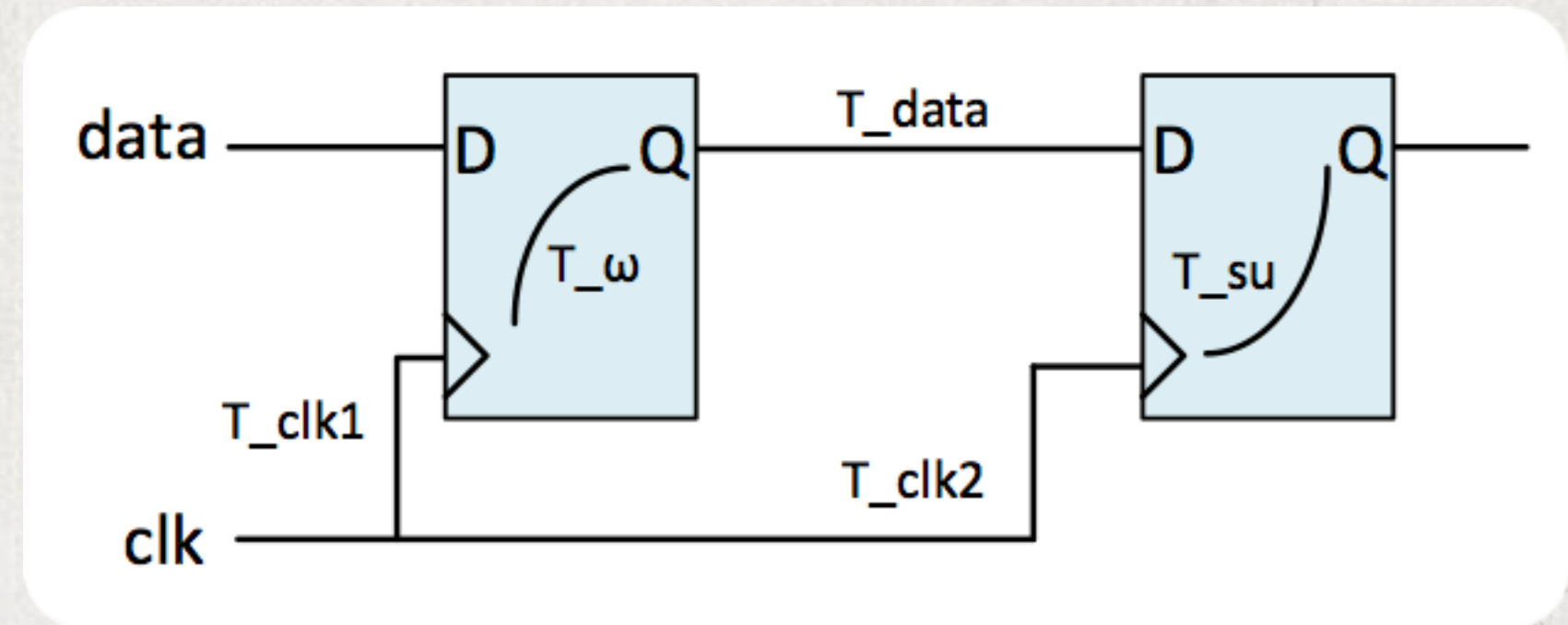
固定值





# 亚稳态

$$MTBF = \frac{e^{I_{wst}/C_2}}{C_1 \int_{clk} \int_{data}}$$



**t<sub>MET</sub>时间** = 采样时钟周期时间 - 输出信号正常的**T<sub>co</sub>**时间  
- 数据到达下一级寄存器的输入端口的其它延时时间**T<sub>data</sub>**  
- 下一级寄存器**T<sub>su</sub>**时间 + 时钟网络延时时间**T<sub>clk2</sub> - T<sub>clk1</sub>**

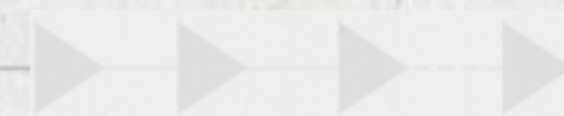
- 指正常没有亚稳态情况下，寄存器输出信号从源寄存器到目的寄存器的**建立时间余量**。

**T<sub>co</sub>和T<sub>su</sub>**

器件本身的工艺

工作环境

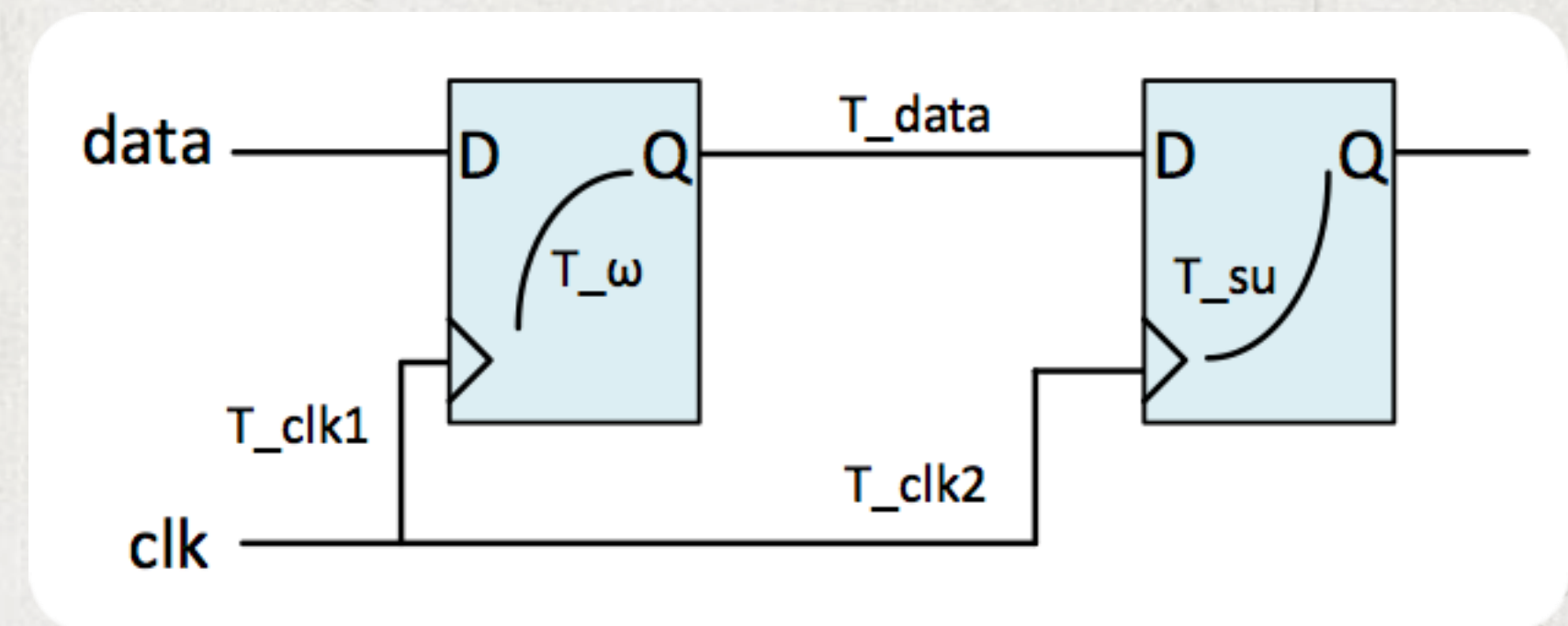
- 设置时钟网络延时参数也很大程度上由器件决定





# 亚稳态

$$MTBF = \frac{e^{t_{MET}/C_1}}{C_1 \int_{clk} \int_{data}}$$



$t_{MET}$ 时间 = 采样时钟周期时间 - 输出信号正常的 $T_{co}$ 时间  
- 数据到达下一级寄存器的输入端口的其它延时时间 $T_{data}$   
- 下一级寄存器 $T_{su}$ 时间

- 如果在时钟频率 $f_{CLK}$ 和数据变化率 $f_{DATA}$ 固定的情况下，要增大 $t_{MET}$ 值，那么设计者要做的只能是减小 $T_{data}$ 值。
- 指两个寄存器间的逻辑延时以及走线延时之和，要最大程度的减小它，只能是不在连个寄存器间添加任何逻辑而已

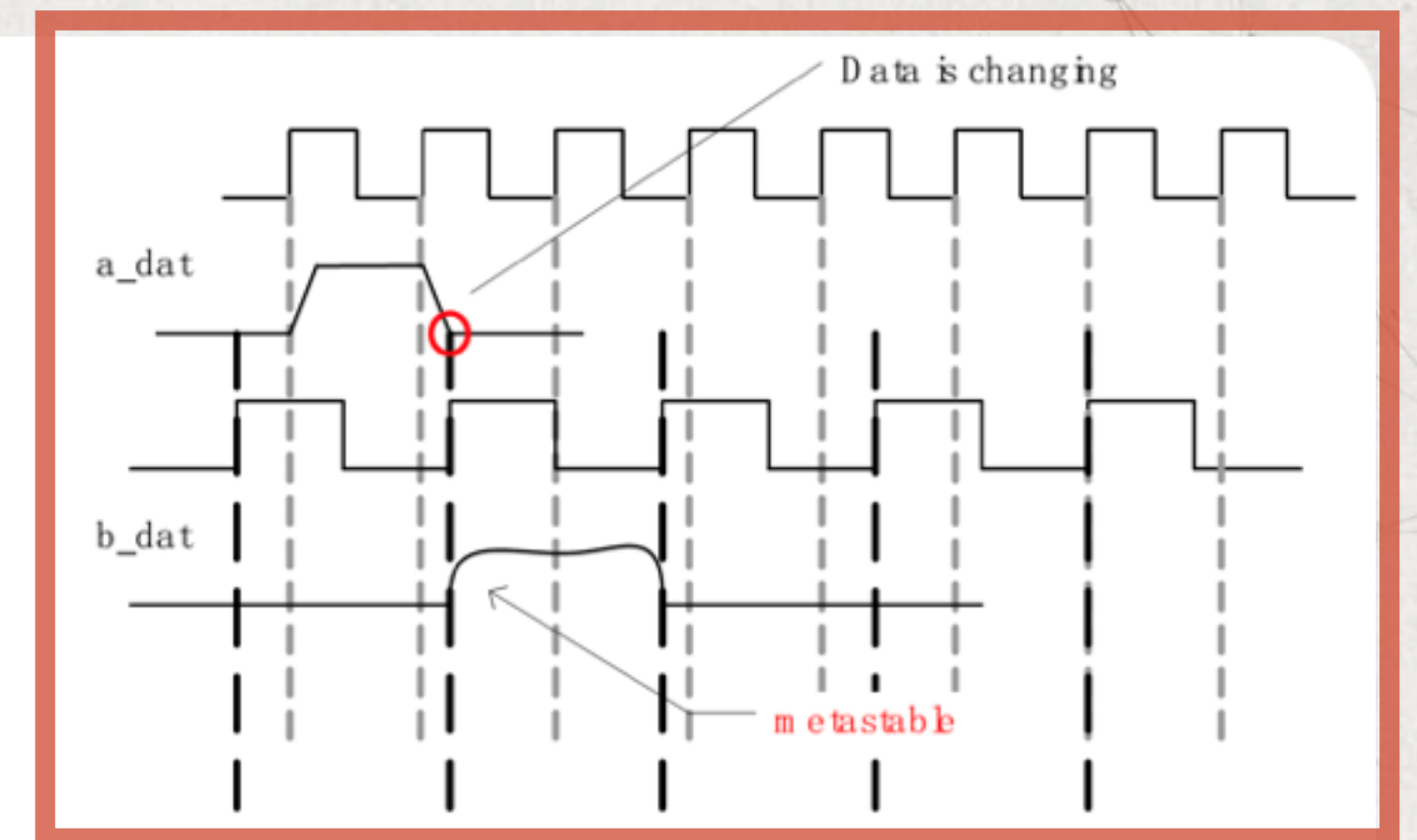
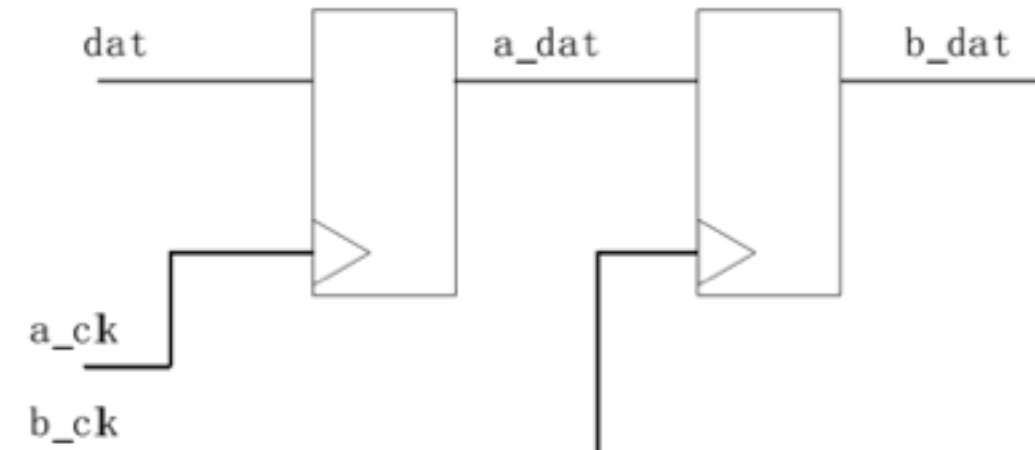
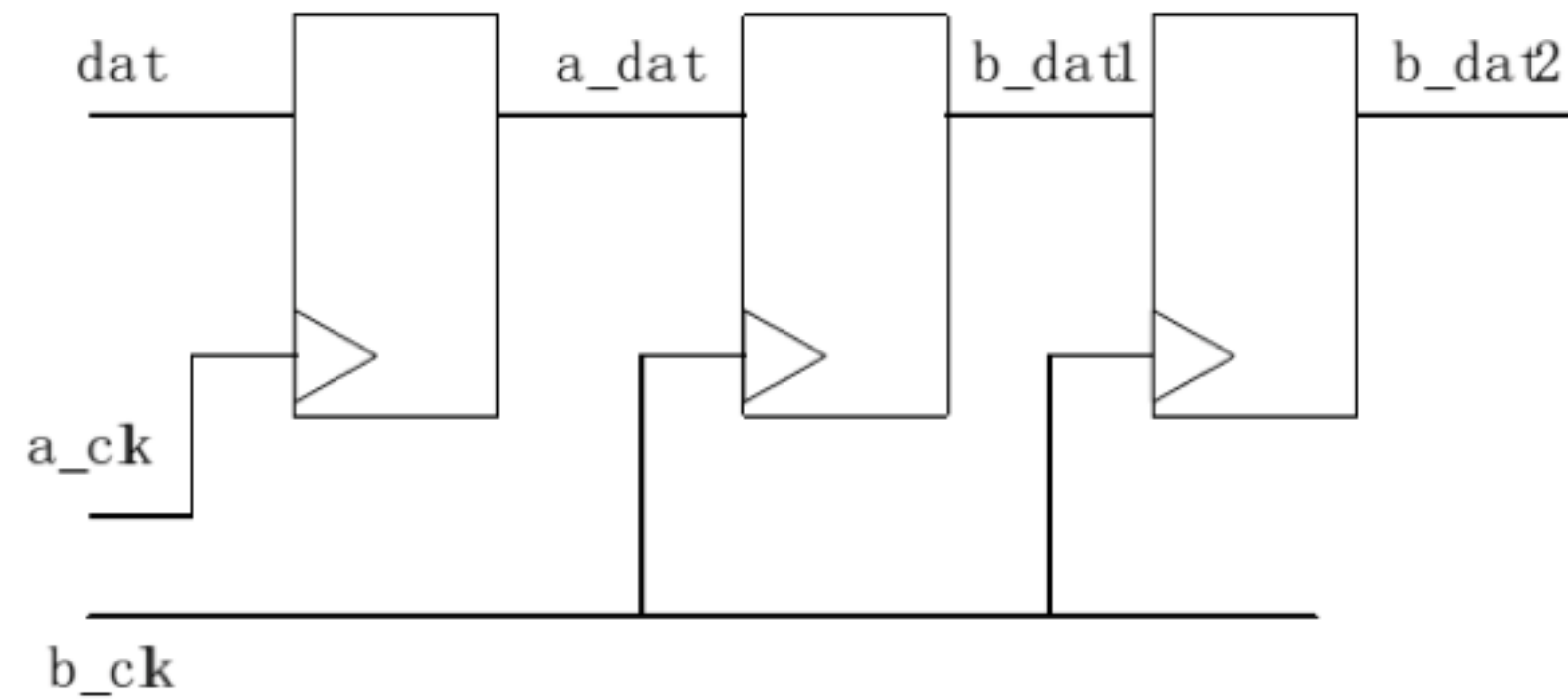
input=output



## 同步策略

### - 双锁存器电平同步器

- 一个信号在过渡到另一个时钟域时，如果仅仅用一个触发器将其锁存，那么用 b\_clk 进行采样的结果将可能是亚稳态。这也是信号在跨时钟域时应该注意的问题。

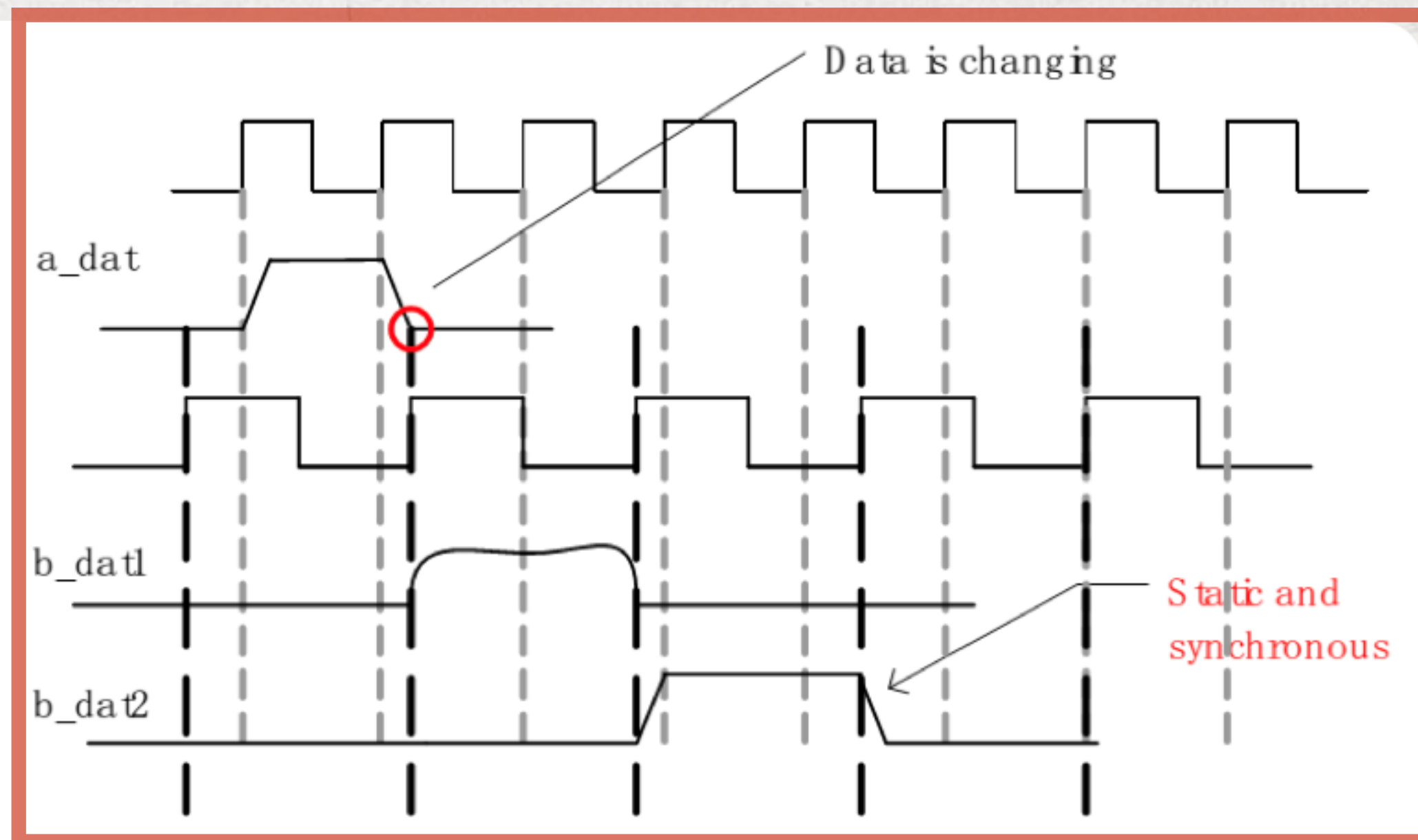
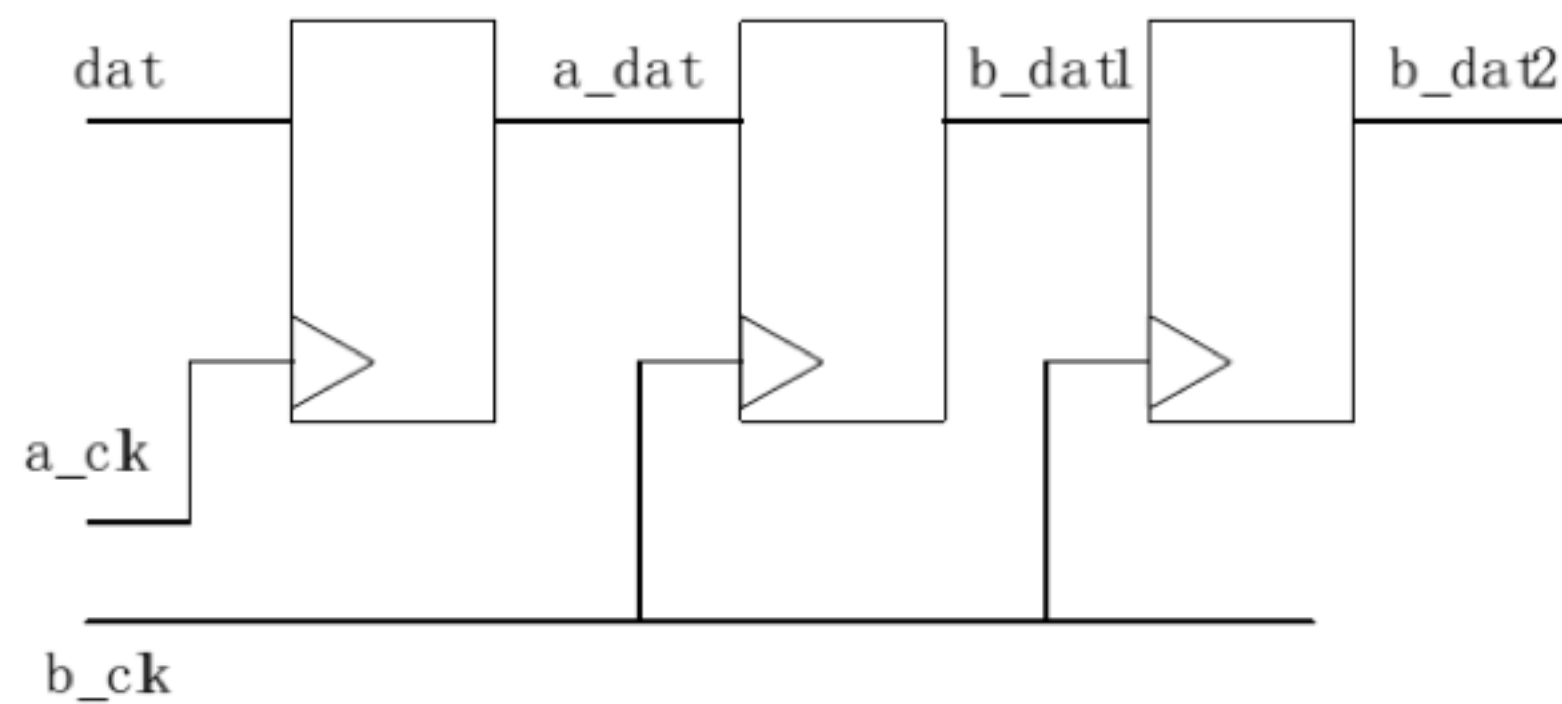


2-2 单锁存器法产生的问题

将可能是亚稳态



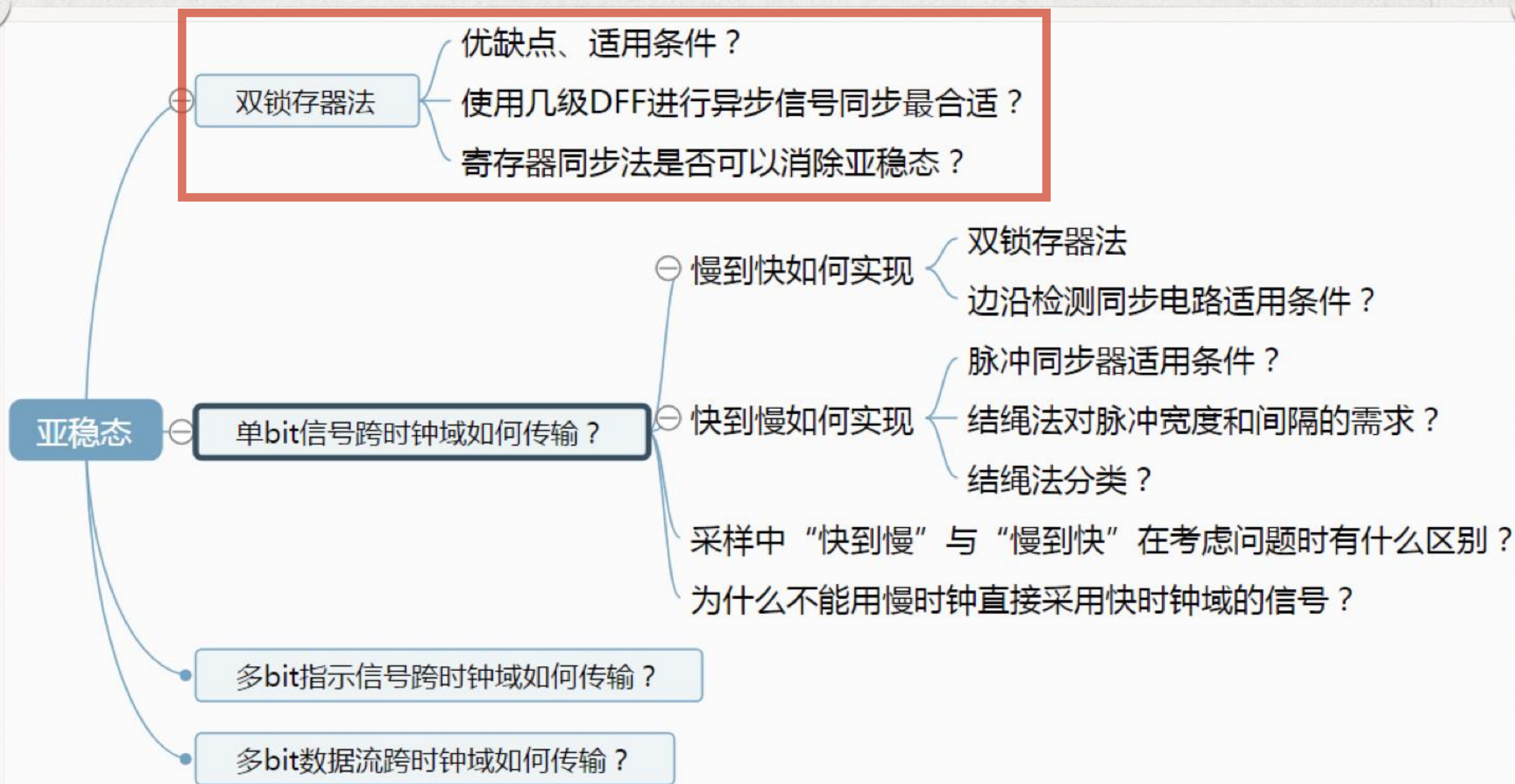
- 为了避免上节所述的亚稳态问题，就应当使参数 **MTBF** 尽可能的大，通常采用的方法是双锁存器法，即在一个信号进入另一个时钟域之前，将该信号用两个锁存器连续锁存两次，最后得到的采样结果就可以消除亚稳态问题。



3-1 双锁存器法解决亚稳态问题

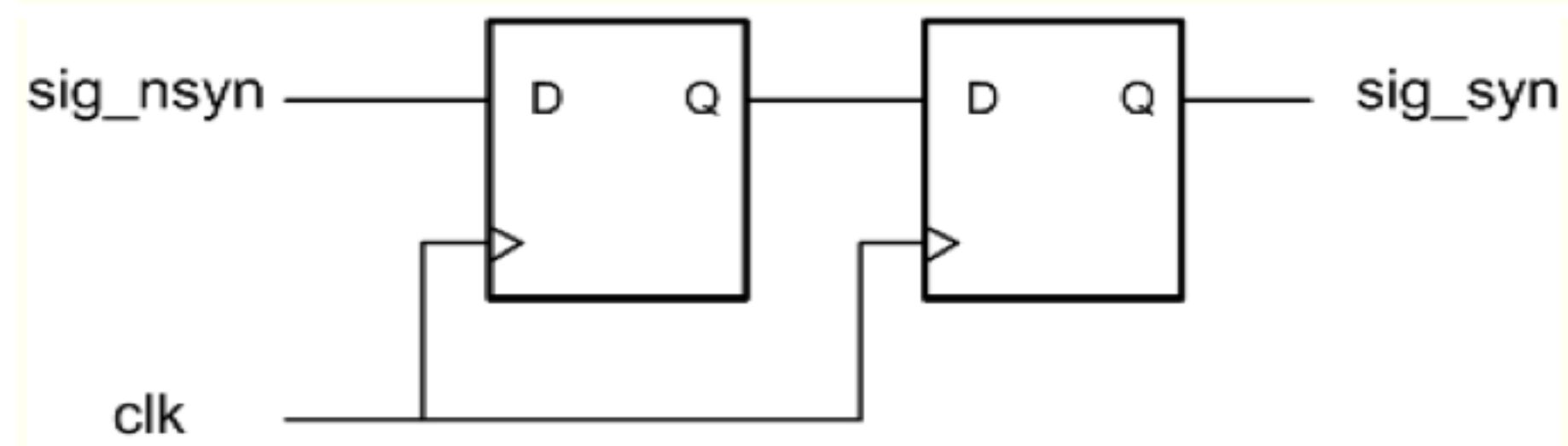


# 亚稳态—双锁存器法





## 亚稳态—双锁存器同步法的优缺点



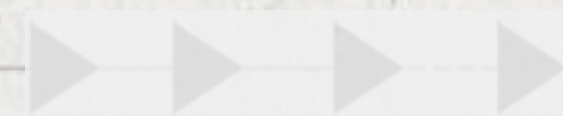
优点:

- 结构简单、易实现。

缺点:

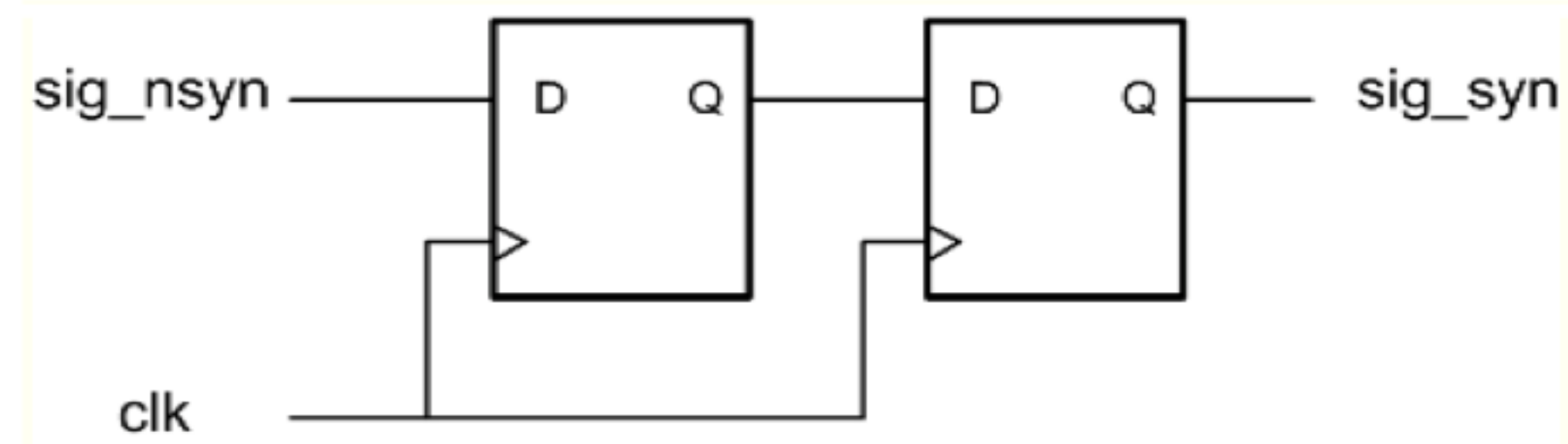
- 增加了两级触发器延时;
- 当快时钟域转到慢时钟域时, 易造成慢时钟采样丢失(还未来得及采样, 数据就变化了)。

故常用于慢时钟域转到快时钟域





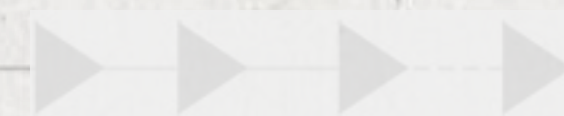
## 亚稳态—双锁存器同步法的优缺点



适用条件:

故常用于慢时钟域转到快时钟域

- $\{(\text{Clk\_slow的周期})\} > \{(\text{Clk\_fast的周期}) + (\text{路径延时})\}$ ，确保信号可以被 Clk\_fast 采样到(假设 Clk\_fast 和 Clk\_slow 起始时刻相同求得)
- $\{(\text{data数据变化间隔})\} > \{(\text{Clk\_slow的周期}) + 2 * (\text{Clk\_fast的周期}) + (\text{路径延时})\}$ ，确保所有的数据变化均能采集到。





## 亚稳态—双锁存器同步法

- 对于典型的  $0.25\mu\text{m}$  工艺 ASIC 库中的一个触发器，则  $\text{MTBF}=2.01(\text{day})$ ，即触发器每两天便可能出现一次亚稳态。如果将采样时间  $f$  和异步事件触发频率  $\alpha$  都提高，亚稳态出现还要频繁。
- 对于同样的参数，双锁存器法可将 MTBF 提升为  $9.57 \times 10^9$  年，这个数值足够保证电子系统稳定地运行。

### 结论：

- 两级触发器已经将 MTBF 变得足够大；
- 三级或者更多级虽然能将亚稳态出现概率降得更低，但是影响电路效率；



# 亚稳态—单bit信号的跨时钟域传输

亚稳态

双锁存器法

优缺点、适用条件？

使用几级DFF进行异步信号同步最合适？

寄存器同步法是否可以消除亚稳态？

单bit信号跨时钟域如何传输？

慢到快如何实现

双锁存器法

边沿检测同步电路适用条件？

脉冲同步器适用条件？

快到慢如何实现

结绳法对脉冲宽度和间隔的需求？

结绳法分类？

采样中“快到慢”与“慢到快”在考虑问题时有什么区别？

为什么不能用慢时钟直接采用快时钟域的信号？

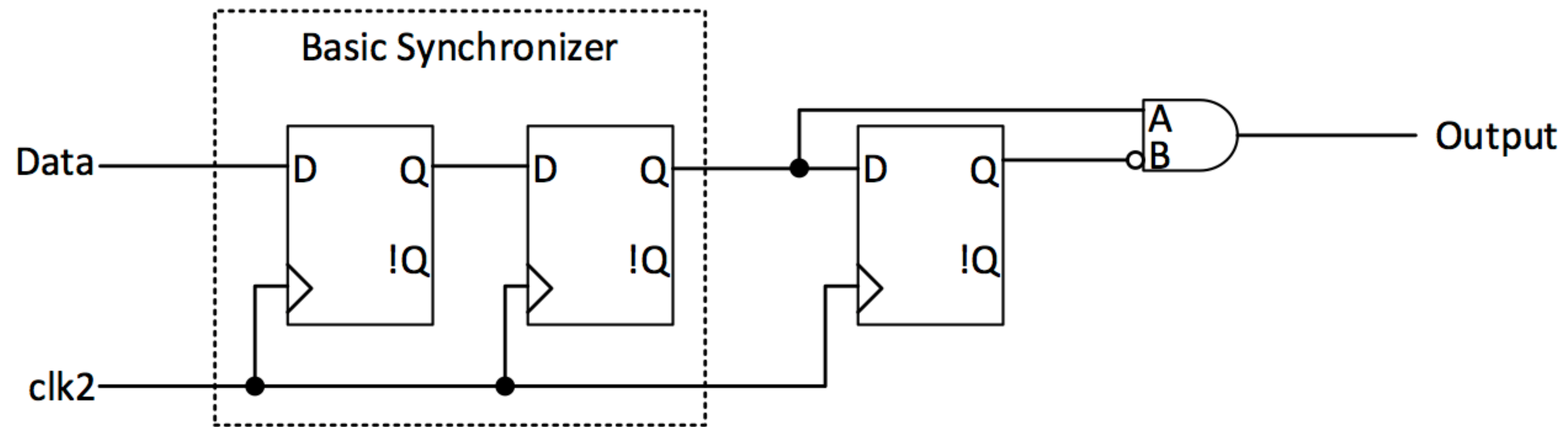
多bit指示信号跨时钟域如何传输？

多bit数据流跨时钟域如何传输？



## 亚稳态—单bit信号的跨时钟域传输

- 边沿检测同步器电路如图所示，这种方法通常应用在慢速向快速时钟传递过程中，可以检测输入信号的上升沿，也可以检测它的下降沿。

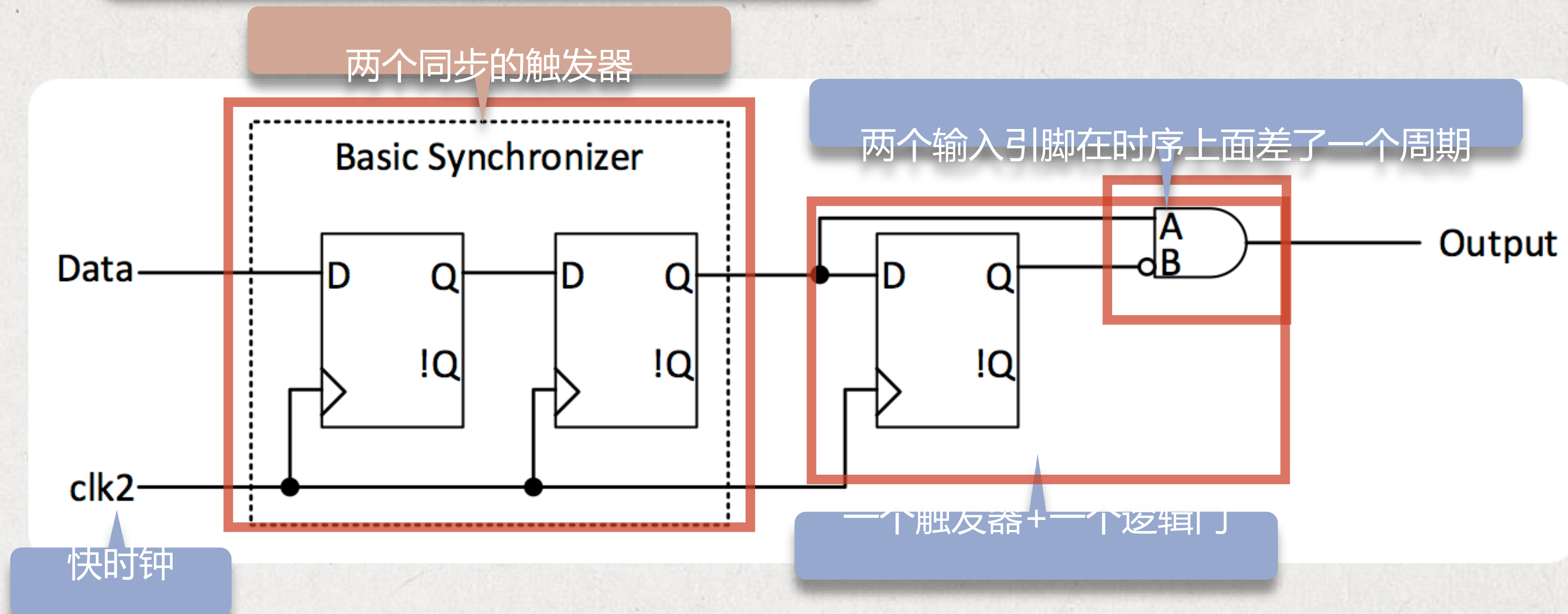




## 亚稳态—单bit信号的跨时钟域传输

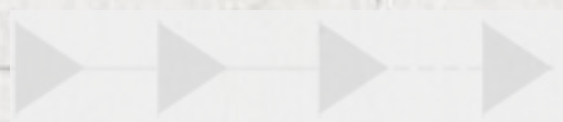
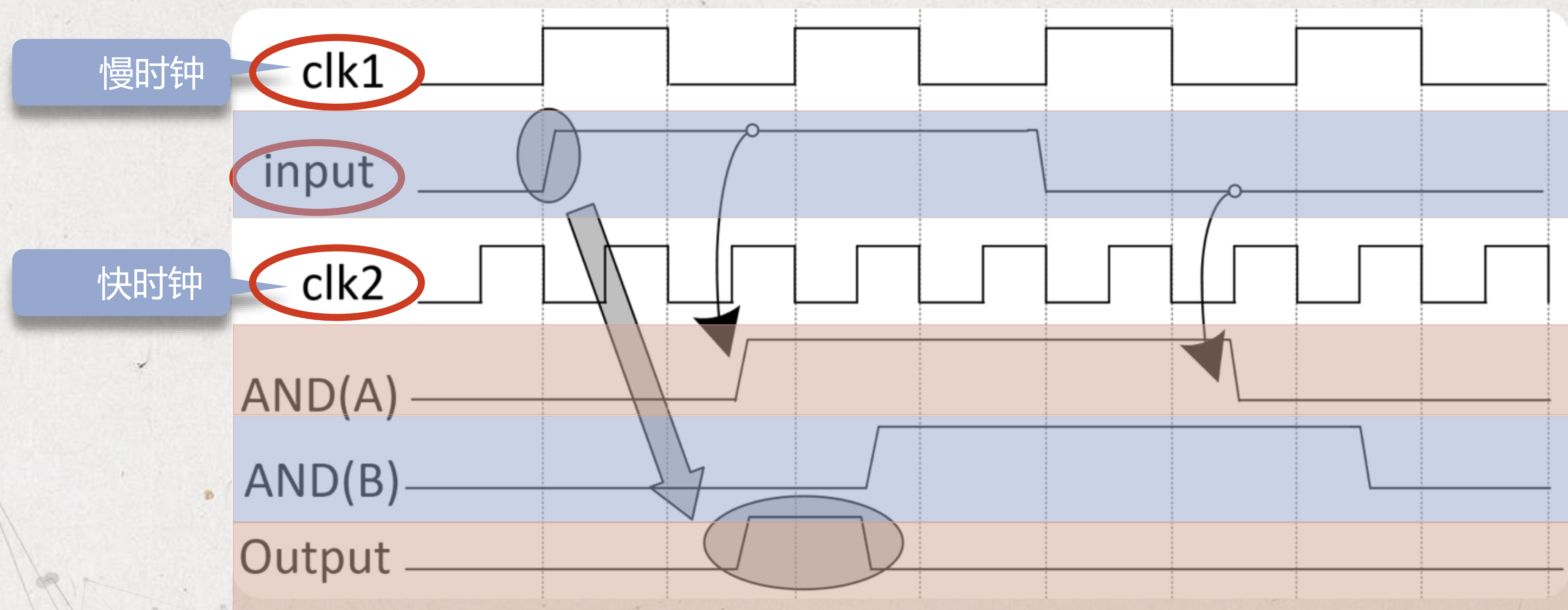
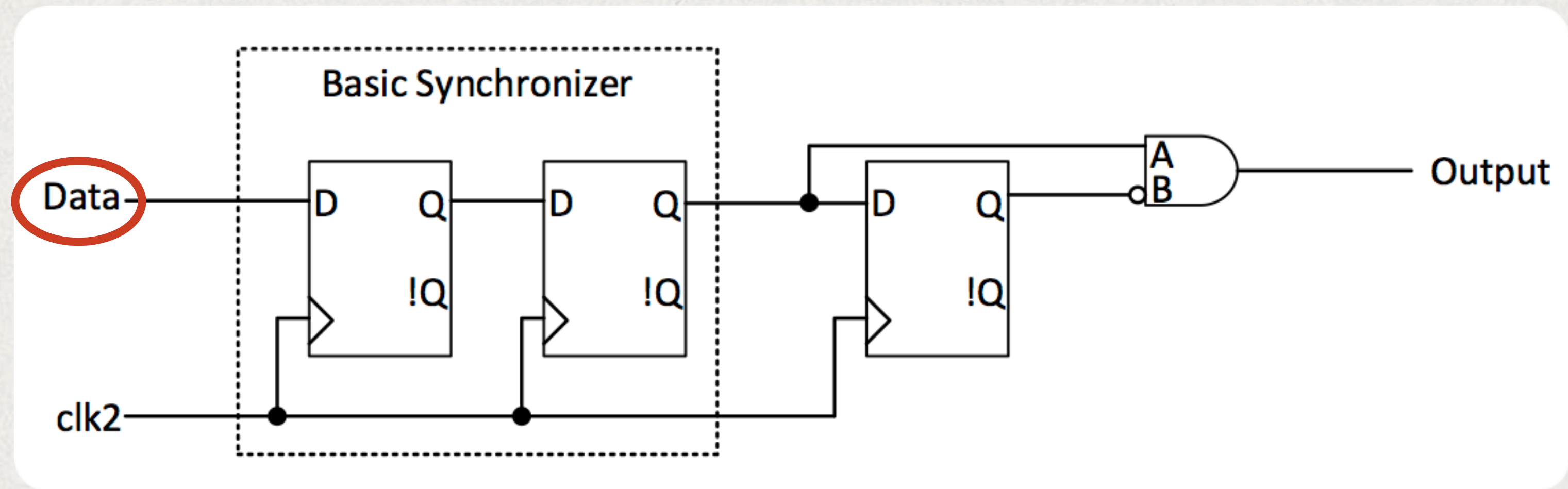
- 边沿检测同步器电路如图所示，这种方法通常应用在慢速向快速时钟传递过程中，可以检测输入信号的上升沿，也可以检测它的下降沿。

将其他时钟域的信号同步到clock2的时钟域中



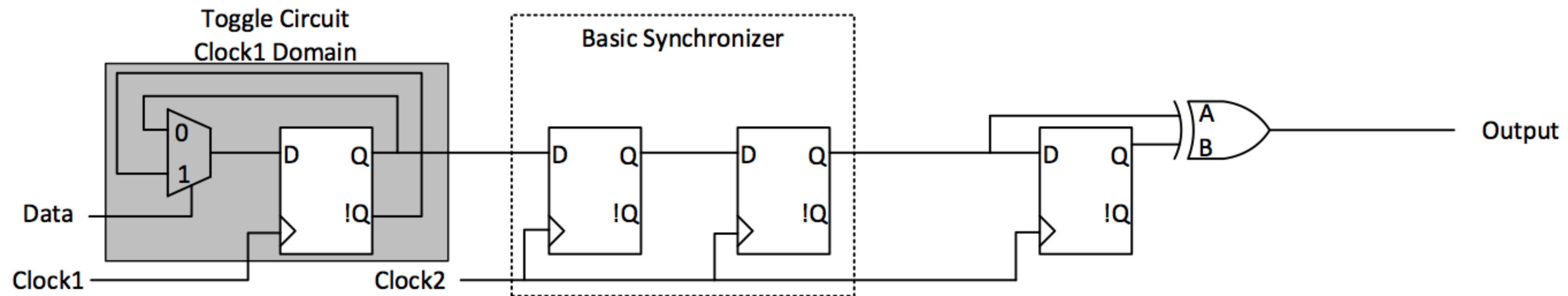
这个设计能够实现边沿检测的效果吗？







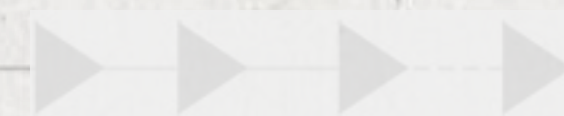
## 亚稳态—单bit信号的跨时钟域传输



### 适用条件:

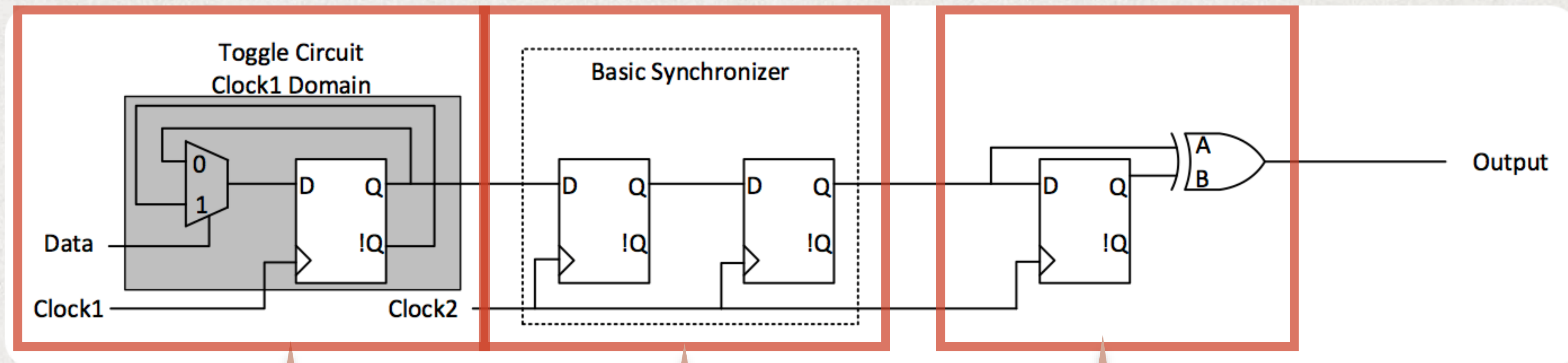
- 输入数据的宽度必须比一个接受时钟周期加上一个同步触发器的hold时间要长，最安全的就是两个同步周期宽度。

慢时钟域的脉冲足够保持到被快时钟的同步器拿到





## 亚稳态—单bit信号的跨时钟域传输



快时钟域下的一个翻转电路

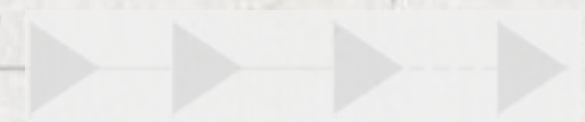
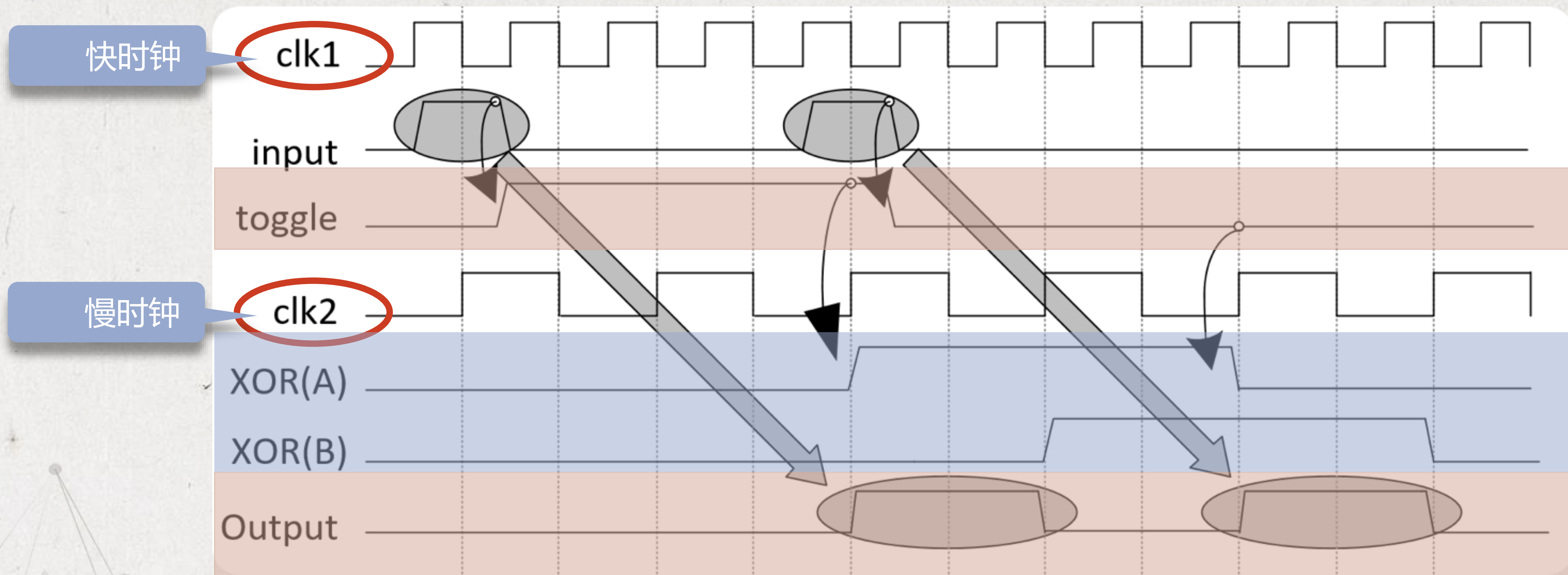
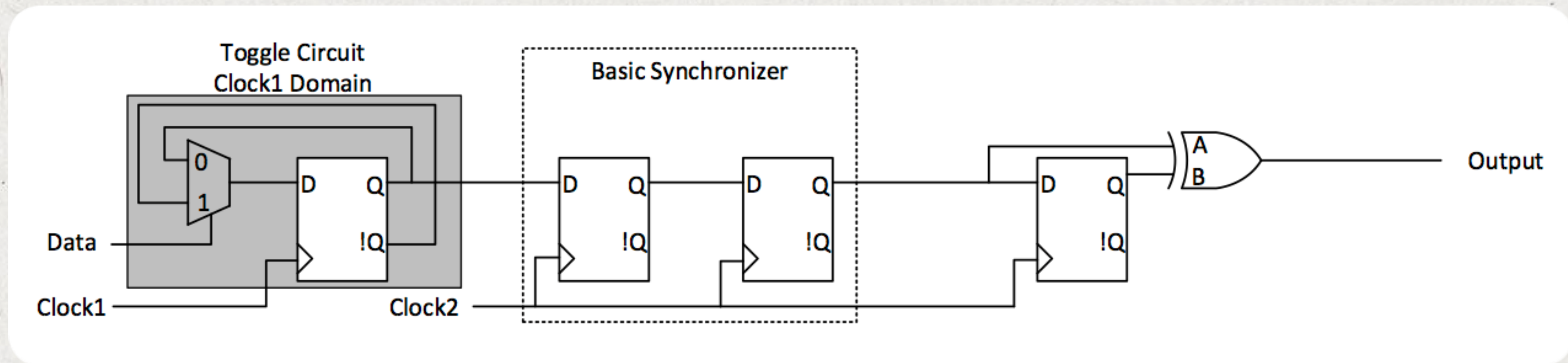
慢时钟域的两级同步器

慢时钟域一级触发器+一个逻辑门

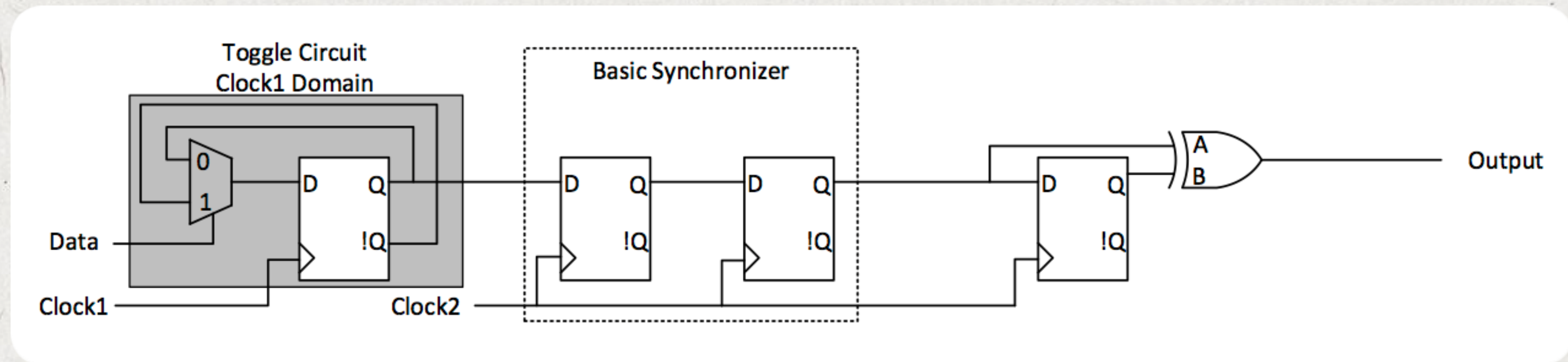
### 脉冲同步器基本功能:

- 从某个时钟域取出一个单时钟宽度脉冲，然后在新的时钟域中建立另一个单时钟宽度的脉冲。



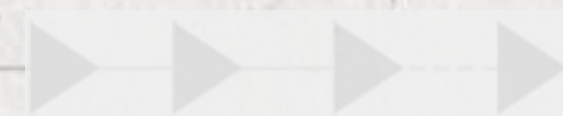






### 限制:

- 输入脉冲之间的最小间隔必须等于两个同步器时钟周期。
- 如果输入脉冲相互过近，则新时钟域中的输出脉冲也紧密相邻，结果是输出脉冲宽度比一个时钟周期宽。
- 当输入脉冲时钟周期大于两个同步器时钟周期时，这个问题更加严重。
- 这种情况下，如果输入脉冲相邻太近，则同步器就不能检测到每个脉冲。





# 三种同步器比较

Type	应用	输入	输出	限制
电平检测	同步电平信号，时钟域任何时钟域的传输	电平	电平	输入信号必须保持 <u>两个接受时钟周期宽度</u> ，每一次同步之后，输入信号必须恢复到无效状态
边沿检测	检测输入信号的上升沿和下降沿，适用于 <u>低频时钟域向高频时钟域</u> 传输	电平或脉冲	脉冲	输入信号必须保持 <u>两个接受时钟周期宽度</u>
脉冲检测	同步 <u>单周期</u> 脉冲信号，适用于 <u>高频时钟域向低频时钟域</u> 传输	脉冲	脉冲	输入的脉冲时间的距离必须保持 <u>两个接收时钟周期以上</u>