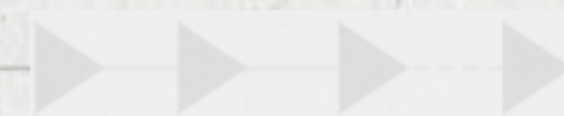


芯动力——硬件加速设计方法

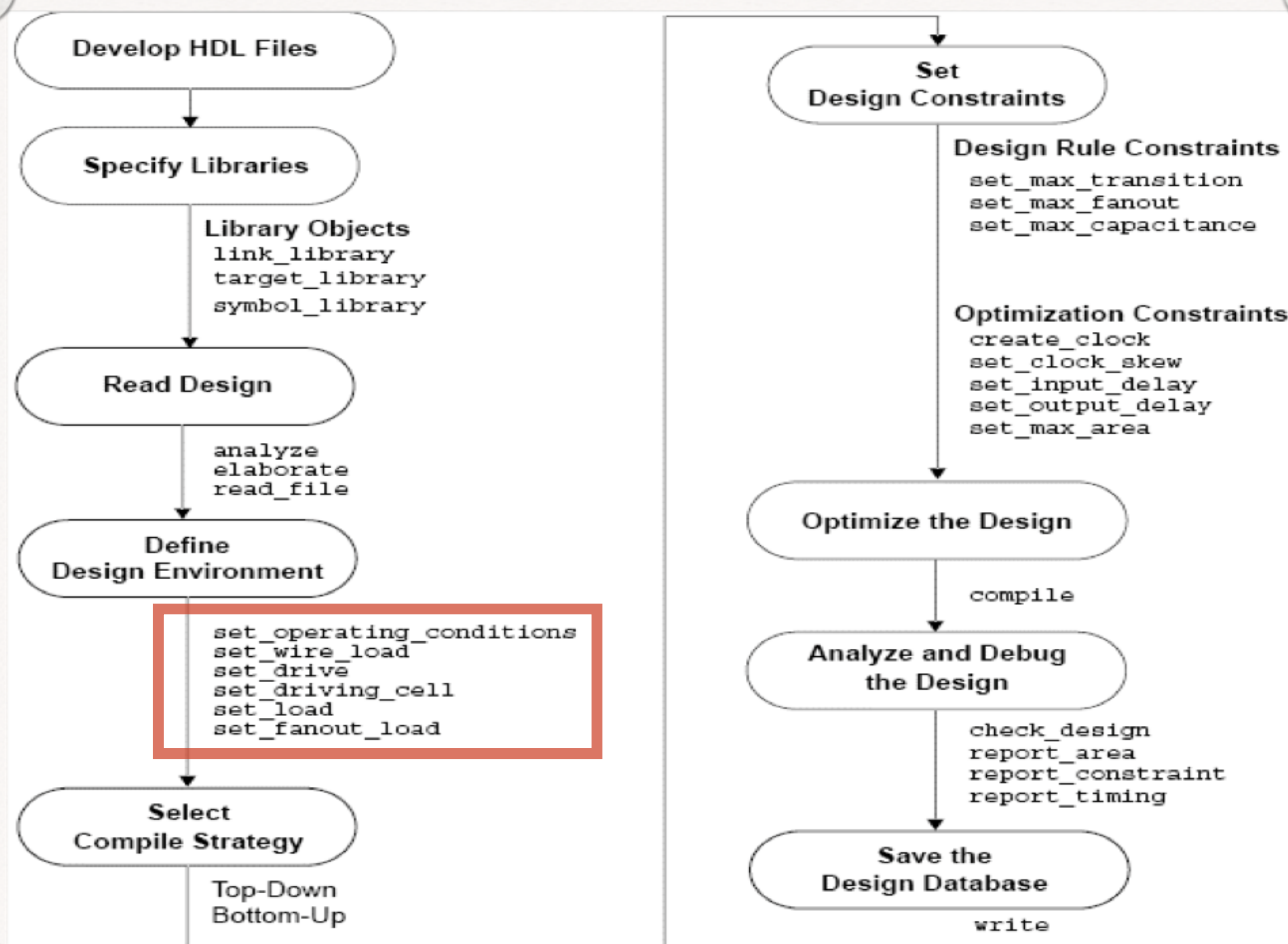
第四章 逻辑综合(4)

邸志雄@西南交通大学

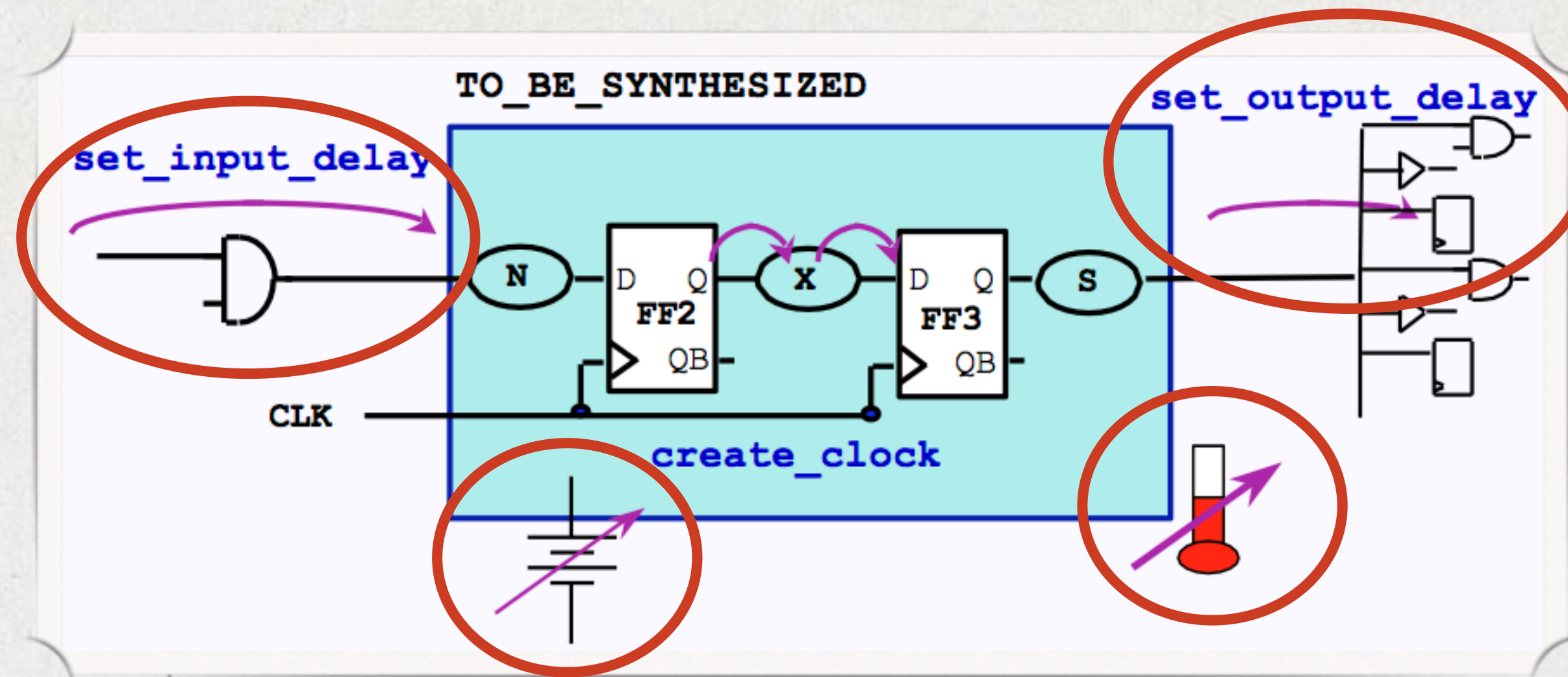
zxdi@home.swjtu.edu.cn



ASIC设计流程



有没有遗漏的约束？



供电电压

外界的温度

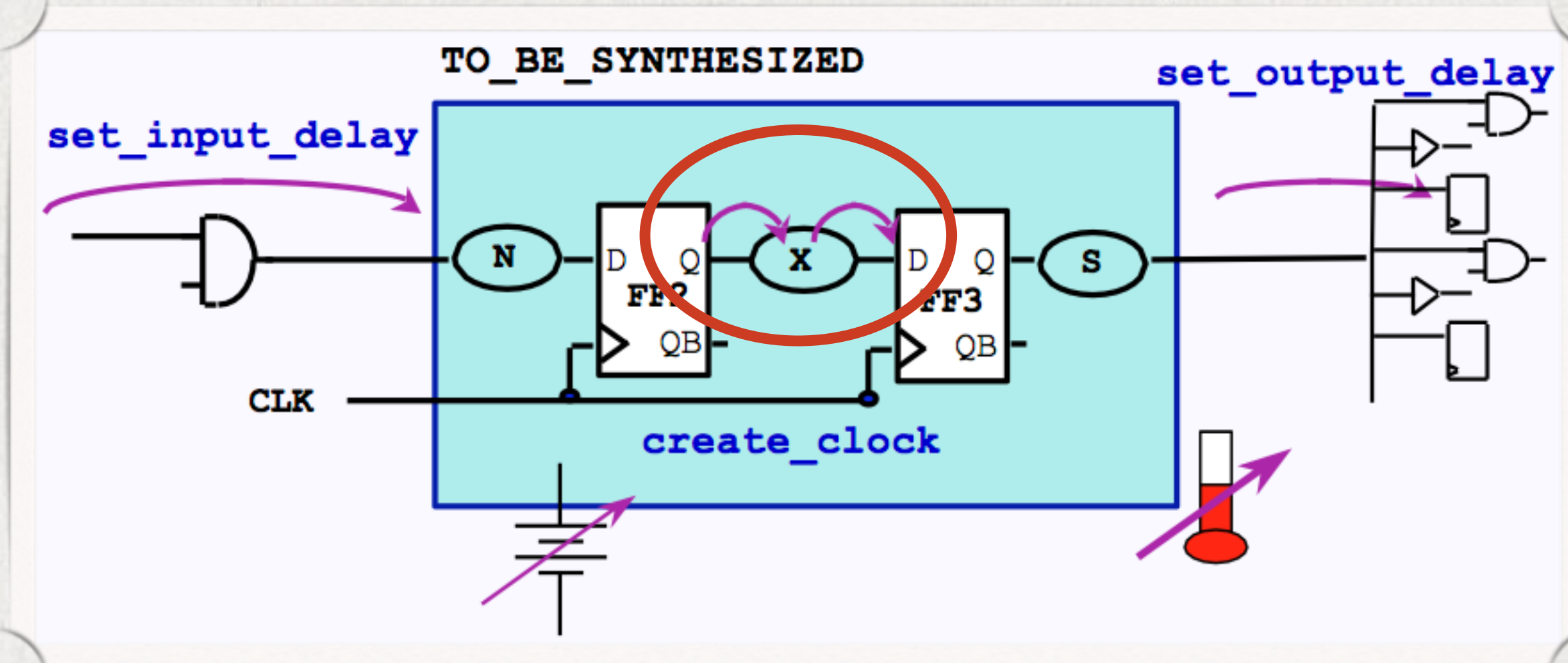
- 延时会相应的改变，所以这些方面也是必须考虑到的。

电平转化时间

transition time

- 这些是有输入输出的外围电路的驱动能力和负载大小决定的。

有没有遗漏的约束?



- 电路内部的互连线的延时也没有估计在内。

我们主要讨论怎样给电路施加这些环境属性

操作的条件

set_operating_conditions

load

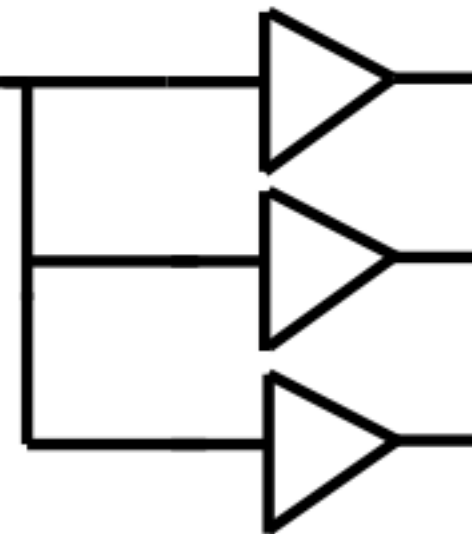
set_load

驱动强度

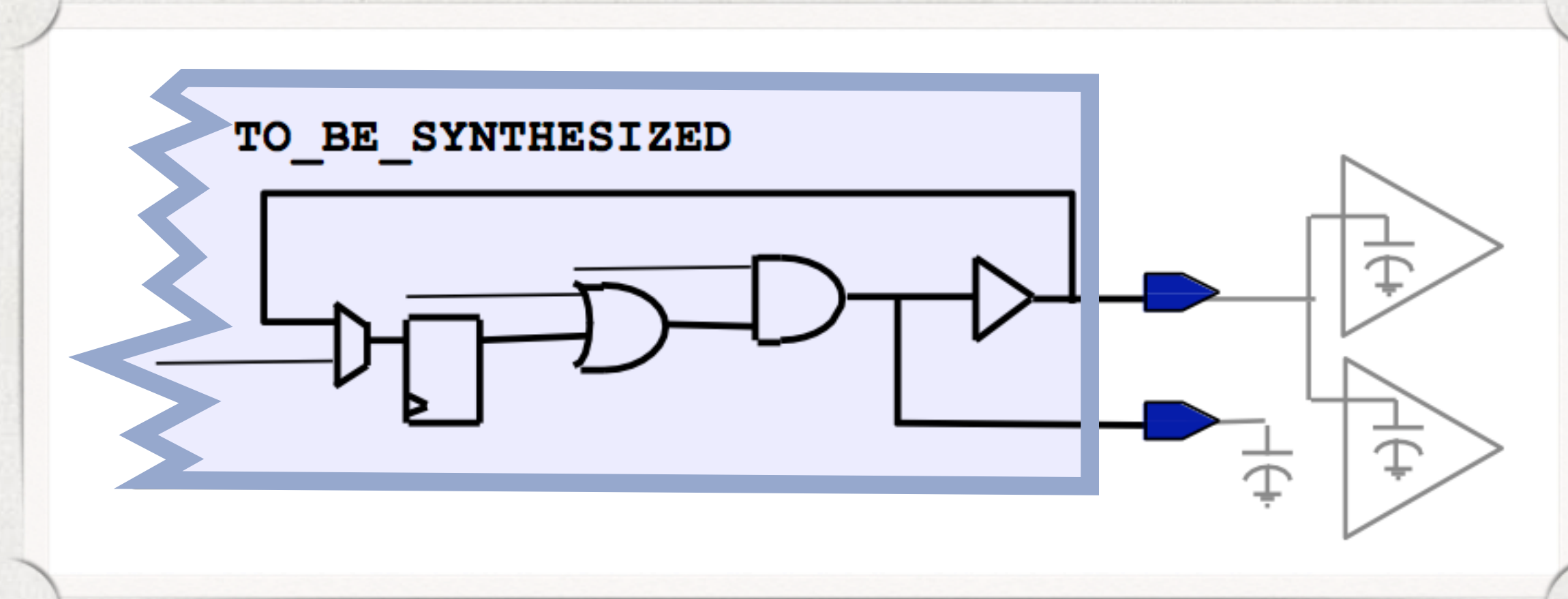
set_driving_cell

set_wire_load_model

线载模型



Capacitive Load



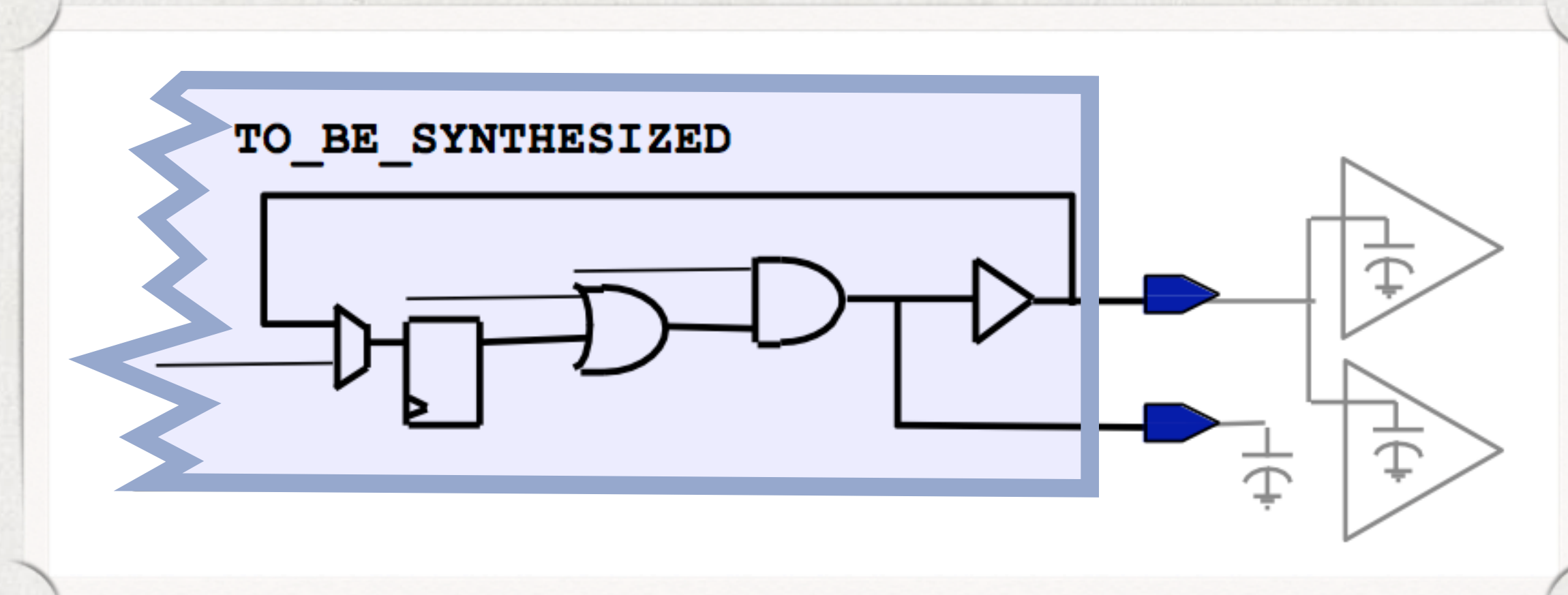
为了更加准确的估计模块输出的时序

输出延时

输出所接电路的负载情况

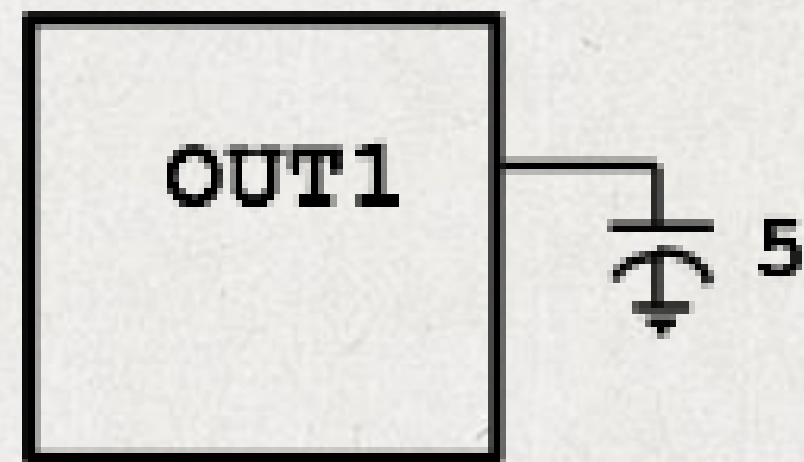
- 如果输出负载过大会加大电路的 transition time, 影响时序特性。

Capacitive Load



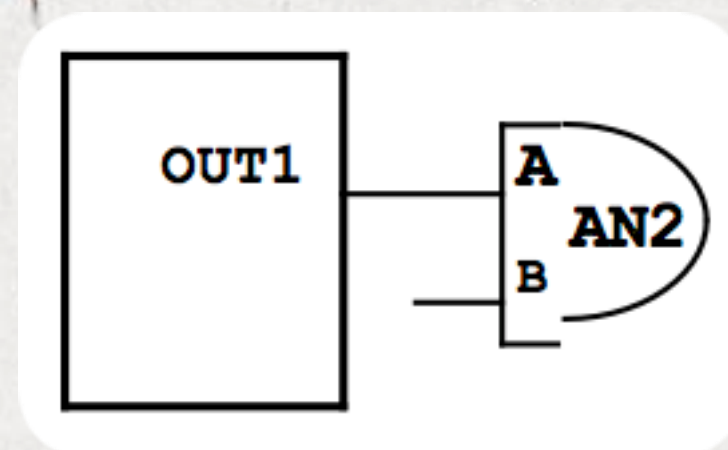
- 由于 DC 默认输出负载为 0，即相当于不接负载的情况，这样综合出来的电路时序显然过于乐观，不能反映实际工作情况。

Use `set_load` to specify a load value on an output port:

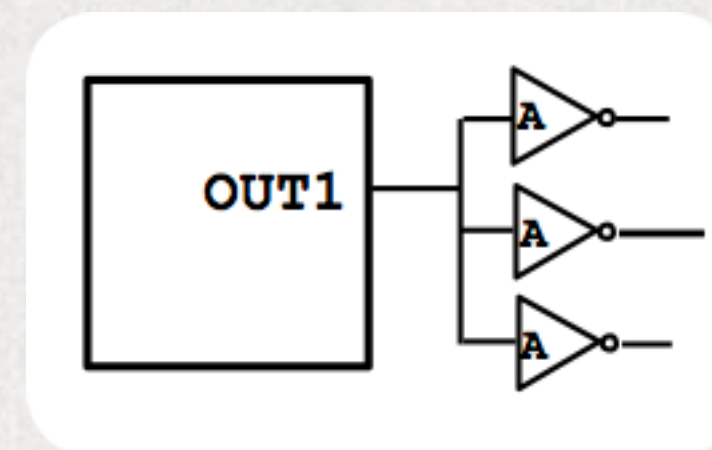


```
set_load 5 [get_ports OUT1]
```

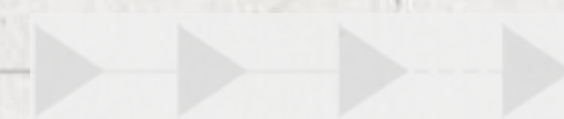
- Use `set_load` `load_of lib/cell/pin` to place the load of a gate from the technology library on the port:



```
set_load [load_of my_lib/and2a0/A] [get_ports OUT1]
```

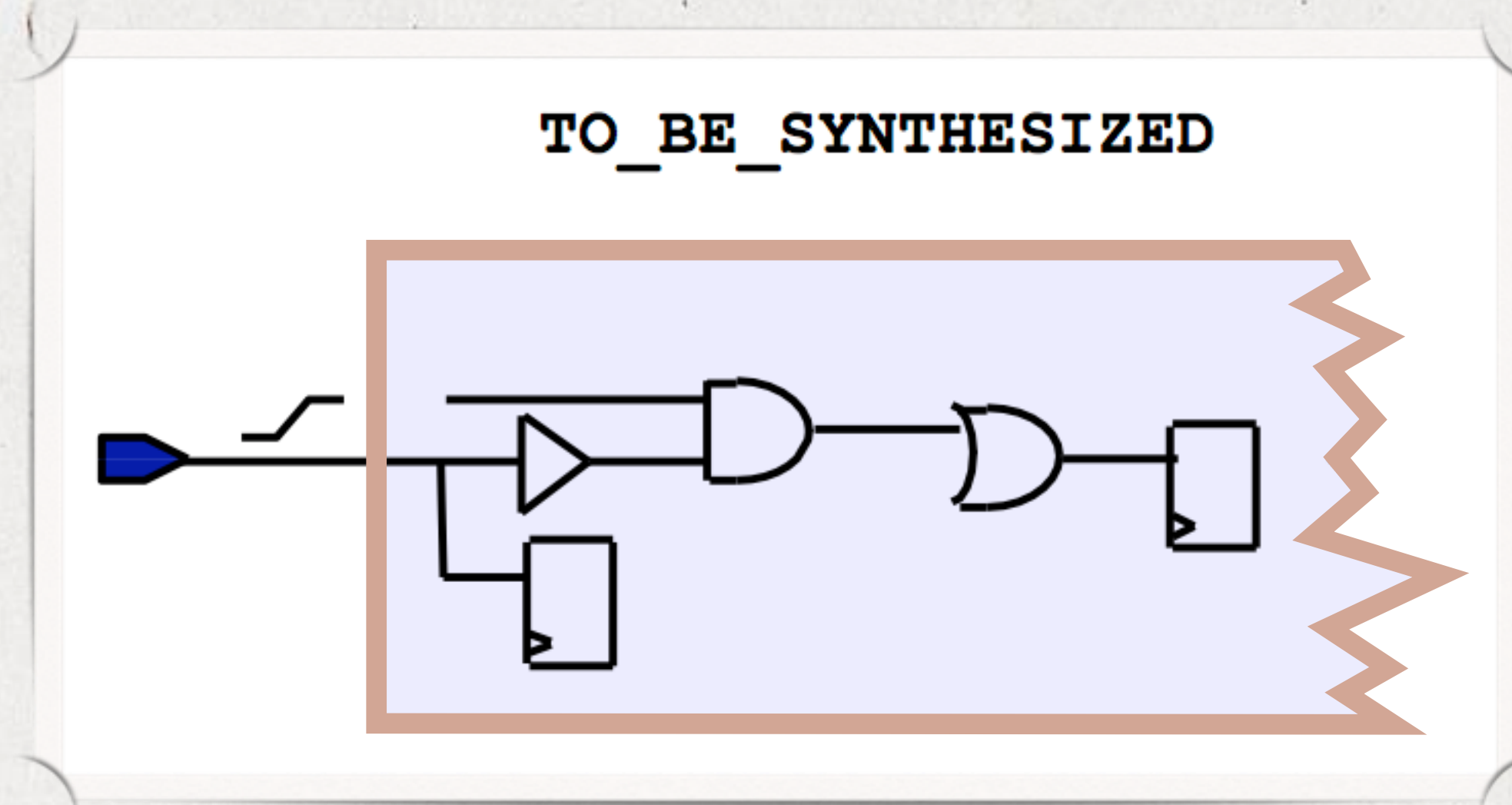


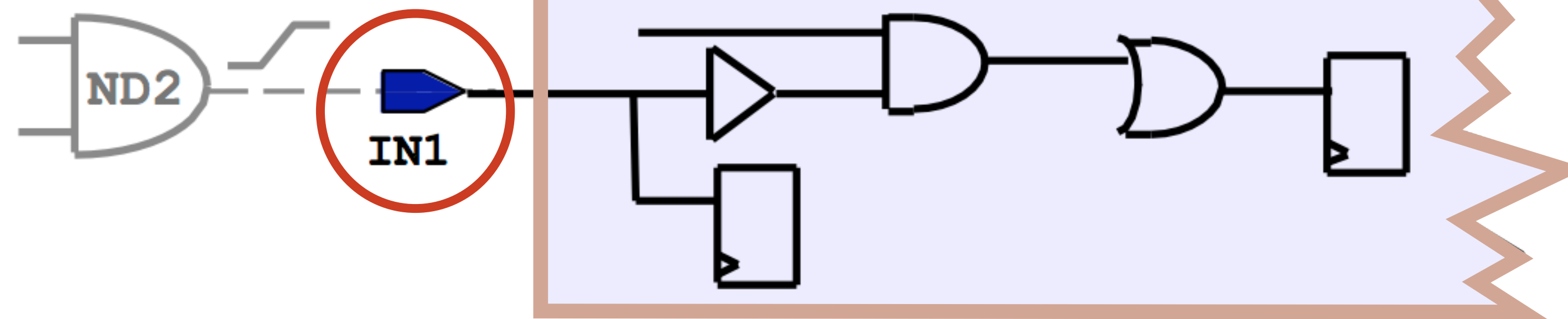
```
set_load [expr [load_of my_lib/inv1a0/A] * 3] OUT1
```



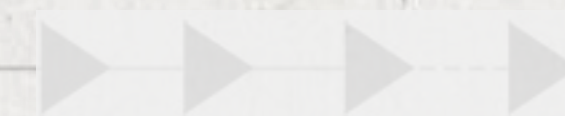
Input Drive Strength

- 为了精确计算输入电路的时序，DC需要知道input port的 transition时间
 - `set_driving_cell` 允许用户可以自行定一个实际的外部驱动cell:
 - 默认情况下, DC假定外部信号的transition time 为 0
 - 可以让DC能够计算一个实际的(non-zero) transition time





```
dc_shell-t> set_driving_cell -lib_cell and2a0 \[get_ports IN1]
```



设置工作条件

温度

{ 25.0 度 }

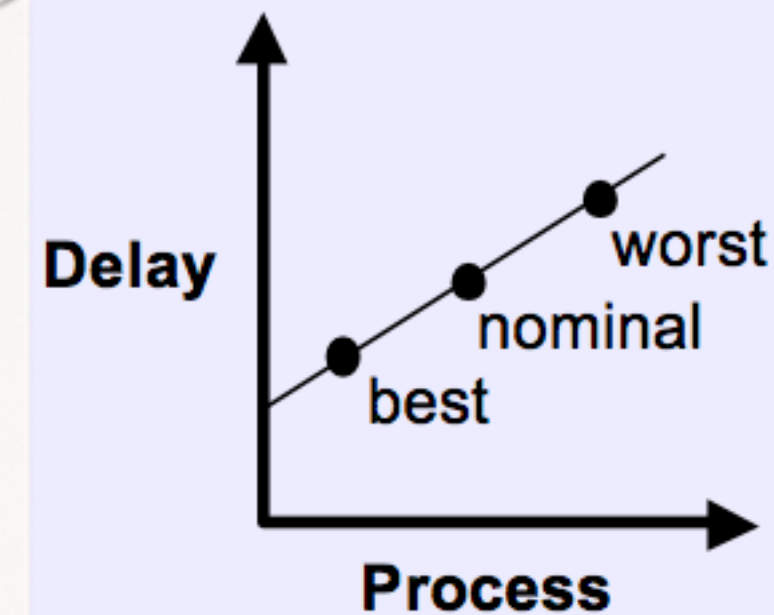
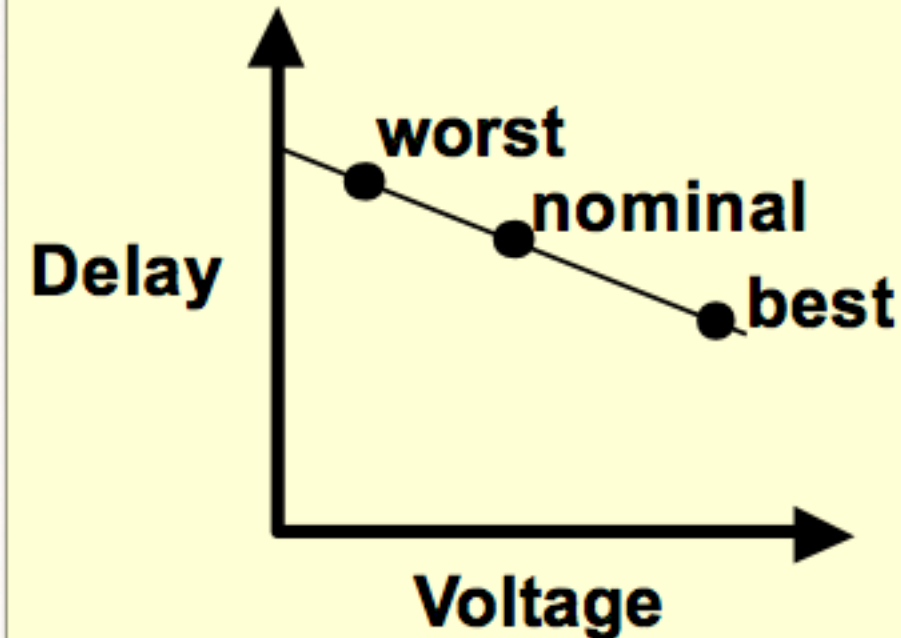
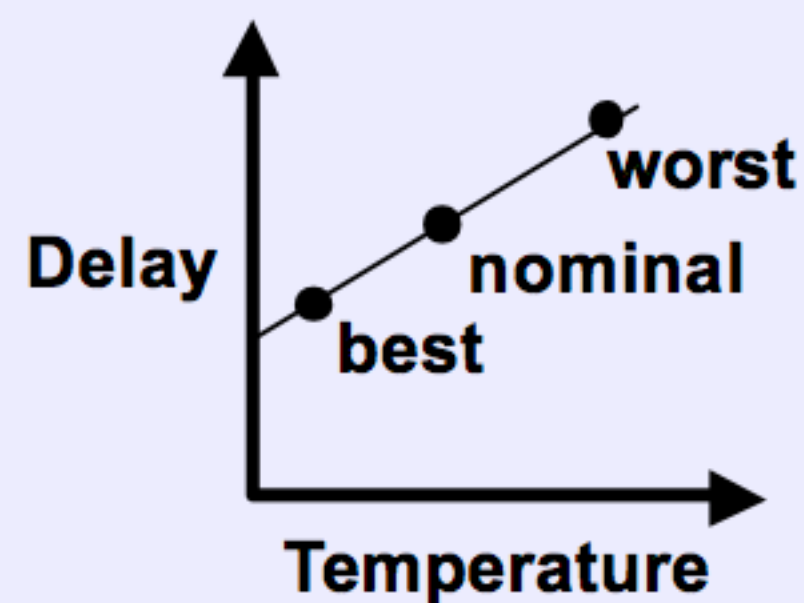
电压

{ 1.8V }

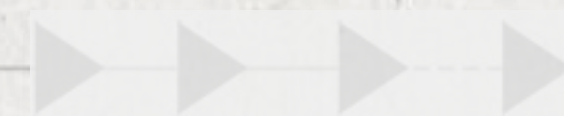
工艺

{ 参数 1.0 }

- 一旦工作条件发生了改变，电路的时序特性也必将受到影响



- 单元的延时会随着温度的上升而增加；随着电压的上升而减小；随着工艺尺寸的增大而增大。

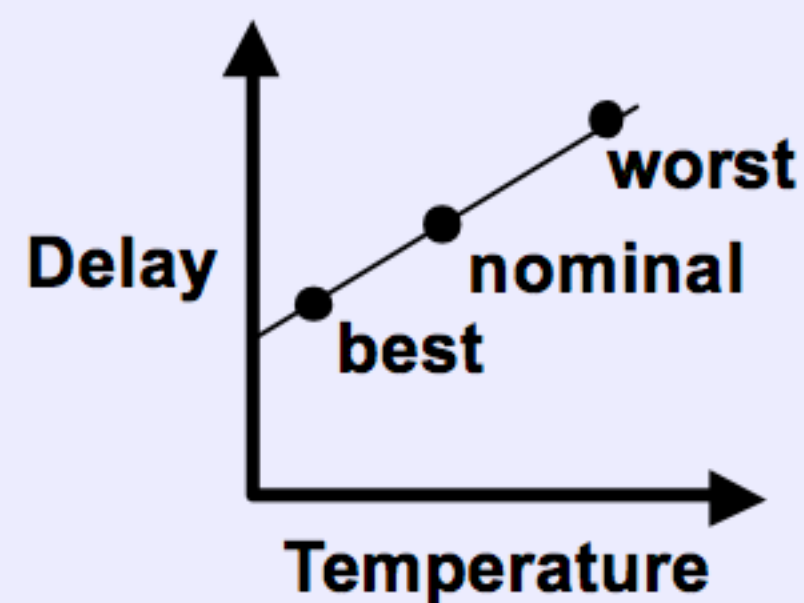


设置工作条件

- 因此它在工艺库中提供了几种工作条件的模型(operating condition model)以供设计者选择。

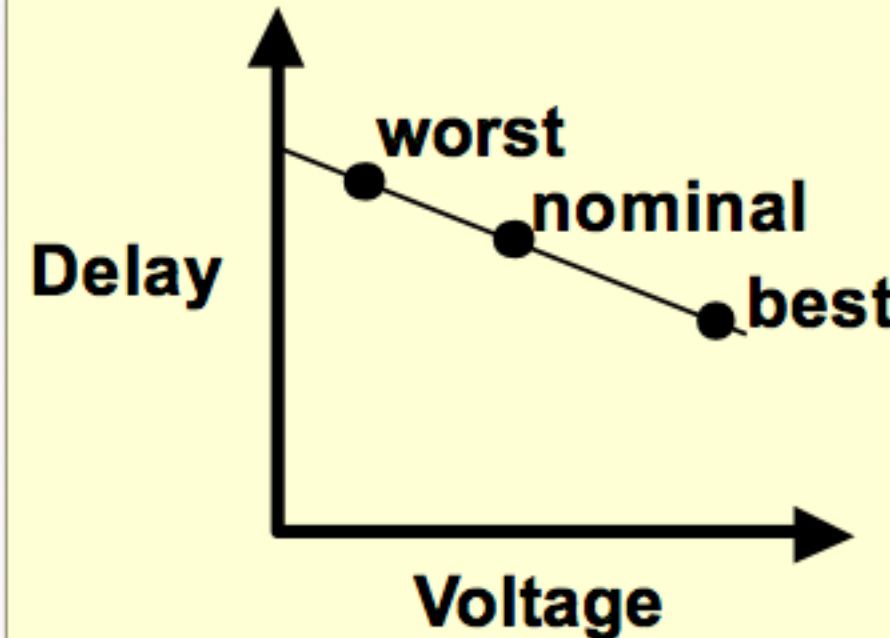
最好情况

best case



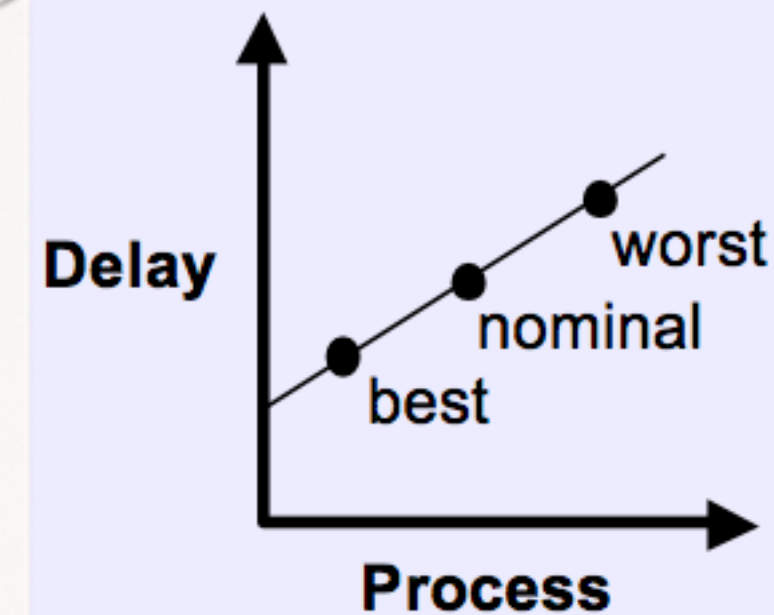
典型情况

typical case



最差情况

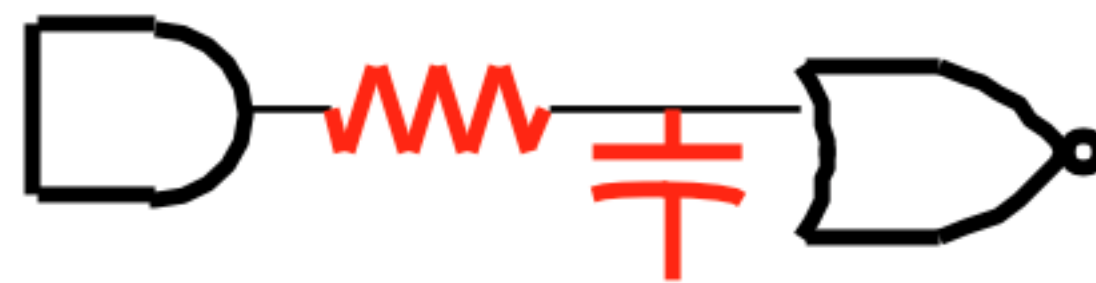
worst case



一般综合只要考虑到两种情况：最差情况用于作基于建立时间 (setup time) 的时序分析, 最好情况用于作基于保持时间(hold time)的时序分析。

Net Delays

- 在 DC 综合的过程中，连线延时是通过设置 **连线负载模型** (wire load model) 确定的。
- 连线负载模型基于连线的扇出，估计它的电阻电容等寄生参数，它是也是 **由 Foundry 提供的**。
- Foundry 根据其他用这个工艺流片的芯片的连线延时进行统计，从而得到这个值。



Example: Wire Load Model: Standard Format

Name : 160KGATES
Location : ssc_core_slow
Resistance : 0.000271
Capacitance : 0.00017
Area : 0
Slope : 50.3104
Fanout **Length**

R per unit length

C per unit length

Extrapolation slope

1 31.44
2 81.75
3 132.07
4 182.38
5 232.68

Time Unit : 1ns
Capacitive Load Unit : 1.000000pf
Pulling Resistance Unit : 1kilo-ohm

Name : 160KGATES
Location : ssc_core_slow
Resistance : 0.000271
Capacitance : 0.00017
Area : 0
Slope : 50.3104

R per unit length

C per unit length

Extrapolation slope

单位长度的电阻
以及电容值

Fanout Length

1 31.44

2 81.75

3 132.07

4 182.38

5 232.68

计算出它的电阻和
电容的大小

估算连线延时

连线的扇出

根据扇出查表, 得出长度

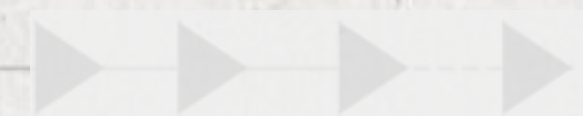
- 若扇出值超出表中的值 (假设为 7), 那么 DC 就要根据扇出和长度的斜率(Slope)推算出此时的连线长度来。

- 在每一种工作条件下都会有很多种负载模型，各种负载模型对应不同大小的模块的连线，如上图的模型近似认为是 160K 门大小的模块适用的。
- 模块越小，它的单位长度的电阻及电容值也越小，负载模型对应的参数也越小。

设置输入驱动是通过 DC 的 `set_wire_load_model` 命令完成的。

Manual model selection:

```
dc_shell-t> set current_design addtwo  
dc_shell-t> set_wire_load_model -name 160KGATES
```



- 也可以让 DC 自动根据综合出来的模块的大小选择负载模型，这个选项在默认下是打开的。

Automatic model selection (default is TRUE):

```
dc_shell-t> report_lib ssc_core_slow
```

Selection min area	max area	Wire load name
0.00	43478.00	5KGATES
43478.00	86956.00	10KGATES
86956.00	173913.00	20KGATES
173913.00	347826.00	40KGATES
347826.00	695652.00	80KGATES

Turn off automatic wire load model selection by
`dc_shell-t> set auto_wire_load_selection false`

Wireload Model Mode

连线负载模式

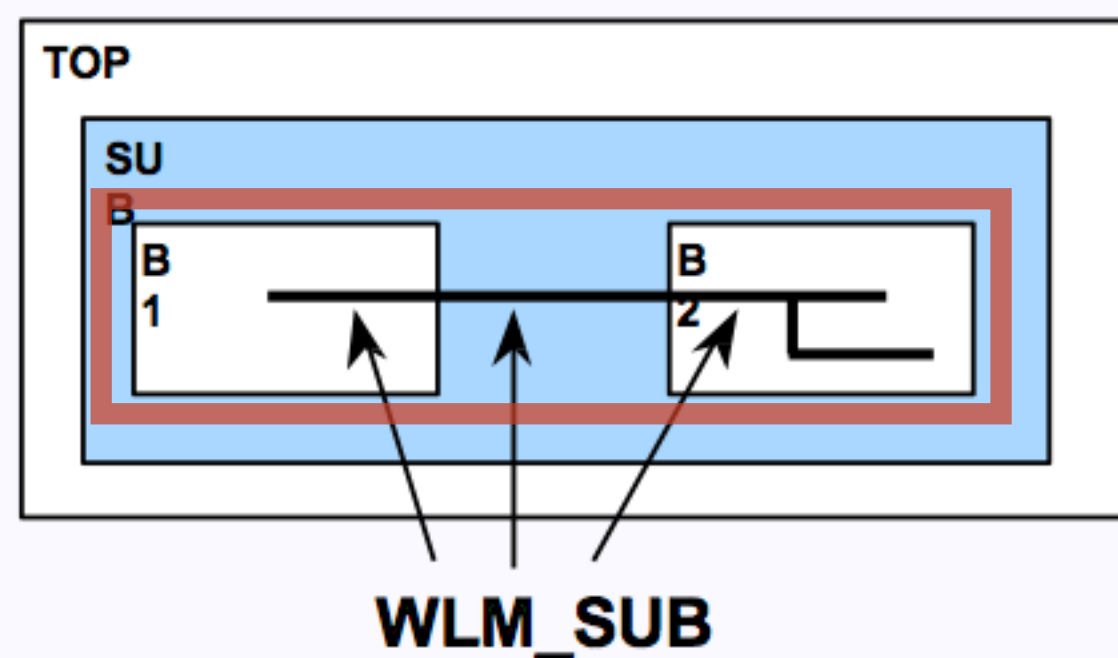
set_wire_load_mode

围绕(enclosed)

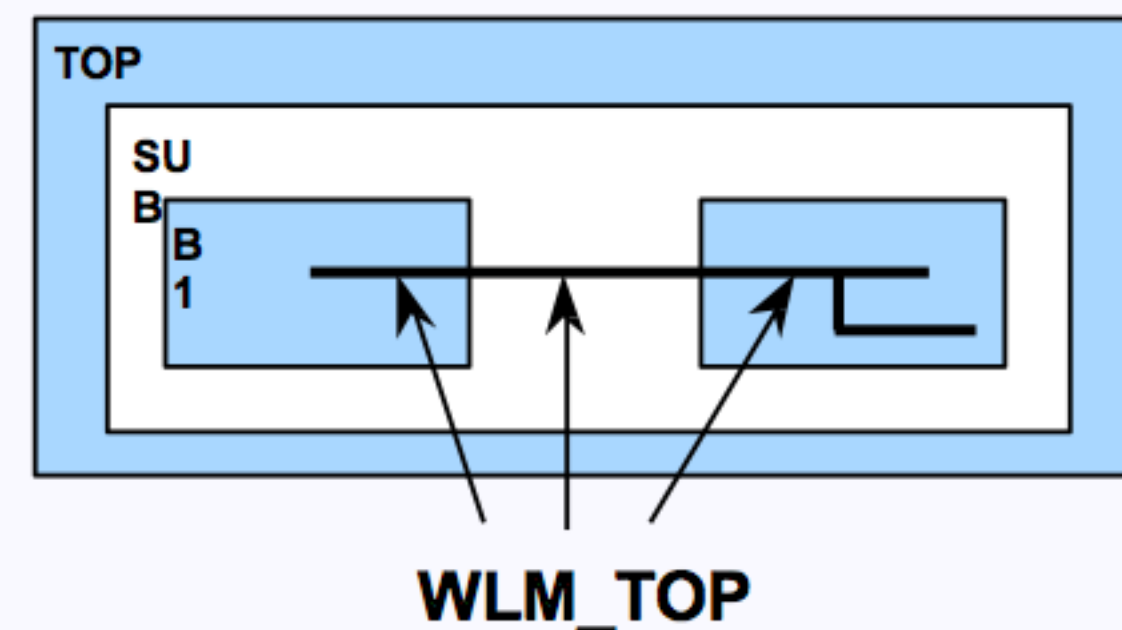
顶层(top)

分段(segmented)

mode = enclosed

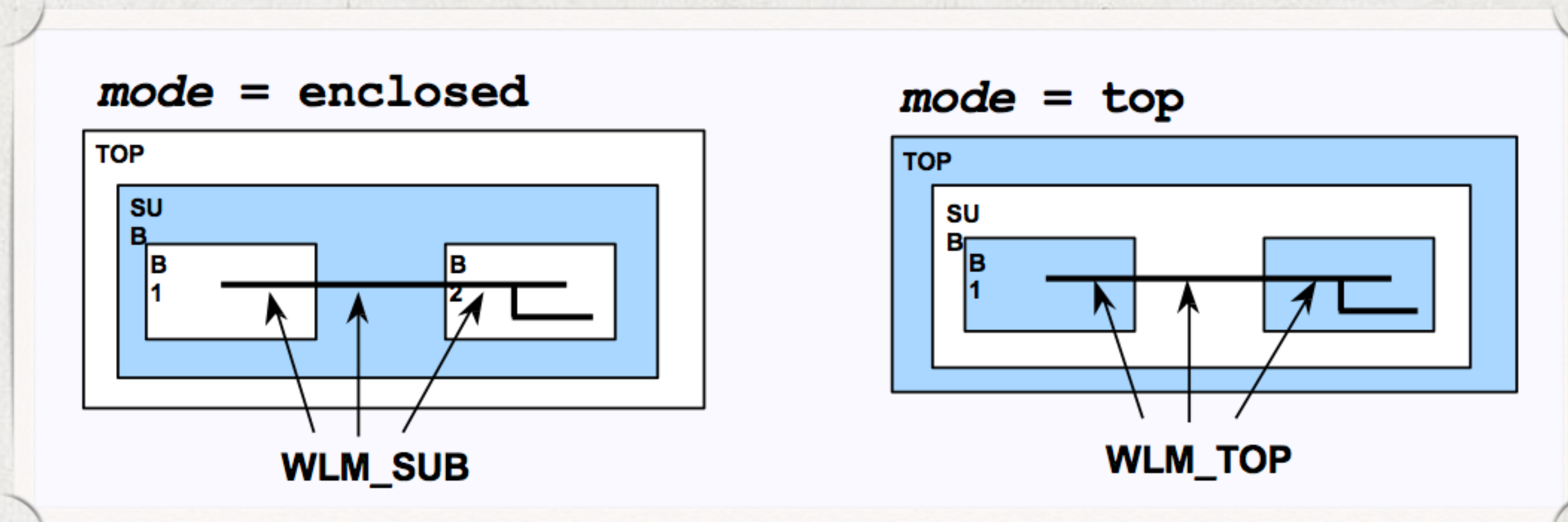


mode = top



- 如上图所示，一根连线连接了 B2 和 B1 两个模块，这两个模块都位于 TOP 下的 SUB 这个子模块中。

Wireload Model Mode



围绕(enclosed)

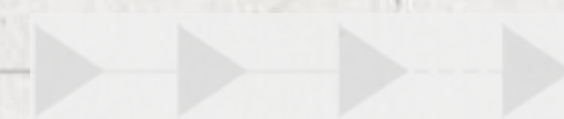
- 连接 B1 和 B2 的连线的负载模型用围绕它们的模块的负载模型代替，即用 SUB的负载模型；

顶层(top)

- 用顶层模块的负载模型代替；

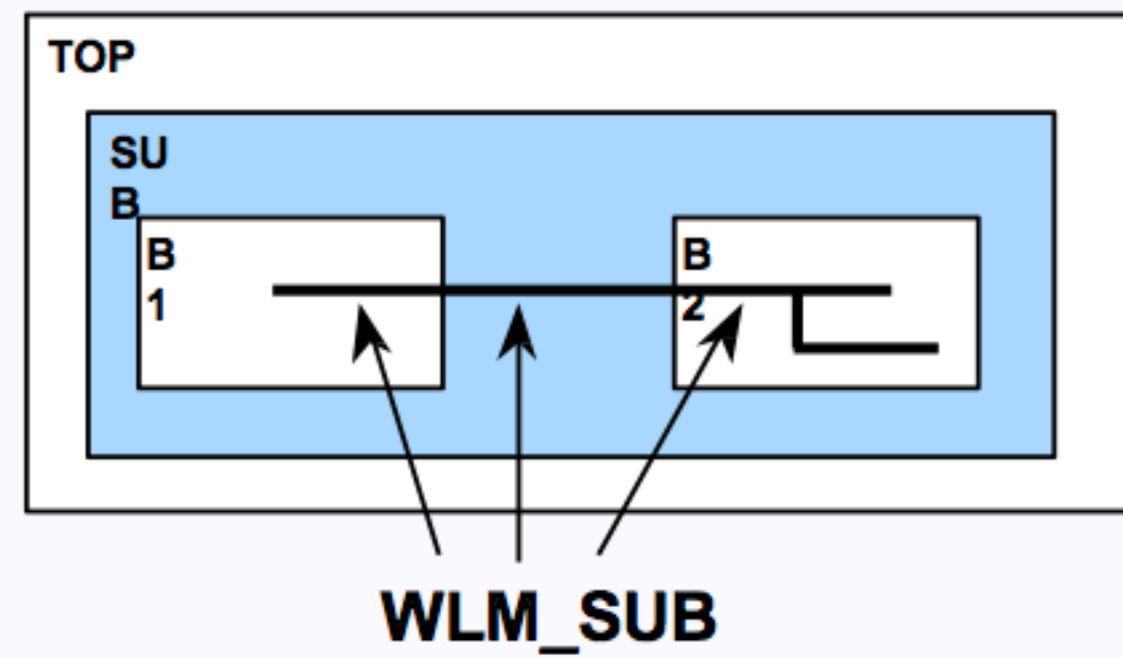
分段 (segmented)

- 分别根据穿过的三段的模型相加得到。

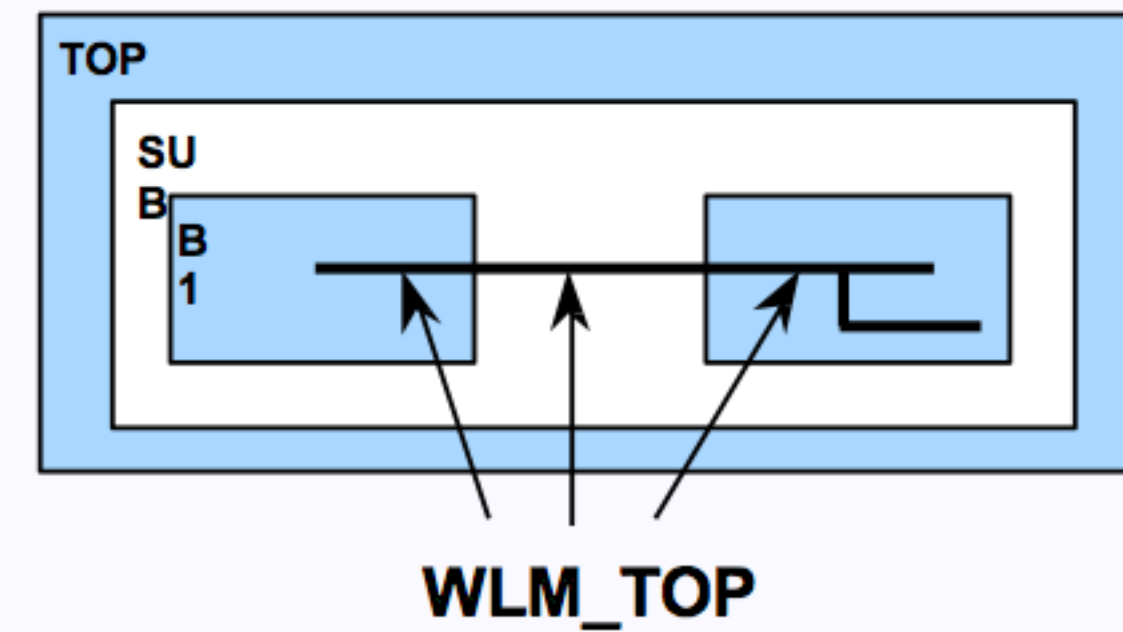


Wireload Model Mode

mode = enclosed



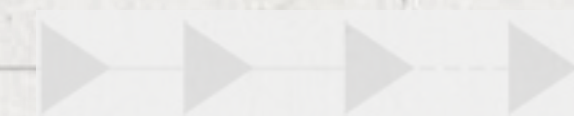
mode = top




less pessimistic mode

Example:

```
dc_shell-t> set_wire_load_mode enclosed
```



- 
- 在定义完环境属性之后，我们可以使用下面的几个命令检查约束是否施加成功。

check_timing

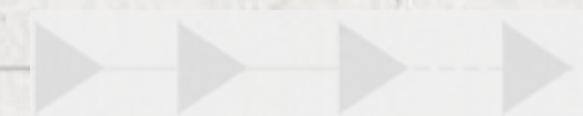
- 检查设计是否有路径没有加入约束

check_design

- 检查设计中是否有悬空管脚或者输出短接的情况

write_script

- 将施加的约束和属性写出到一个文件中，可以检查这个文件看看是否正确



//综合优化，对应图形界面的5

#####

compile_design

#####

compile -map_effort medium

//保存文件，对应图形界面的7

#####

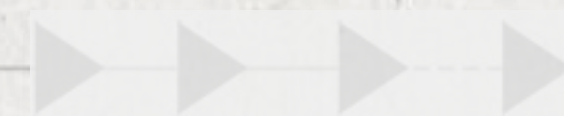
write *.db and *.v

#####

write -f db -hier -output ~/EXAMPLE1.db

write -f verilog -hier -output ~/EXAMPLE1netlist.v

write_sdf -version 2.1 ~/EXAMPLE1.sdf //保存反标文件



//产生报告并保存，对应图形界面的6

#####

generate reports

#####

report_area > EXAMPLE1.area_rpt //把报告面积的文件保存
成EXAMPLE1.area_rpt文件，运行完脚本以后可以查看该文件。

report_constraint -all_violators > EXAMPLE1.constraint_rpt

report_timing > EXAMPLE1.timing_rpt

sh date //显示结束时间

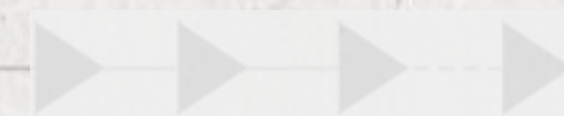
时序电路面积

组合逻辑电路面积

总面积

建立时间

保持时间



时序报告的主要内容:

- 表头
- 数据发射路径
- 数据捕获路径
- 时序结果



Timing Report: Path Information Section

Report : timing

-path full

-delay max

-max_paths 1

Design : TT

Version: 2000.05

Date : Tue Aug 29 18:22:38 2000

Operating Conditions: **slow_125_1.62** Library: **ssc_core_slow**

Wire Load Model Mode: enclosed

Startpoint: **data1** (input port clocked by clk)

Endpoint: **u4** (rising edge-triggered flip-flop clocked by clk)

Path Group **clk** 关键路径

Path Type **max** 建立时间

Des/Clust/Port

Wire Load Model

Library

TT

5KGATES

ssc_core_slow

Timing Report: Path Delay Section

Individual Contribution to Path Delay

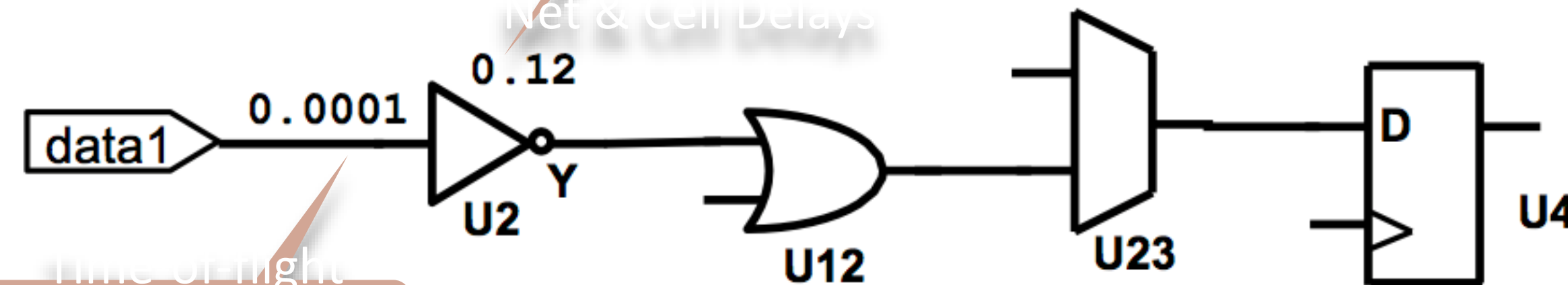
Running Total of the Path Delay

Point	Incr	Path
clock clk (rise edge)	0.00	0.00
clock network delay (ideal)	0.00	0.00
input external delay	1.00	1.00 f
data1 (in)	0.00	1.00 r
u2/Y (inv1a1)	0.12	1.12 r
u12/Y (or2a1)	0.26	1.38 r
u23/Y (mx2d2)	0.23	1.61 f
u4/D (fdef1a1)	0.00	1.61 f
data arrival time		1.61

Signal Transition

Total Delay

Net & Cell Delays



Time of flight

Timing Report: Path Required Section

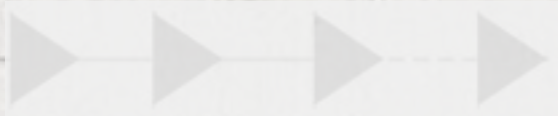
Clock Edge

Point	Incr	Path

clock clk (rise edge)	5.00	5.00
clock network delay (ideal)	0.00	5.00
U4/CLK (fdef1a1)	0.00	5.00
library setup time	-0.19	4.81
data required time		4.81

From the Library

Data must be valid by
this time



Timing Report: Summary Section

data required time
data arrival time

4.81

-1.61

slack (MET)

3.20

Either (MET) or (VIOLATED)

Timing margin (slack): negative indicates constraint violation

