



AXIS 数据 fifo

2024.09.18

一 修订

版本	日期	编辑人	内容
1.00	2024.09.18	陈家耀	创建了第一个正式版本

二 简介和特性

AXIS 数据 fifo 是带有 AXIS 接口的通用 fifo，可用于数据缓存，跨时钟域传输等各类场景。AXIS 数据 fifo 具有如下特性：

- 同步/异步 fifo
- 支持启用数据包模式
- 可选 RAM 类型为 lutram 或 bram

AXIS 数据 fifo 内部主要由 **fifo 控制器**、**FWFT 缓存模块**和 **AXIS 数据包统计**组成，如图 2-1 所示。**FWFT 缓存模块**用于将读延迟为 1clk 的标准 fifo 读端口转换为 FWFT 的 fifo 读端口，便于连接到 AXIS 主机输出。**AXIS 数据包统计**用于实现数据包模式，监测 AXIS 从机上的数据包写入和 AXIS 主机上的数据包读取，生成 AXIS 主机输出使能信号（有数据包或者 fifo 满时主机可以输出）。

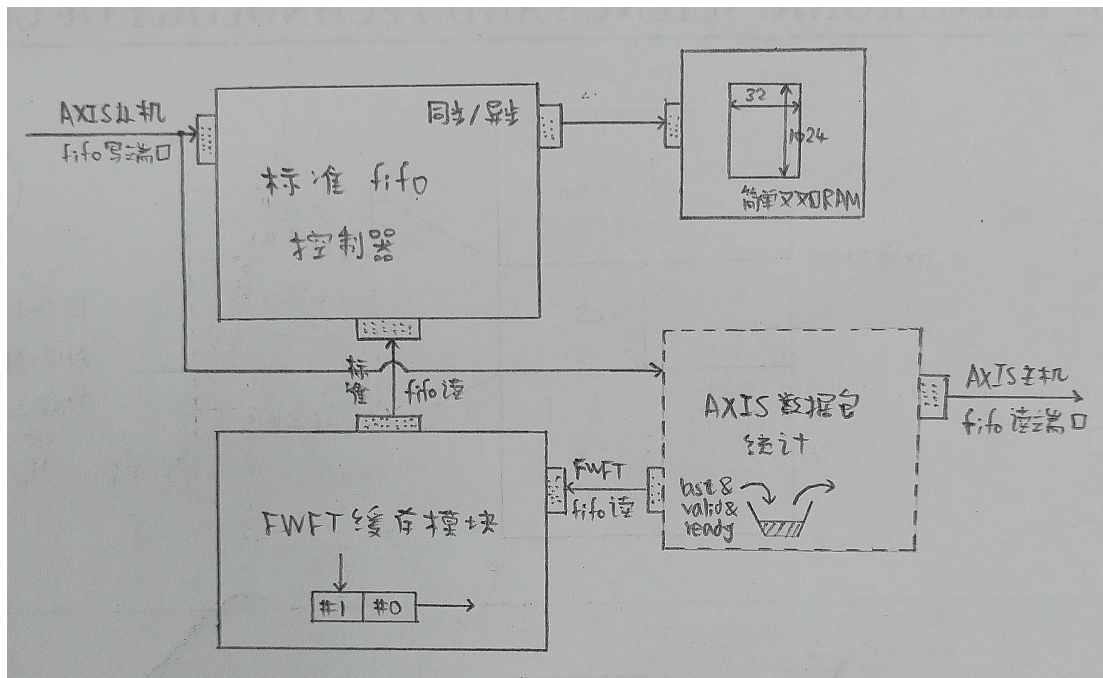


图 2-1 AXIS 数据 fifo 组成框图

三 IP 功能

AXIS 数据 `fifo` 用于在 `axis` 数据流之间添加缓存，是通用、简单、高性能的数据 `fifo`，其功能描述如下：

- 1、带 **FWFT** 读端口的同步/异步 **fifo**。AXIS 数据 fifo 支持相同或不同的读写时钟，通过 FWFT 缓存模块实现了 0 延迟的读端口，从而与 AXIS 协议完全匹配。
- 2、可启用的**数据包模式**。数据包模式使得 AXIS 数据 fifo 只在有数据包或者 fifo 满时输出数据，可保证数据包输出时的传输连续性。
- 3、支持使用 **lutram** 或 **bram** 实现。提供了 lutram 或 bram 的存储器模型，可选择 fifo 存储器的类型。无论选择 lutram 还是 bram，其读延迟均为 1clk。

目前，已为 AXIS 数据 fifo 搭建了 testbench，如需仿真，请修改以下配置参数：

- 1、tb_axis_data_fifo.sv 的第 18~28 行
- 2、test_cases.sv 的第 15、59~60 行
- 3、drivers.sv 的第 871~872 行

fifo 深度为 16，启用数据包模式，使用不同的读写时钟时的仿真波形如图 3-1 所示。由于启用了数据包模式，fifo 在输入了一个数据包后才开始输出。

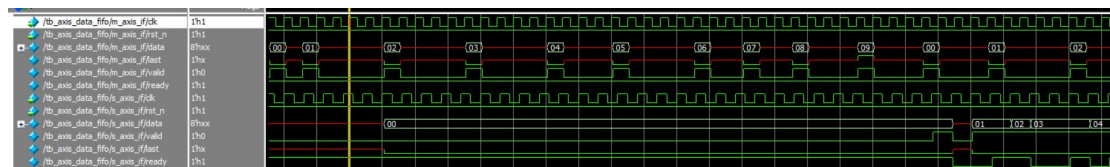


图 3-1 AXIS 数据 fifo 仿真波形图

四 IO 描述

表 4-1 AXIS 数据 fifo IO 表

端口名	方向	位宽	含义
从机时钟和复位			
s_axis_aclk	input	1	时钟
s_axis_aresetn	input	1	复位，低有效
主机时钟和复位(同步模式下被忽略)			
m_axis_aclk	input	1	时钟
m_axis_aresetn	input	1	复位，低有效
AXIS 从机			
s_axis_data	input	data_width	AXIS 接口
s_axis_keep	input	data_width/8	
s_axis_strb	input	data_width/8	
s_axis_user	input	user_width	
s_axis_last	input	1	
s_axis_valid	input	1	
s_axis_ready	output	1	
AXIS 主机			
m_axis_data	output	data_width	AXIS 接口
m_axis_keep	output	data_width/8	
m_axis_strb	output	data_width/8	
m_axis_user	output	user_width	
m_axis_last	output	1	
m_axis_valid	output	1	
m_axis_ready	input	1	

注：不用的信号(如 keep/strb/user/last)将相应的 m_axis_xxx 悬空即可。

五 可配置参数描述

表 5-1 AXIS 数据 fifo 可配置参数表

配置参数名	含义	可取值
is_async	是否使用异步 fifo	"true" "false"
en_packet_mode	是否使用数据包模式	"true" "false"
ram_type	fifo 使用的 RAM 类型	"lutram" "bram"
fifo_depth	fifo 深度	16 32 64 128 ...
data_width	数据位宽	能被 8 整除的正整数
user_width	user 信号位宽	正整数
simulation_delay	仿真延时，可用于仿真时模拟 D 到 Q 延迟	0.1f~100.0f

六 应用指南

AXIS 数据 fifo 可用于在 AXIS 接口间插入缓存或进行跨时钟域数据传输。

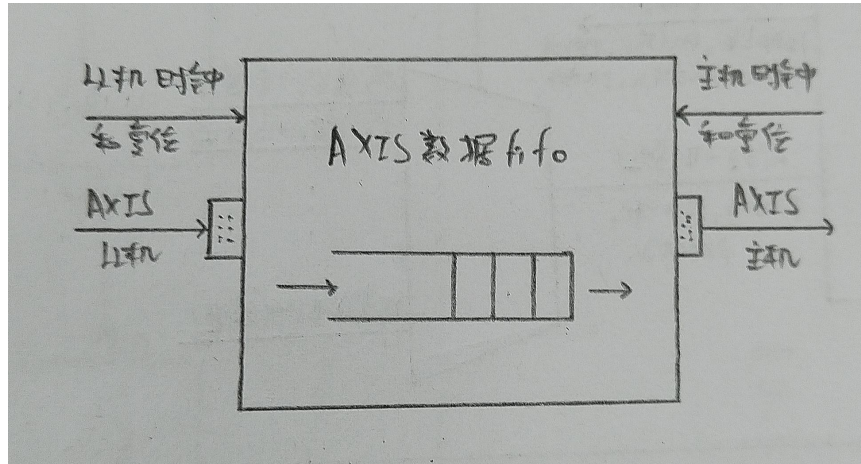


图 6-1 AXIS 设计 fifo 应用图

AXIS 数据 fifo 所使用到的 RAM 仅为存储器模型，每种器件都具有不同的存储器原语，必要时请替换以下源文件：

- 1、bram_simple_dual_port.v (简单双口 BRAM，同步)
- 2、bram_simple_dual_port_async.v (简单双口 BRAM，异步)
- 3、dram_simple_dual_port_async.v (简单双口 LUTRAM，异步)
- 4、fifo_based_on_lutram.v (基于 LUTRAM 的 fifo，同步)

对于异步的 AXIS 数据 fifo 来说，需要添加**时序约束**，请参见 constraint/timing.sdc。