



AXI SDRAM 控制器

2024.05.02

目录

一 修订	3
二 IP 构架	4
三 AXI 边界保护单元	5
四 SDRAM-PHY	6
五 使用说明	7
六 IO 表	8
七 配置参数表	10
八 性能和面积	12

一 修订

版本	修订人	日期	内容
1.00	陈家耀	2024.05.03	创建了第一个正式版本
1.01	陈家耀	2024.08.31	在“使用说明”中给出了本 IP 编写时所基于的 sdram 型号

二 IP 构架

AXI-SDRAM 控制器的组成如图 2-1 所示。它主要由 AXI 从接口和 SDRAM-PHY 构成。在 AXI 从接口中，外部的 AXI 从机首先经过 1KB 边界保护单元，生成一个新的 AXI 主机，确保每次读/写突发不会跨越 1KB 边界。然后，对于新的 AXI 主机，它的 AW/AR 通道将经过读写仲裁，以产生 SDRAM-PHY 的读写命令（这是因为对于每条 SDRAM-PHY 用户命令，不可能同时是读和写命令）；它的 W 通道将经过字节选通掩码处理（若允许非对齐传输，应当对写突发首次传输的字节选通掩码进行与起始地址有关的与操作），作为 SDRAM-PHY 的写数据流；它的 B 通道将依附于 W 通道的突发完成，也就是在每次写突发后产生写响应；SDRAM-PHY 的读数据流被直接传递给新的 AXI 主机的 R 通道。

在 SDRAM-PHY 中，接收用户命令和写数据流，返回读数据流。SDRAM-PHY 内部自动完成了初始化命令序列的生成，刷新命令的插入，向读写命令前自动插入预充电和激活命令，满足了 SDRAM 命令的定时要求。因此，它实现了用户命令、读写数据流到 SDRAM 接口的转换，对用户屏蔽了底层的 SDRAM 协议，以通用 AXIS 接口的形式向用户开放命令和读写数据接口。

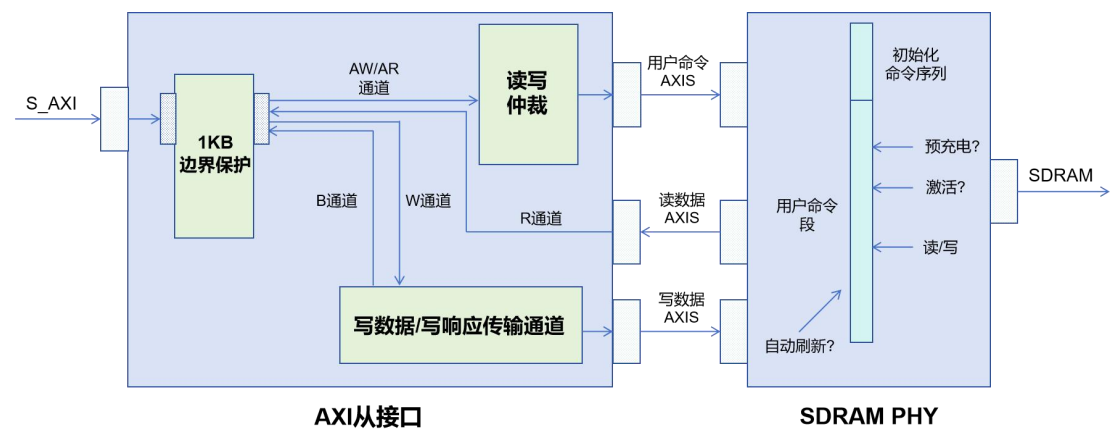


图 2-1 AXI-SDRAM 控制器组成框图

三 AXI 边界保护单元

AXI 边界保护单元能够对从机散在的 5 个通道（AR、AW、B、R、W）进行 1/2/4KB 边界保护，生成一个 AXI 主机，保证每次读写突发都不会跨越 1/2/4KB 边界。

目前，AXI 边界保护单元仅支持对地址和数据总线位宽均为 32 位的从机进行边界保护。实际上，由于突发长度最多为 256，当数据总线位宽为 32 位时，每次突发传输数据量最大为 1KB，因此，在进行 1/2/4KB 边界保护时，从机的每次读写突发至多对应新的 AXI 主机的 2 次读写突发。

如图 3-1 所示，AXI 边界保护单元把从机的 AR/AW/W 通道上的突发划分为 1 或 2 次传递给主机，把主机的 R/B 通道中切分的 2 次突发重新合并回 1 次传递给从机。

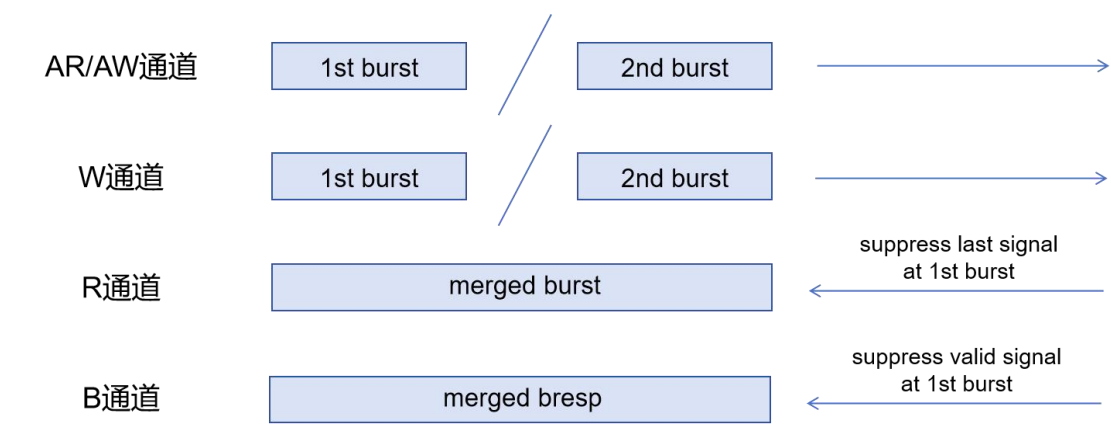


图 3-1 AXI 边界保护单元对从机的 5 个通道的处理

四 SDRAM-PHY

SDRAM-PHY 以通用 AXIS 接口的形式向用户开放命令和读写数据接口，将用户命令、读写数据流转换为 SDRAM 接口，对用户屏蔽了底层的 SDRAM 协议，用户仅需关心读写操作。

SDRAM-PHY 有如下特性和参数：

- 自动处理初始化和刷新
- 自动向读写数据命令插入合适的激活/预充电命令
- 满足 SDRAM 接口时序
- 2 位 bank 地址，11 位行/列地址
- 全页突发模式下，支持实时统计写突发长度

SDRAM-PHY 的组成如图 4-1 所示。在 SDRAM [命令处理](#) 中，命令代理接收逻辑命令，以符合 SDRAM 时序要求的方式驱动命令线；逻辑命令流可由初始化命令序列、刷新命令和用户命令三种组成，上电后先选通初始化命令序列，刷新命令的插入由定时器决定，其余时刻用户命令得以输入。刷新命令的插入不会破坏 sdram 中 bank 的状态，它会记录刷新前每个 bank 已激活的行号，然后在刷新后恢复回去。用户命令前处理能根据 sdram 中 bank 的当前状态向用户提供的读写命令前插入合适的预充电和激活命令。在 SDRAM [数据处理](#) 中，数据缓冲区提供了以突发为单位的广义 FIFO 缓存，然后由数据代理根据命令代理提供的突发信息控制 SDRAM 数据线，向数据缓冲区加载/存储数据。SDRAM-PHY 能确保每个用户读/写命令被接受前，读/写数据缓冲区处于非满/非空状态，保证了读写突发的完整性。

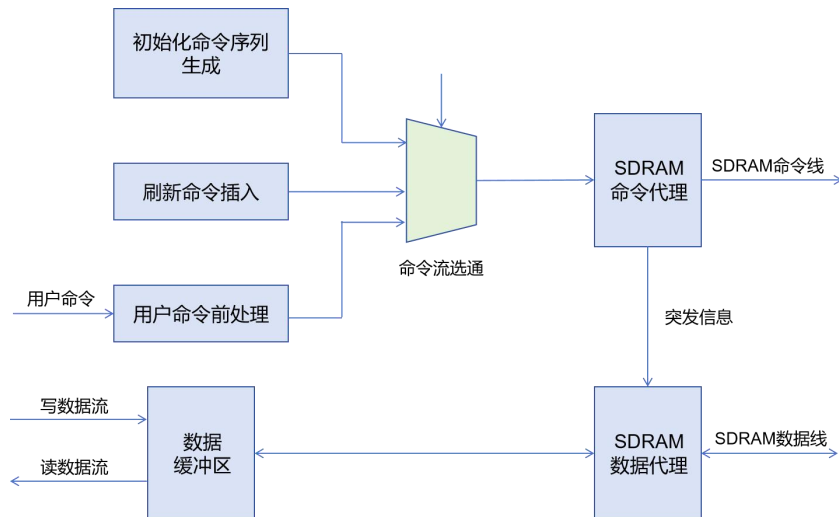


图 4-1 SDRAM-PHY 组成框图

五 使用说明

AXI-SDRAM 控制器使用标准的 AXI-FULL 协议，具有较强的通用性。但需要注意的是，它有以下局限性：

- (1) 仅支持 INCR 突发类型
- (2) 不支持窄带传输
- (3) 32 位地址/数据总线
- (4) sdrdam 突发类型固定为全页

对 AXI-SDRAM 一种典型应用构架如图 5-1 所示。将处理器系统和 DMA 等高带宽 AXI 主机通过 **AXI 总线互联** 接入 AXI-SDRAM 控制器，以实现 SDRAM 的高带宽访问。

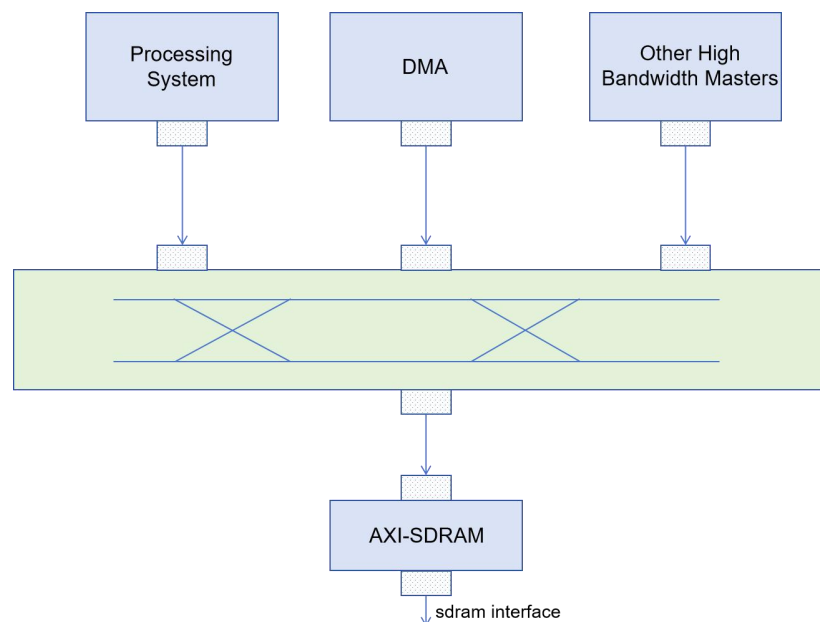


图 5-1 AXI-SDRAM 控制器的典型应用构架

AXI-SDRAM 是基于型号为 **EM638325T** 的 SDRAM 编写的，该型号 SDRAM 的数据手册已在 doc 文件夹中给出，请浏览该数据手册并在使用时注意时序兼容性。

本 IP 所提供的简单双口 RAM 的顶层 RTL 文件为 **bram_simple_dual_port.v**，由于 RAM 可能与器件类型有关，必要时请根据设计要求进行替换。本 IP 在 **sdrdam_phy.v** 中（第 147 行）使用了 **oddr**，**oddr** 可能与器件类型有关，必要时请根据设计要求进行替换。

如需仿真，请修改 **sdrdam_phy.v** 第 127 行的内部参数 **sim_mode**，将其设置为 **"true"**。

六 IO 表

表 6-1 展示了 AXI-SDRAM 的 IO，AXI-SDRAM 主要包含一个 [AXI 从机接口](#) 和一个 [SDRAM 接口](#)。

表 6-1 AXI-SDRAM 的 IO 表

名称	方向	位宽	含义
时钟和复位			
clk	input	1	时钟
rst_n	input	1	异步复位，低有效
AXI 从机接口			
s_axi_araddr	input	32	
s_axi_arlen	input	8	
s_axi_arsize	input	3	仅支持 3'b010，即突发长度为 32 位
s_axi_arvalid	input	1	
s_axi_arready	output	1	
s_axi_rdata	output	32	
s_axi_rlast	output	1	
s_axi_rresp	output	2	常量 2'b00
s_axi_rvalid	output	1	
s_axi_rready	input	1	
s_axi_awaddr	input	32	
s_axi_awlen	input	8	
s_axi_awsized	input	3	仅支持 3'b010，即突发长度为 32 位
s_axi_awvalid	input	1	
s_axi_awready	output	1	
s_axi_wdata	input	32	
s_axi_wstrb	input	4	
s_axi_wlast	input	1	
s_axi_wvalid	input	1	
s_axi_wready	output	1	
s_axi_bresp	output	2	常量 2'b00
s_axi_bvalid	output	1	
s_axi_bready	input	1	
sdram 接口			
sdram_clk	output	1	
sdram_cke	output	1	常量 1'b1
sdram_cs_n	output	1	
sdram_ras_n	output	1	
sdram_cas_n	output	1	
sdram_we_n	output	1	
sdram_ba	output	2	
sdram_addr	output	11	

sdram_dqm	output	4	
sdram_dq_i	input	32	
sdram_dq_o	output	32	
sdram_dq_t	output	32	

七 配置参数表

表 7-1 AXI-SDRAM 的 IP 配置参数表

参数名	含义	默认值	取值范围
arb_algorithm	读写仲裁算法	"round-robin"	"round-robin" "fixed-r" "fixed-w"
en_unaligned_transfer	是否允许非对齐传输	"false"	"true" "false"
clk_period	时钟周期(以 ns 计)	7.0	取决于 sdram 定时要求
refresh_itv	刷新间隔(以 ns 计)	12500.0	
forced_refresh_itv	强制刷新间隔(以 ns 计)	14062.5	
max_refresh_itv	最大刷新间隔(以 ns 计)	15625.0	
tRC	(激活某个 bank -> 激活同一 bank)和(刷新完成时间)的最小时间要求	70.0	
tRRD	(激活某个 bank -> 激活不同 bank)的最小时间要求	14.0	
tRCD	(激活某个 bank -> 读写这个 bank)的最小时间要求	21.0	
tRP	(预充电某个 bank -> 刷新/激活同一 bank/ 设置模式寄存器)的最小时间要求	21.0	
tRAS_min	(激活某个 bank -> 预充电同一 bank)的最小时间要求	49.0	
tRAS_max	(激活某个 bank -> 预充电同一 bank)的最大时间要求	100000.0	
tWR	(写突发结束 -> 预充电)的最小时间要求	2.0	
cas_latency	sdram 读潜伏期时延	2	2 3
rw_data_buffer_depth	读写数据 buffer 深度	512	512 1024 2048 4096
en_cmd_s2_axis_reg_slice	是否使能第 2 级命令	"true"	"true" "false"

	AXIS 寄存器片		
en_cmd_s3_axis_reg_slice	是否使能第 3 级命令 AXIS 寄存器片	"true"	"true" "false"
en_expt_tip	是否使能异常指示	"false"	"true" "false"
sdram_if_signal_delay	sdram 接口信号延迟 (仅用于仿真)	2.5	---

注：（1）用户命令流输入到 sdram 命令输出存在 3~6clk 时延，这与可选的命令寄存器片有关：[第 1 级 AXIS 寄存器片 1clk] -> [第 2 级 AXIS 寄存器片 1clk] -> [第 3 级寄存器片 1clk] -> 命令代理判定 1clk -> 由写数据引起的延迟补偿 2clk，为了改善时序，建议将 1~3 级寄存器片均使能。

（2）自动刷新预警有效时（取决于[刷新间隔](#) refresh_itv），等待所有 bank 空闲时才刷新；

强制自动刷新时（取决于[强制刷新间隔](#) forced_refresh_itv），不再等待所有 bank 空闲时才刷新而进行强制刷新；

[最大刷新间隔](#) max_refresh_itv 仅用于检查是否在规定的时间内刷新 sdram。

八 性能和面积

测试器件型号为 xilinx 的 xc7z020clg400-2，采用默认参数进行综合，结果如表 8-1 所示。

表 8-1 AXI-SDRAM 的性能和资源消耗

最高时钟频率	200MHz
资源消耗	LUT: 697 FF: 1047 Bram18K: 2 片