

Триггеры

Напомним, что цифровые устройства разделяются на два больших класса: *комбинационные* устройства, которые не обладают памятью, и *последовательностные* устройства, обладающие памятью. Простейшим элементом памяти являются триггеры, которым и посвящена эта лекция.

Последовательностные устройства

Значения сигналов на выходах комбинационных устройств однозначно определяются только текущими значениями входных сигналов. В последовательностных устройствах значения выходных сигналов в каждый момент (интервал) времени зависят не только от значений входных сигналов в тот же момент времени, как это имело место в комбинационных устройствах, но и от их предыдущих значений. Последовательностные устройства реализуют функциональную связь не между отдельными комбинациями (наборами) входных и выходных сигналов, а между их *последовательностями*. Поэтому последовательностные устройства должны обладать памятью, благодаря которой сохраняется информация о предыдущих воздействиях входных сигналов.

Поведение любого цифрового устройства определяется изменением во времени некоторых физических величин токов и напряжений на его входах, выходах и внутри самого устройства. В дальнейшем будем их называть входными, выходными и внутренними переменными. В отличие от комбинационных устройств выходные сигналы последовательностных устройств определяются не только комбинацией входных сигналов, но зависят также от внутреннего состояния устройства (т.е. набора внутренних переменных) при приходе входных сигналов.

Внутреннее состояние последовательностного устройства отражает предысторию его работы, т. е. память устройства. Наличие памяти является характерным свойством любого последовательностного устройства, поэтому последовательностные устройства могут быть представлены состоящими из двух блоков: логического преобразователя, выполненного на основе комбинационных устройств, и блока памяти.

Различают два типа последовательностных устройств: асинхронные и синхронные (тактируемые). В асинхронных цифровых устройствах все входы равноправны, и изменение сигнала на любом входе может вызвать изменение сигналов на каких-либо выходах. В синхронных последовательностных устройствах имеется один выделенный вход синхронизации (С или *clk*), и входные сигналы могут воздействовать на цифровое устройство лишь при наличии определенного сигнала на этом входе (обычно, ПУ обрабатывает входные сигналы в моменты *смены* уровня сигнала синхронизации с высокого на низкий и/или наоборот).

Триггеры

Базовым элементом для построения последовательностных устройств является бистабильная ячейка – триггер. Основным свойством триггеров, представляющих собой простейшие последовательностные устройства, является сохранение одного из двух¹ устойчивых состояний после прекращения действия входных сигналов. Другими словами, триггер представляет из себя простейший элемент памяти на один бит.

Говорят, что триггер находится в нулевом (единичном) состоянии, если в нем хранится 0 (1). В нулевом состоянии триггера на его выходе присутствует 0, в единичном – 1. Можно заметить, что у триггеров есть только один выход (часто присутствует второй выход: инверсный относительно первого).

Триггеры используются для построения более сложных последовательностных устройств: регистров, счетчиков, ОЗУ и др.

¹ В зависимости от технологии триггер может иметь более двух устойчивых состояний.

Существуют различные схемы классификации триггеров. Нас будет интересовать две схемы: функциональная и по способу ввода/вывода данных. Естественно, разные схемы классификации дополняют друг друга.

Функциональная схема классификации различает триггеры по способу организации логических связей между входами и выходами. При этом триггеры характеризуются количеством входов и их функциональным назначением. Различают RS, JK, T и D-триггеры (см. ниже).

По способу ввода-вывода данных различают синхронные и асинхронные триггеры, двухступенчатые и одноступенчатые, со статическим управлением и с динамическим.

RS-триггер

Простейший RS-триггер имеет два входа: R – reset, S – set. При наличии логической 1 на входе R триггер переходит в нулевое состояние. В случае, когда на входе R – 0, а на входе S – 1, триггер переходит в единичное состояние. Когда на входах триггера нули, триггер находится в режиме хранения информации, а комбинация из двух единиц на входах триггера является запрещенной. В табл. 1, 2 представлены таблица переключений и таблица истинности для RS-триггера, а на рис. 1 показана его схема, выполненная на элементах ИЛИ-НЕ.

Таблица 1. Таблица переключений RS-триггера.

R^n	S^n	Q^n
0	0	Q^{n-1}
0	1	1
1	0	0
1	1	–

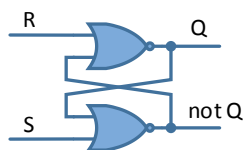


Таблица 2. Таблица истинности для RS-триггера

R^n	S^n	Q^{n-1}	Q^n
0	0	0	0
0	0	1	1
0	1	0	1
0	1	1	1
1	0	0	0
1	0	1	0
1	1	0	–
1	1	1	–

Рисунок 1. Схема RS-триггера на элементах ИЛИ-НЕ

RS-триггер может быть дополнен входом разрешения работы (E – Enable). Такой триггер при наличии единицы на входе Enable будет работать, как обычный RS-триггер без разрешающего входа. Когда на разрешающем входе нулевой сигнал такой триггер не будет реагировать на сигналы на входах R и S.

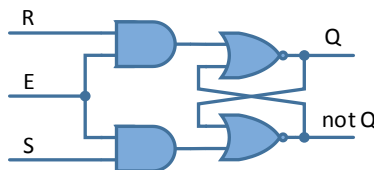


Рисунок 2. Схема RS-триггера с разрешающим входом

JK-триггер

JK-триггер по своему функциональному описанию совпадает с RS-триггером, с тем исключением, что у JK-триггера комбинация из двух единиц на входах не является запрещенной. Входы J и K JK-триггера соответствуют входам S и R RS-триггера. При появлении на входах JK-триггера комбинации из двух единиц происходит инверсия состояния триггера.

Таблица 4. Таблица истинности для JK-триггера

K^n	J^n	Q^{n-1}	Q^n
0	0	0	0
0	0	1	1
0	1	0	1
0	1	1	1
1	0	0	0
1	0	1	0
1	1	0	1
1	1	1	0

Таблица 3. Таблица переключений JK-триггера.

K^n	J^n	Q^n
0	0	Q^{n-1}
0	1	1
1	0	0
1	1	not Q^{n-1}

Так же, как и RS-триггер, JK-триггер может быть дополнен входом разрешения работы.

Описанный JK-триггер является неустойчивым, т.к. при подаче на его входы единичных сигналов, будет происходить непрерывное переключение триггера из одного состояния в другое и обратно (режим генерации). Для того, чтобы триггер стал устойчивым и не переходил в режим генерации, добавляют специальные входы для сигнала тактирования и разрешения работы.

D-триггеры и D-триггеры с входом разрешения работы

D-триггер имеет только один вход D (data). При подаче на вход D-триггера нуля триггер переходит в нулевое состояние, при подаче единицы – в единичное.

D-триггер может быть построен на основе RS-триггера. В этом случае один из входов подключается через инвертор к другому входу. Тем самым исключается запрещенная комбинация из двух единиц на входе RS-триггера, входящего в состав D-триггера. Также в схеме на рис. 3 исключена возможность появления комбинации из двух нулей на входе RS-триггера, т.е. триггер утратил способность запоминать информацию и фактически является куском провода.

Таблица 5. Таблица переключений D-триггера.

D^n	Q^n
0	0
1	1

Таблица 6. Таблица истинности для D-триггера

D^n	Q^{n-1}	Q^n
0	0	0
0	1	0
1	0	1
1	1	1

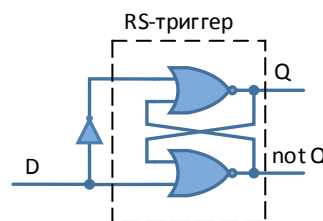


Рисунок 3. Схема D-триггера на основе RS-триггера.

Для того, чтобы описываемый D-триггер мог хранить информацию необходимо сигнал с его выхода подать на вход и обеспечить возможность выбора сигнала для загрузки в триггер: сигнала обратной связи (т.е. предыдущее значение триггера) или нового сигнала (обновление состояния триггера). Такая задача решается введением линии обратной связи и добавлением входа разрешения работы (E, Enable) и мультиплексора (рис. 4). Альтернативным решением является применение RS-триггера с разрешающим входом (рис. 5).

Таблица 7. Таблица переключений D-триггера с входом разрешения работы.

E	D^n	Q^n
0	–	Q^{n-1}
1	0	0
1	1	1

Таблица 8. Таблица истинности для D-триггера с входом разрешения работы

E	D^n	Q^{n-1}	Q^n
0	0	0	0
0	0	1	1
0	1	0	0
0	1	1	1
1	0	0	0
1	0	1	0
1	1	0	1
1	1	1	1

D-триггер с входом разрешения работы (иногда его называют DV-триггером) обновляет свое состояние при подаче 1 на вход E и находится в режиме хранения (игнорирует сигнал на входе D) в противоположном случае. Таким образом, триггер может находиться в двух состояниях: открытое (триггер пропускает через себя сигнал со входа D) и закрытое (триггер выдает сохраненную информацию)².

T-триггеры

Счетный триггер – T-триггер (T, toggle) – имеет один информационный вход и переключается в противоположное состояние при наличии на входе единичного сигнала.

Таблица 9. Таблица переключений T-триггера.

T^n	Q^n
0	Q^{n-1}
1	not Q^{n-1}

Такой триггер является неустойчивым, т.к. при подаче на его вход единицы, будет происходить непрерывное переключение триггера из одного состояния в другое и обратно (режим генерации). Для того, чтобы триггер стал устойчивым и не переходил в режим генерации, добавляют специальный вход для сигнала тактирования. Об этом – в следующих подпунктах.

Сигнал тактирования и синхронные цифровые устройства

Перечисленные выше триггеры представляют из себя одноступенчатые асинхронные триггеры. Они могут менять свое состояние в произвольный момент времени: как только изменяются входные сигналы, меняются выходные и состояние триггера. В англоязычной литературе триггеры такого типа называются latch, защелка.

Применение триггеров-защелок в сложных цифровых устройствах может привести к снижению быстродействия устройства (за счет неудачного синтеза и разводки проекта) и к появлению непрогнозируемых ошибок, очень сложных в обнаружении.

В сложных цифровых устройствах важно³, чтобы состояния всех последовательностных устройств, входящих в его состав, менялись одновременно с определенным периодом. Для решения этой задачи необходимо выделить специальный сигнал синхронизации и обеспечить триггеры цепями управления, чувствительными не к уровню сигнала (как у триггеров-защелок), а

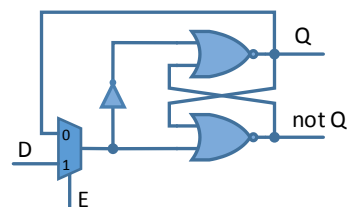


Рисунок 4. Схема D-триггера с входом разрешения работы на основе мультиплексора.

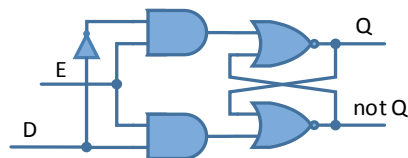


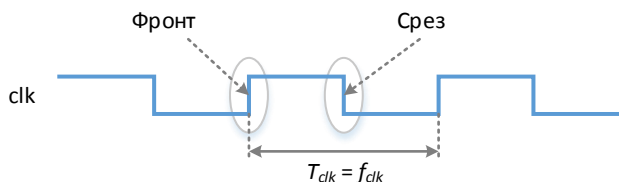
Рисунок 5. Схема D-триггера с входом разрешения работы без мультиплексора.

² Заметим, что использование такого типа триггеров при программировании FPGA в большинстве случаев является неудачным решением, результатом которого могут быть проблемы с обеспечением требуемого быстродействия работы проектируемого устройства.

³ Это связано с состязаниями сигналов в цифровых устройствах.

к его изменению (т.е. обеспечить динамическое управление триггерами). Сигнал синхронизации также называют сигналом тактирования или просто – синхросигнал.

Сигнал тактирования представляет из себя периодическую последовательность прямоугольных импульсов. Переход синхросигнала из 0 в 1 называется фронтом, переход из 1 в 0 – срезом. Один такт синхросигнала – это интервал времени между двумя последовательными фронтами (или срезами). Периодом T_{clk} синхросигнала называется длительность одного такта, а частотой f_{clk} – количество тактов за одну секунду. Современные FPGA поддерживают тактовые частоты порядка 500 МГц.



Последовательностные цифровые устройства, управляемые сигналом тактирования, называются синхронными. Синхронные цифровые устройства могут менять свое состояние только в моменты фронтов или/и срезов синхросигнала.

Триггеры с динамическим управлением (т.е. управляемые фронтом или срезом сигнала тактирования) в англоязычной литературе называют flip-flop. В таких триггерах запоминание входной информации выполняется по фронту и/или срезу синхросигнала.

Синхронный D-триггер

Для построения синхронного D-триггера (D-flip-flop) с динамическим управлением используют несколько триггеров (двухступенчатый триггер).

На рис. 6 показана схема такого триггера на основе двух D-триггеров-защелок. Первый триггер в цепочке называют ведущим (master), второй – ведомым (slave). В представленной схеме управление триггером осуществляется по фронту тактового сигнала. В триггере на рис. 6 ведущий триггер открыт, когда на входе clk присутствует 0, т.е. сигнал QM повторяет сигнал D. Но ведомый триггер при этом закрыт, он находится в режиме хранения. При изменении уровня сигнала тактирования с нуля на единицу, ведущий триггер закрывается, а ведомый открывается и обновляет свое состояние.

На рис. 7 представлена временная диаграмма работы синхронного D-триггера с динамическим переключением. Видно, что сигнал D на входе триггера меняется в произвольные моменты времени, на входе иногда появляются короткие импульсы. При этом триггер “не видит” эти импульсы: на выходе триггера сигнал меняется только по фронту тактовой частоты, в другие моменты времени выходной сигнал остается постоянным.

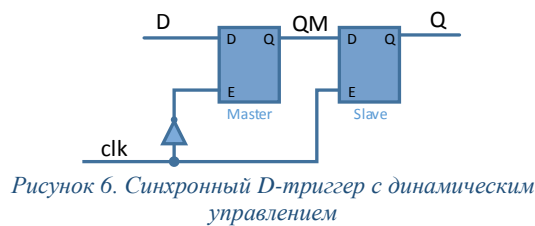


Таблица 10. Таблица переключений для синхронного D-триггера с динамическим управлением

clk	D^n	Q^n
0	—	Q^{n-1}
1	—	Q^{n-1}
↑	0	0
↑	1	1

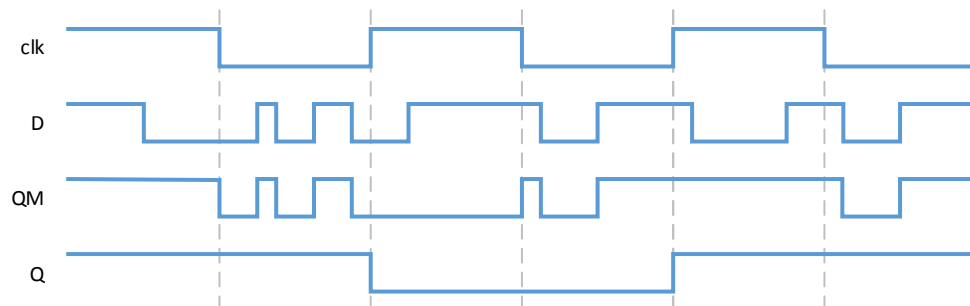


Рисунок 7. Временная диаграмма работы синхронного D-триггера с динамическим переключением.

Отметим, что возможны альтернативные схемы построения синхронного D-триггера с динамическим управлением, например, на трех RS-триггерах.

В описанном D-триггере обновление состояния триггера происходит один раз за такт синхросигнала. Для того, чтобы загрузкой данных можно было управлять, необходимо добавить вход разрешения записи, как это уже делалось для триггера-защелки (рис. 8).

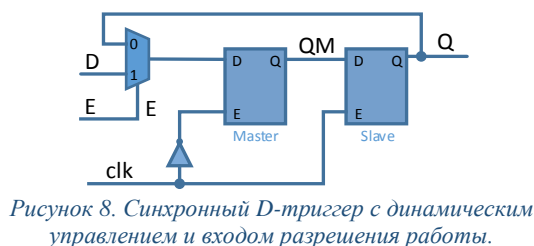


Таблица 11. Таблица переключений для синхронного D-триггера с динамическим управлением и входом разрешения работы

clk	E	D^n	Q^n
0	—	—	Q^{n-1}
1	—	—	Q^{n-1}
↑	0	—	Q^{n-1}
↑	1	0	0
↑	1	1	1

Дополнительно к уже описанным синхронным входам (т.е. входам, значения сигналов на которых влияют на состояние триггера только в моменты фронта/среза сигнала тактирования) в триггерах могут присутствовать и асинхронные входы. Обычно, это входы асинхронного сброса и установки. Они необходимы для инициализации триггеров.

В заключение отметим, что управление триггером может быть не только динамическим, но и статическим, т.е. триггер реагирует на уровень сигнала, а не фронт или срез. В этом случае получаем уже рассмотренные триггеры-защелки.

Особенности FPGA

В современных FPGA обычно физически реализованы D-триггеры, остальные типы триггеров строят на их основе. При этом триггеры могут работать либо в режиме триггера-защелки (latch), либо в режиме синхронного триггера с динамическим управлением (flip-flop). Каждый триггер имеет следующие входы: данных, тактирования, разрешения работы и универсальный вход сброса/установки. Последний вход может работать в синхронном или асинхронном режиме и только на сброс или установку. При необходимости реализовать триггер с возможностью и сброса, и установки, задействуется дополнительная таблица истинности.

Триггеры размещаются в конфигурируемых логических блоках справа от таблиц истинности и цепей переноса (рис. 9).



Рис. 9. Расположение триггеров в конфигурируемых логических блоках FPGA Xilinx 7 поколения