

## Статический временной анализ

Важнейшим этапом разработки цифровых устройств является статический временной анализ. Он позволяет определить быстродействие разработанного устройства и понять, что все его внутренние узлы и интерфейсные модули успевают корректно и однозначно выполнять свои функции на заданных тактовых частотах и на заданной элементной базе (в конкретной FPGA).

### Время установки (setup time) и время удержания (hold time)

Современные синхронные цифровые устройства в качестве базовых элементов включают в себя комбинационные элементы (таблицы истинности и мультиплексоры в FPGA и логические вентили в CPLD) и синхронные триггеры с динамическим управлением (flip-flop, далее – просто триггеры<sup>1</sup>). Каждый комбинационный элемент имеет конечное время срабатывания, которое учитывается при расчете задержек прохождения сигналов по комбинационным элементам. В свою очередь, триггер<sup>2</sup> во временной области характеризуется двумя параметрами: временем установки (setup time) и временем удержания (hold time).

Для корректной работы триггера, сигнал на его информационном входе должен быть стабильным (т.е. не меняться) в течение некоторого временного окна вокруг фронта<sup>3</sup> сигнала тактирования (рис. 1). Если входной сигнал изменится внутри этого окна, то однозначно сказать, что будет на выходе триггера невозможно: выходной сигнал может быть реакцией на текущий входной сигнал или предыдущий, также триггер может перейти в метастабильное состояние<sup>4</sup>. В любом случае ситуация будет катастрофически плохой: разработчик не может однозначно предсказать значение выходного сигнала. Это приводит к непонятным, “магическим” сбоям в работе цифрового устройства, которые сложно воспроизводимы и трудно поддаются отладке.

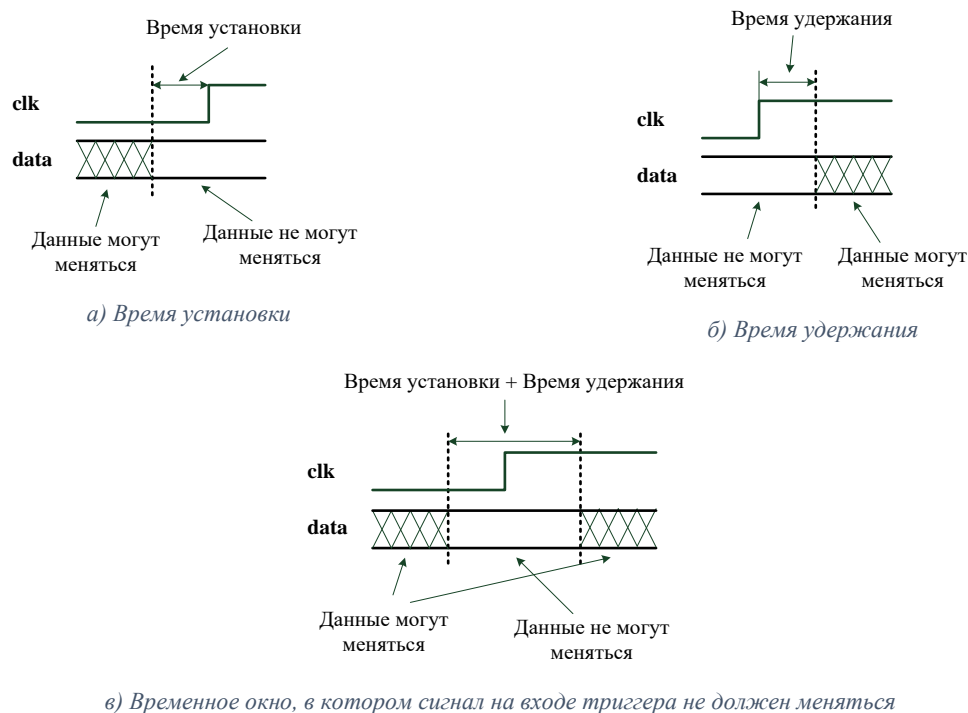


Рис. 1. Изображение времен установки и удержания

<sup>1</sup> В современных FPGA используются синхронные D-триггеры с динамическим управлением.

<sup>2</sup> В общем случае – любой синхронный последовательностный элемент.

<sup>3</sup> Либо среза сигнала тактирования.

<sup>4</sup> Понятие метастабильного состояния триггера будет раскрыто в следующей лекции.

Временное окно, о котором идет речь состоит из суммы времени установки  $T_{setup}$  и времени удержания  $T_{hold}$ .

**Время установки** триггера – это минимальный интервал времени перед фронтом сигнала тактирования, в течение которого входной сигнал триггера должен быть постоянным, для обеспечения корректного захвата этого сигнала триггером. Другими словами, триггеру необходимо некоторое время для надежного захвата входного сигнала.

**Время удержания** триггера – это минимальный интервал времени после фронта сигнала тактирования, в течение которого входной сигнал триггера должен быть постоянным, для обеспечения корректного сохранения этого сигнала триггером.

Важно понимать, что времена установки и удержания – это относительные величины, и рассматриваются они относительно фронта или среза сигнала тактирования. При этом они являются характеристикой конкретного элемента. Но при анализе цифрового устройства на время удержания и время установки (статическом временном анализе) рассматриваются интервалы времени, за которые до триггера доходят данные и сигнал тактирования. Т.е. на входе триггера рассматриваются задержки как данных, так и сигнала тактирования. При этом терминология сохраняется. Это может приводить к тому, что времена установки/удержания могут принимать не только положительные, но нулевые и даже отрицательные значения. Более подробно об этом в следующем пункте.

## Статический временной анализ

Статический<sup>5</sup> временной анализ (СВА) – это метод анализа временных характеристик цифрового устройства, не требующий моделирования его работы с позиций электрических схем.

При анализе временных характеристик разработанного цифрового устройства обычно ищут ответ на такие вопросы:

- успеют ли состязания в комбинационных устройствах завершиться к очередному фронту сигнала тактирования;
- не попадет ли какой-нибудь триггер в метастабильное состояние;
- в конце концов, какова максимально допустимая тактовая частота устройства.

Для ответа на эти вопросы можно выполнить моделирование разработанного устройства с учетом реального размещения и соединения элементов FPGA и с учетом задержек срабатывания этих элементов и времени распространения сигналов по соединительным линиям. Можно даже провести моделирование на транзисторном уровне. Недостатком таких способов моделирования является чрезвычайно высокая ресурсоемкость и, как следствие, большое время моделирования (месяцы).

При выполнении СВА функции устройства не рассматриваются, не анализируется поведение устройства в динамике (не анализируются процессы, протекающие в устройстве), а рассматриваются только времена срабатывания элементов и задержки сигналов на соединительных линиях.

Задачей СВА является расчет времен распространения сигналов по всем возможным путям внутри цифрового устройства для всех возможных комбинаций входных сигналов, поиск наихудшего пути и, в конце концов, поиск нарушений в соответствии с заданными правилами (constraints).

Если обобщить, то весь временной анализ можно свести к поиску ответа на один вопрос: какова максимально допустимая тактовая частота устройства. При выполнении СВА анализируется только быстродействие элементов.

---

<sup>5</sup> Слово “статический” в названии метода относится к тому факту, что анализ не зависит от входных сигналов, а рассматриваются их все возможные комбинации.

СВА оперирует следующими понятиями:

- **путь** – путь сигнала от выхода одного синхронного элемента до входа другого синхронного элемента через комбинационные элементы;
- **критический путь** – путь, который имеет наибольшую задержку;
- **задержка распространения сигнала** – время распространения сигнала от выхода одного синхронного элемента до входа другого синхронного элемента;
- **допустимая задержка распространения сигнала** – максимальная задержка распространения сигнала, при превышении которой не гарантируется корректная работа устройства;
- **запас (slack)** – разность между допустимой и реальной задержкой сигнала.

При СВА нас интересует какие ограничения накладывают времена установки и удержания на период сигнала тактирования.

Как выполняется статический временной анализ?

Рассмотрим некоторый путь в цифровом устройстве (рис. 2). Путь начинается на выходе одного триггера (отправитель сигнала), проходит через соединительные линии, некие комбинационные элементы и снова через соединительные линии и завершается на вход второго триггера (получатель сигнала). На каждый фронт триггер-отправитель генерирует сигнал, а на следующий фронт триггер-получатель захватывает этот сигнал.

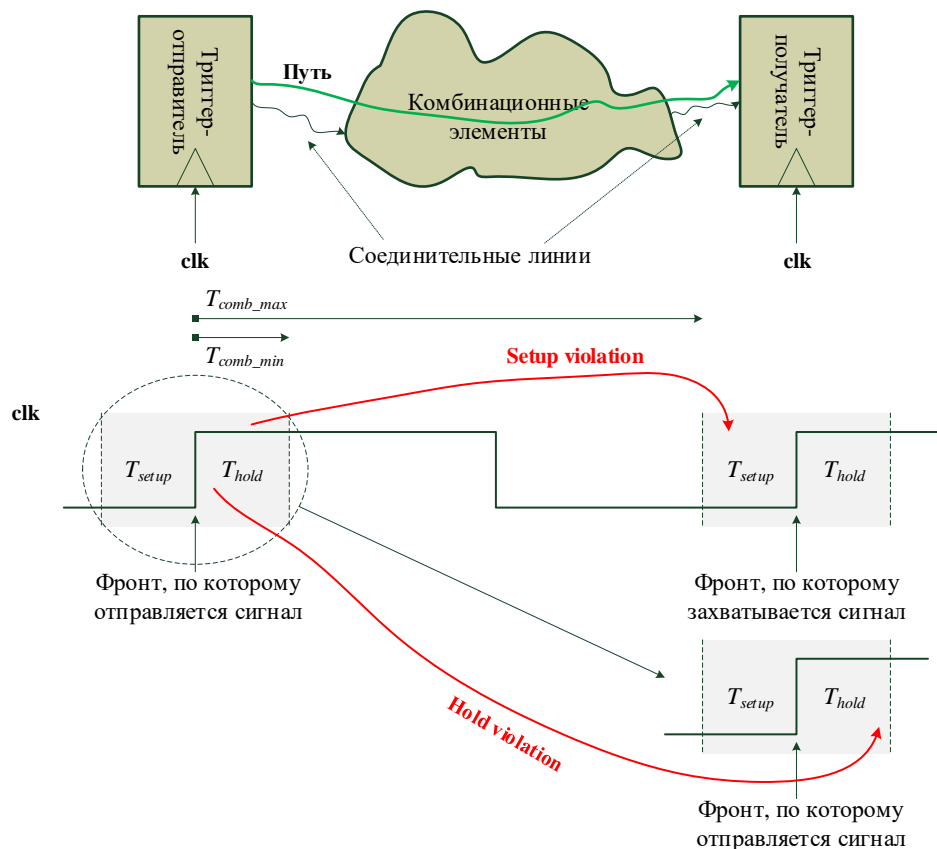


Рис. 2. Статический путь между двумя триггерами и возникновение ошибок установки и удержания

Время распространения сигналов по комбинационным элементам зависит от того, как меняются входные сигналы. Например, время реакции AND-элемента будет разным при переключении входов из нуля в единицу и наоборот. Это связано с тем, что логические вентили имеют в своем составе конденсаторы, а разные переключения входных сигналов предполагают зарядку или разрядку разного числа этих конденсаторов.

Таким образом, нет какого-то одного фиксированного времени распространения (задержки) сигнала по комбинационным элементам на рис. 2, а есть некий диапазон задержек от  $T_{comb\_min}$  до  $T_{comb\_max}$ . Первое учитывается при анализе на ошибки времени удержания (не приходят ли сигналы очень быстро), а вторые – при анализе на ошибки времени установки (не приходят ли сигналы очень поздно).

Рассмотрим сначала ситуацию, когда сигнал тактирования идеальный и его фронты одновременно приходят на все триггеры (рис. 2).

Новый сигнал, сгенерированный триггером отправителем, на вход триггера-получателя должен прийти не позднее, чем за  $T_{setup}$  перед следующим фронтом. Тогда должно выполняться следующее неравенство:

$$T_{comb\_max} < T_{clk} - T_{setup} \quad (1)$$

Ситуация, когда это неравенство не выполняется, называется ошибкой времени установки (setup violation). Это значит, что время распространения сигнала по комбинационным элементам **слишком большое** и новый сигнал не успевает прийти к триггеру получателя.

В свою очередь тот же новый сигнал не должен прийти на триггер-получатель слишком быстро, чтобы не попасть в его время удержания. Т.е. должно выполняться неравенство:

$$T_{hold} < T_{comb\_min} \quad (2)$$

Ситуация, когда это неравенство не выполняется, называется ошибкой времени удержания (hold violation). Это значит, что новый сигнал, сгенерированный триггером-отправителем по некоторому фронту, успеет прийти в интервал времени удержания триггера-получателя, соответствующий этому же фронту. Т.е. сигнал придет слишком быстро.

Обратим внимание, что при анализе на ошибки времени установки учитывается максимальная задержка в комбинационных элементах и соединительных линиях, а при анализе на ошибки времени удержания проверяется минимальная задержка.

Рассмотрим теперь ситуацию, когда сигнал тактирования неидеальный и его фронты на входы триггеров приходят неодновременно. В этом случае, говорят, что имеет место перекося сигнала тактирования (clock skew), величина перекося (skew) равна модулю разности времен прихода фронтов.

При неидеальном сигнале тактирования дополнительно рассматривают время задержки сигнала тактирования на пути к триггеру-источнику  $T_{clk\_src}$  (source clock delay) и время задержки сигнала тактирования на пути к триггеру-получателю  $T_{clk\_dest}$  (destination clock delay). Эти задержки так же, как и задержка на комбинационных элементах, имеет разброс значений.

С учетом этих задержек выражения (1) и (2) можно переписать следующим образом:

$$T_{comb\_max} + T_{clk\_src\_max} < T_{clk} - T_{setup} + T_{clk\_dest\_min} \quad (3)$$

$$T_{comb\_max} + T_{setup} - T_{skew} < T_{clk} \quad (3a)$$

$$T_{hold} + T_{clk\_src\_min} < T_{comb\_min} + T_{clk\_dest\_max} \quad (4)$$

$$T_{hold} < T_{comb\_min} + T_{skew} \quad (4.a)$$

В (3a) и (4a) перекося сигнала тактирования равен  $T_{skew} = T_{clk\_dest\_min} - T_{clk\_src\_max}$ .

Из (3) и (4) видно, что задержка сигнала тактирования к триггеру-получателю дает больше времени сигналу на распространение, а задержка сигнала тактирования к триггеру-отправителю – наоборот это время сокращает.

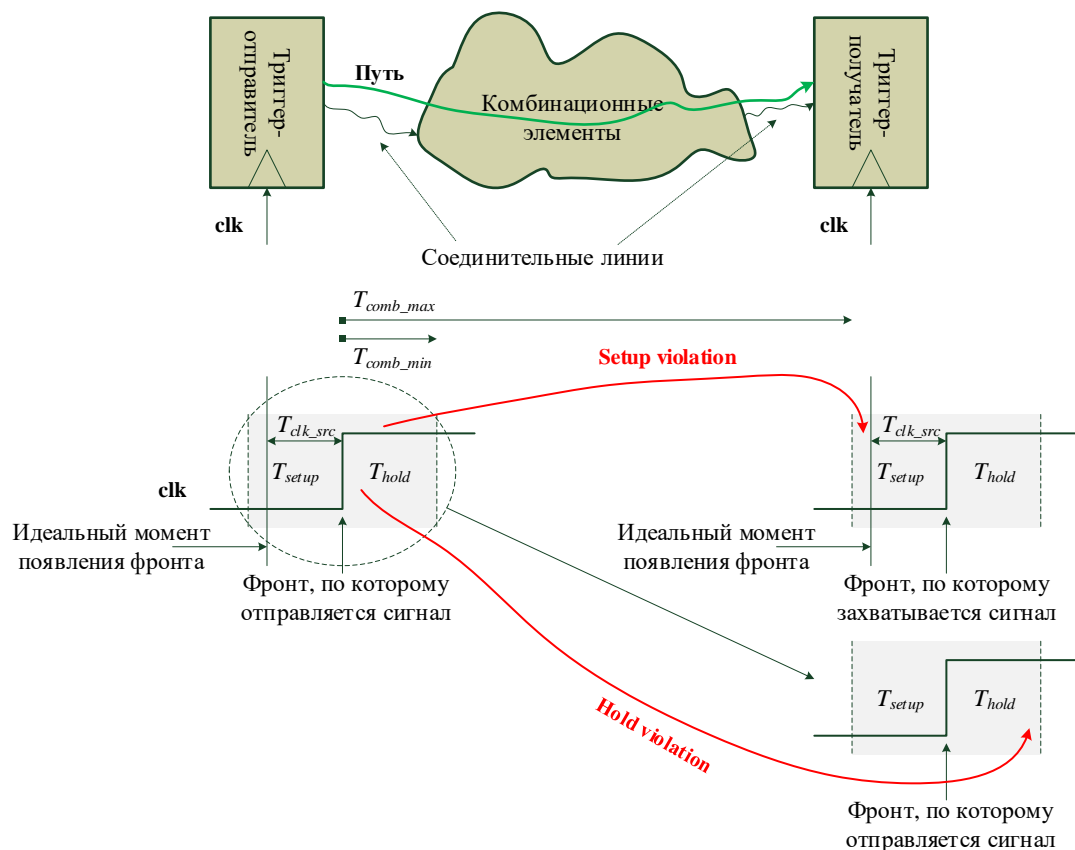


Рис. 3. Возникновение ошибок установки и удержания при перекосе сигнала тактирования

Устранить ошибки времени установки можно **уменьшив** частоту сигнала тактирования или **уменьшив** величину задержки в комбинационной логике (т.е. разбить путь через нее триггерами).

Для устранения ошибки времени удержания необходимо **увеличить** величину задержки в комбинационной логике.

Также оба типа ошибок можно также устранить, подобрав соответствующим образом величину перекоса сигнала тактирования (возможно при проектировании ASIC, в FPGA возможности для этого очень ограничены).

В случае, когда на рис. 3 сигналы тактирования триггеров разные, то для анализа берется наихудший вариант относительного размещения фронтов (т.е. когда они ближе всего друг к другу по времени).

Рассмотрим в итоге цифровое устройство в общем виде как некоторый конечный автомат. Если на некотором фронте сигнала тактирования мы запустили изменение состояния конечного автомата, то выполнение требования постоянства сигнала на времени установки обеспечит корректный переход автомата в **следующее** состояние. С другой стороны, выполнение требования постоянства сигнала на времени удержания, **предотвратит** переход автомата в следующее состояние на этом же фронте.

Важно отметить, что при соединении путями нескольких триггеров-получателей с одним триггером источником, задержки в каждом пути от источника к получателю не будут такими же, как если бы остальных путей не было. Это связано с тем, что источнику теперь нужно заряжать входные емкости большего числа элементов, т.е. потребуется больше времени, а, значит, задержки в путях дополнительно возрастут и могут привести к ошибкам времени установки.