

## Цепи сброса

При разработке цифровых устройств особое место занимает сигнал сброса. Его основное назначение – перевести последовательностные элементы (триггеры, регистры, счетчики, конечные автоматы, память и т.д.) в известное состояние и, тем самым, обеспечить корректное начало работы устройства.

Тем не менее, неаккуратное применение сигнала сброса может приводить к переходу сбрасываемых триггеров в метастабильное состояние и, как следствие, появлению невоспроизводимых сбоев в работе устройства. Также использование сброса может значительно (в разы) увеличить количество занятых ресурсов, увеличить энергопотребление и снизить максимальную тактовую частоту устройства.

## Входы управления триггера

Базовым ресурсом для построения последовательностных устройств в современных FPGA и ASIC является синхронный D-триггер с динамическим управлением (D flip-flop) (далее – триггер). Помимо входа данных и тактирования, триггеры в FPGA обычно еще имеют дополнительные входы разрешения работы (clock enable), синхронного сброса (reset) и установки (set), асинхронного сброса (clear) и установки (preset). Эти входы совместно с входом тактирования называются входами управления (control set) триггера (рис. 1). Более того, в современных FPGA для сброса/установки обычно используется комбинированный порт, который при прошивке может быть сконфигурирован **только** для работы в одном из четырех возможных режимов: reset, set, clear **или** preset.

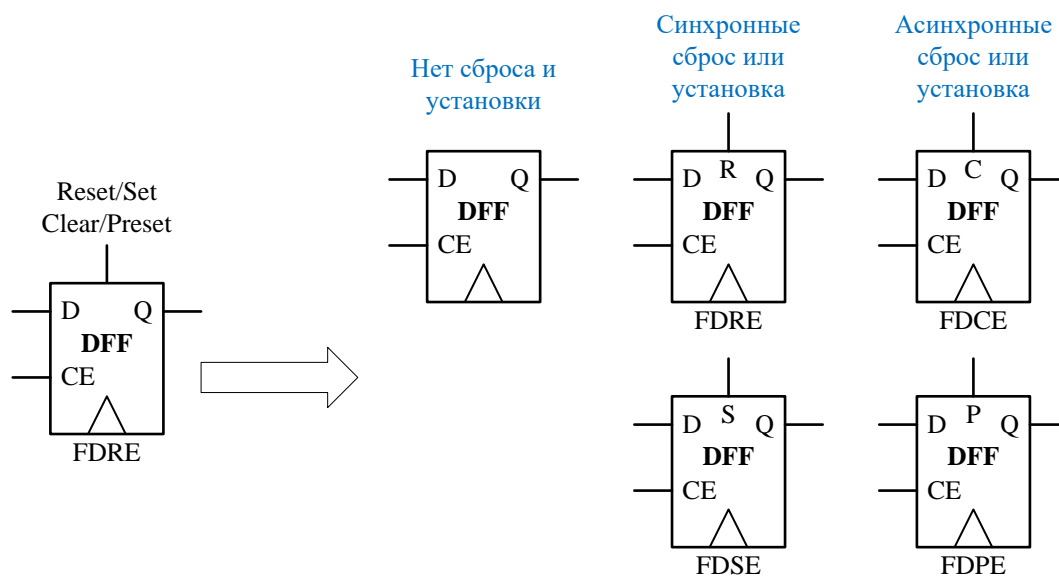


Рис. 1. Синхронные триггеры с различными входами управления

Интересно отметить, что в принципе триггеру не нужен вход сброса/установки. Аналогичный функционал может быть реализован на дополнительном комбинационном элементе, например, мультиплексоре. Однако, добавление цепей сброса/установки непосредственно в триггер, значительно сокращает общий объем ресурсов.

Активный уровень входов управления (уровень, по которому реализуется функция входа, например, выполняется сброс) может быть 0 или 1. Обычно, активный уровень всех входов управления единичный.

## Асинхронный сброс

Триггер с асинхронным сбросом может сбрасываться в произвольный момент времени независимо от сигнала тактирования, а также вообще без сигнала тактирования (рис. 2). Сигнал сброса к такому триггеру подключается ко входу clear.

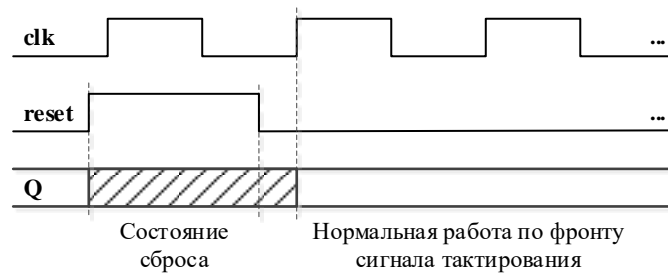


Рис. 2. Асинхронный сброс

Если сигнал асинхронного сброса достаточно долгий, то рано или поздно все сбрасываемые триггеры будут сброшены. Проблема возникает при выходе из состояния сброса. Переход сигнала асинхронного сброса из 1 в 0 может произойти очень близко по времени к активному перепаду сигнала тактирования триггера и перевести его в метастабильное состояние. Возникает интересное требование к сигналу сброса: несмотря на его асинхронную природу необходимо, чтобы он снимался синхронно с сигналом тактирования.

Для преодоления указанной проблемы можно использовать различные синхронизаторы, например, на основе последовательного соединения триггеров (рис. 3). Тогда новый сигнал сброса будет синхронным. Об особенностях синхронного сброса сказано ниже.

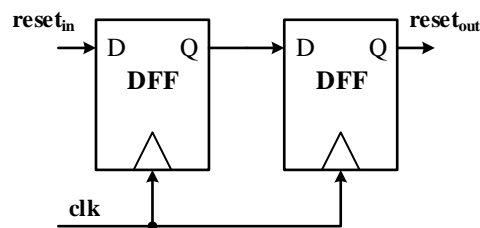


Рис. 3. Формирование синхронного сброса из асинхронного с помощью синхронизатора на основе двух триггеров

Также на сигнал асинхронного сброса не накладываются ограничения по времени распространения при статическом временном анализе, и это значит, что отдаленные участки FPGA могут выйти из состояния сброса по разным фронтам сигнала тактирования.

Итак, к достоинствам асинхронного сброса относится то, что переход в состояние сброса происходит независимо от сигнала тактирования. Недостатки асинхронного сброса касаются выхода из состояния сброса: при выходе триггеры могут перейти в метастабильное состояние, разные участки устройства могут выйти из сброса на разных тактах.

## Синхронный сброс

Триггер с синхронным сбросом реагирует на сигнал сброса только в моменты фронтов сигнала тактирования (рис. 4). При этом сигнал сброса к такому триггеру подключается ко входу reset.

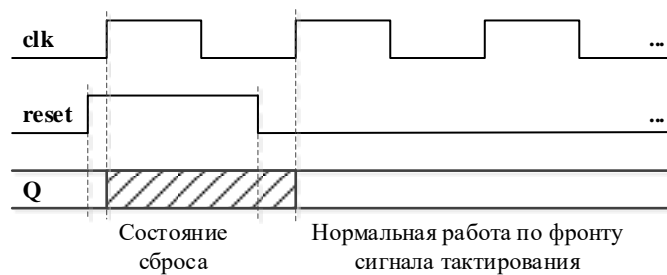


Рис. 4. Синхронный сброс

Сигнал синхронного сброса и пути, по которым он распространяется до триггеров, являются объектами статического временного анализа. Как следствие у сигнала синхронного сброса есть только один такт<sup>1</sup>, чтобы успеть распространиться до сбрасываемых устройств, но при этом гарантируется, что все они выйдут из состояния сброса в один момент времени. С другой стороны это приводит к значительному усложнению разводки проекта, в котором все сбросы синхронные, и использованию большого объема таких важных ресурсов FPGA, как соединительные линии между элементами<sup>2</sup>. Особенно ярко эта проблема возникает при попытке сделать сброс общим, т.е. сбрасывать все триггеры устройства.

Вследствие того, что при использовании синхронного сброса приоритет имеет сигнал тактирования, сбросить триггер в отсутствие сигнала тактирования невозможно.

Также, если момент прихода сигнала сброса не синхронизирован с фронтом сигнала тактирования, необходимо применять синхронизаторы, для предотвращения перехода сбрасываемых триггеров в метастабильное состояние. Это приводит к задержке сброса устройства.

Итак, важным достоинством синхронного сброса является его одновременное снятие для сбрасываемых триггеров. При этом реализация такого сброса требует больше соединительных ресурсов, а сам сброс зависит от наличия сигнала тактирования. Необходимость применения синхронизаторов приводит к задержке момента выполнения сброса.

## Асинхронная установка сброса и синхронное его снятие

Напомним, что основными недостатками асинхронного сброса является возможность появления метастабильности и неодновременный выход из состояния сброса, а синхронный сброс требует наличия сигнала тактирования и может выполняться с задержкой, обусловленной работой синхронизатора. Для устранения этих недостатков применяется схема<sup>3</sup> на основе цепочки из двух асинхронно сбрасываемых триггеров (рис. 5).

<sup>1</sup> Специальными методами (многократное дублирование триггеров-источников сигнала сброса, применение специальных ограничений) можно увеличить это время до нескольких тактов, однако общей проблемы значительного использования соединительных ресурсов и даже дополнительных логических элементов они не снимают.

<sup>2</sup> Соединительные линии для разводки проекта с синхронным сбросом будут задействованы в большем объеме, чем для разводки такого же проекта с асинхронным сбросом. Это связано с тем, что для выполнения требований по быстродействию линии разводки синхронного сброса могут быть продублированы значительное число раз.

<sup>3</sup> В англоязычной литературе такая схема называется reset bridge.

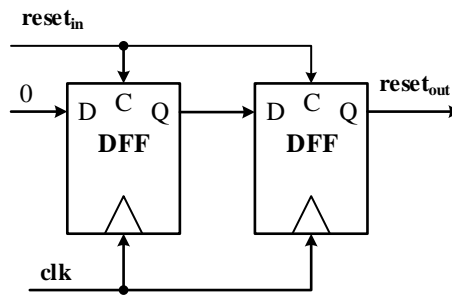


Рис. 5. Формирование сигнала сброса с асинхронной установкой и синхронным снятием

В схеме на рис. 5 входной сигнал сброса одновременно поступает на входы clear двух триггеров. Вход первого триггера подключен к 0. Когда на вход  $\text{reset}_{in}$  поступает единичный сигнал, оба триггера переходят в состояние сброса. При переходе входного сигнала сброса в 0 триггеры выходят из состояния сброса и ждут появления сигнала тактирования. По первому фронту нулевой сигнал на информационном входе первого триггера будет захвачен, по второму фронту этот нулевой сигнал захватит второй триггер.

Таким образом, рассмотренная схема позволяет переводить устройство в состояние сброса асинхронно, а выходить из него – синхронно.

Отметим, что в случае формирования сигнала сброса для нескольких тактовых доменов, сигнал сброса должен генерироваться отдельно для каждого домена.

## Дополнительные аспекты использования сигнала сброса

При реализации цифрового устройства в FPGA может возникнуть желание иметь вход глобального/системного/общего сброса. Системный сброс<sup>4</sup> – это такой сброс, который установит все триггеры, счетчики, линии задержки, блоки памяти, триггеры встроенных умножителей и др. в заданное начальное состояние. Т.е. есть некая “внешняя кнопка”, при нажатии на которую все сбрасывается. Это бездумный подход, чреватый гиперразрастанием проекта, и чрезмерным снижением достижимых тактовых частот.

На рис. 6 показан пример разведенного проекта, в котором активно используется общий сигнал сброса. Видно какая огромная нагрузка приходится на сигнал сброса (линии, по которым распространяется сигнал сброса подсвечены белым).

<sup>4</sup> Не путать со встроенным глобальным сбросом GSR.

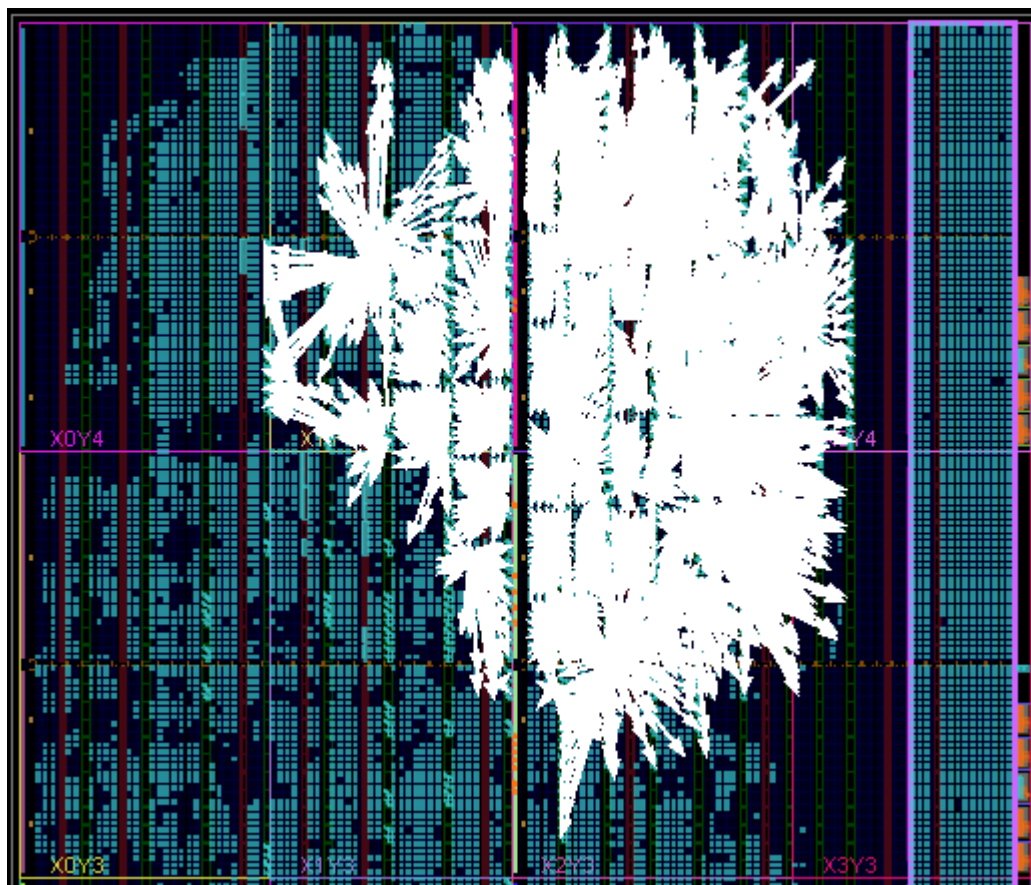


Рис. 6. Пример разведенного проекта с большим количеством элементов, у которых есть вход сброса

Существует несколько альтернатив такому подходу.

В первую очередь, современные FPGA имеют встроенный глобальный сигнал сброса/установки (GSR – global set reset). Это сигнал устанавливается при прошивке FPGA и снимается при ее окончании. При этом в качестве значений сигналов по умолчанию являются значения, указанные при их инициализации во время объявления в исходном коде (либо 0, если инициализация отсутствует). Этим сигналом можно искусственно управлять, т.е. реализовывать общий сброс.

Тем не менее, важным недостатком сигнала GSR является то, что он асинхронный. Т.е. при его снятии нет гарантии, что все элементы устройства выйдут из состояний сброса одновременно. Как следствие, нельзя полагаться на сигнал GSR при реализации сброса конечных автоматов, счетчиков и др. устройств, состояние которых может меняться сразу после снятия сброса.

Дополнительным подходом снижения расходов на реализацию сброса является, как ни странно, отказ от него. Оказывается, для корректной работы многих цифровых устройств наличие входа сброса вовсе не является обязательным. Например, линии задержки не нужен сигнал сброса – через некоторое количество тактов она выйдет на рабочий режим. В общем случае, устройствам, которые выполняют последовательную обработку сигналов, сигнал сброса может оказаться не нужным. Достаточно только подождать некоторое количество тактов, пока они выйдут на рабочий режим.

С другой стороны, контролирующие, управляющие устройства явный сигнал сброса иметь должны обязательно.