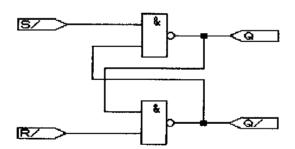
7. KLOPNÉ OBVODY

Dělení klopných obvodů:

Klopné obvody, jakožto paměťové prvky délíme dle synchronizace na obvody asynchronní a synchronní. Obvody synchronní dělíme dále na obvody synchronizované úrovní logického signálu nebo na obvody synchronizované hranou signálu. Dle konstrukce dělíme klopné obvody na statické a dynamické. Statické jsou tvořeny hradly a při zastavení synchronizačních pulzů uchovávají svůj stav. Dynamické mají paměťový prvek tvořený kapacitami a při zastavení synchronizačních pulzů po čase ztrácejí svůj vnitřní stav. Dle funkce dělíme pak klopné obvody na 'RS', 'JK', 'D' a 'T'.

Základní paměťový prvek je uveden na obr. 7.1a. Jde o asynchronní klopný obvod typu RS, tvořený hradly NAND. Na obr. 7.1b je uveden rovněž klopný obvod typu RS, tvořený hradly NOR. Všimněte si rozdílů mezi těmito obvody (signály RS jsou označeny jako negované, protože jsou aktivní v log. 0.). Zde stojí za povšimnutí i známě tvrzení, že na vstupy RS nesmíme přivěst dvě log. 1. Jak je ze schemat patrno, to závisí pouze na typu použitých hradel. Je třeba si uvědomit, že schema na obr. 7.1. má pouze jednu zpětnou vazbu a z hlediska kombinačního obvodu jde o obvod se třemi vstupy (R, S a Q/). Proto pravdivostní tabulka musí mít 8 řádek.

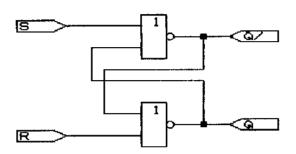


Obr. 7.1a Klopný obvod RS tvořený hradly NAND

Pravdivostní tabulka asynchronního klopného obvodu RS z hradel NAND

R	S	Qt	Qt+1
0	0	0	1x
0	0	1	1x
0	1	0	0
0	1	1	0
1	0	0	1
1	0	1	1
1	1	0	0
1	1	1	1
L			

Pozn. Stav 1X znamená, že tento stav je zakázaný. Tato skutečnost však nezakazuje jej použít, pokud nám bude vyhovovat, neb na výstupu je známý stav (log. 1). Stav Q^t znamená stav současný a stav Q^{t+1} znamená stav následný. Stav následný je také uvnitř map jednotlivých klopných obvodů (viz dále).



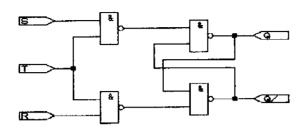
Obr. 7. 1b Klopný obvod typu RS tvořený hradly NOR

Pravdivostní tabulka asynchronního klopného obvodu RS z hradel NOR

R	S	Qt	Qt+1
0	0	0	0
0	0	1	1
0	1	0	1
0	1	1	1
1	0	0	0
1	0	1	0
1	1	0	х
1	1	1	х

Požadujeme-li obvod synchronizovaný úrovní, je třeba předsunout před asynchronní klopný obvod dvojici hradel (viz obr. 7.2.). Pak dostaneme obvod synchronizovaný kladnou úrovní signálu T. Povšimněte si pravdivostní tabulky. Protože však synchronizace pouze úrovní má své nevýhody (např. je náchylná k rušení), je potřeba synchronizovat klopné obvody jednorázovým signálem, který do značné míry rušení vyloučí.

Rešení je v synchronizaci hranou. Pro tento účel zdvojíme schema z obr. 7.2. a zavedeme zpětné vazby, jak naznačeno na obr. 7.3a. Tak obdržíme klopný obvod typu Master-Slave, nebo také dvojčinný klopný obvod RS. Jeho pravdivostní tabulka je na obr. 7.3a rovněž uvedena. Zde jsou však nevýhodné tzv. zakázané stavy, tj. 11 na vstupech RS. Abychom je odstranili, zavádíme další zpětné vazby. Zde je nutné vysvětlit, proč zrovna zavádíme zpětné vazby způsobem zde uvedeným. Zjistíme totiž, že kdybychom zavedli zpětné vazby, jak naznačeno na



Obr. 7.2. Klopný obvod typu RS řízený kladnou úrovní signálu T

Pravdivostní tabulka klopného obvodu RS

	R	s	Qt	Qt+1
I	0	0	0	0
1	0	0	1	1
1	0	1	0	1
1	0	1	1	1
١	1	0	0	0
H	1	0	1	0
H	1	1	0	х
ı	1	1	1	х
IL.				

obr. 7.3b, pak bychom dostali obvod, který by při zakázaném stavu 11 na vstupech RS (JK) podržel původní stav. Tím bychom mnoho nezískali, a proto je výhodnější použít zpětných vazeb uvedených na obr. 7.3b, které zaručují v případě vstupů JK=11 negaci původního stavu (viz pravdivostní tabulka v obr. 7.3b uvedená). Tak vznikne nový klopný obvod typu JK. Na základě zde již uvedených zapojení známe dva typy klopných obvodů dle funkce: klopné obvody RS a JK. Známe jejich pravdivostní tabulky a tudíž i mapy.

Existují však i další typy klopných obvodů: D a T. Jako první si definujme jejich funkci:

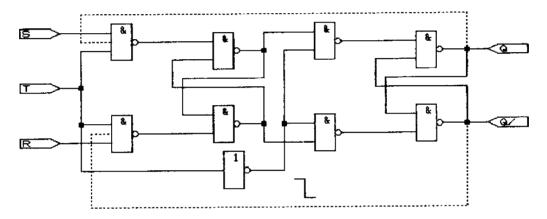
- klopný obvod typu D zpožďuje signály na vstupu D o jeden synchronizační impuls (hodinový takt)
- klopný obvod typu T mění svůj výstupní stav právě tehdy, jestliže na vstupu T je log. 1 a přijde synchronizační impuls

Na základě námi uvedených definic pak můžeme vysledovat zapojení výše zmíněných klopných obvodů. Zapojení klopného obvodu D vysledujeme z prostředních čtyřech řádků pravdivostní tabulky klopného obvodu JK (viz obr. 7.4.). Zapojení klopného obvodu T je uvedeno ve zbývajících řádcích této pravdivostní tabulky (viz obr. 7.5.). Na obrázku7.6a jsou pak i uvedeny mapy popisovaných klopných obvodů, které byly sestrojeny z pravdivostních tabulek

jednotlivých klopných obvodů.

Pravdivostní tabulka klopného obvodu RS

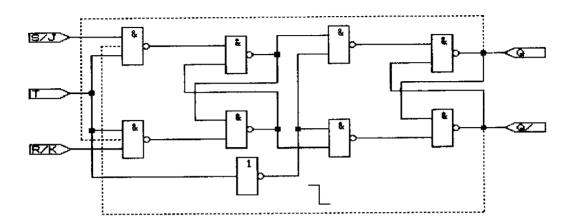
R	s	Qt	Qt+1
0	0	0	0
0	0	1	1
0	1	0	1
0	1	1	1
1	0	0	0
1	0	1	0
1	1	0	x
1	1	1	х



Obr. 7.3a Schema a pravdivostní tabulka dvojčinného klopného obvodu RS

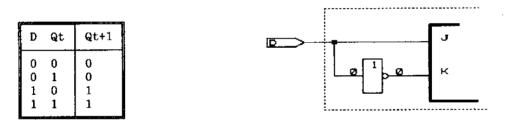
Pravdivostní tabulka klopného obvodu JK

	J	К	Qt	Qt+1
	0	0	0	0
H	0	0	1	1
ľ	0	1	0	0
ı	0	1	1	0
H	1	0	0	1
ł	1	0	1	1
ŀ	1	1	0	1
ı	1	1	1	0
Н				



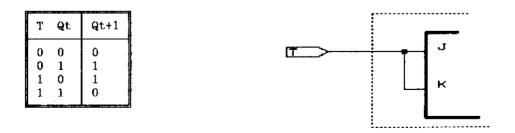
Obr. 7.3b Schema a pravdivostní tabulka dvojčinného klopného obvodu JK (nyní platí zapojení vedené i pomocí přerušované čáry)

Pravdivostní tabulka klopného obvodu D



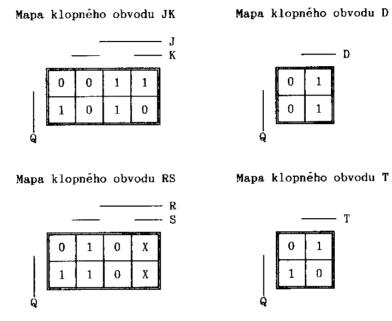
Obr. 7.4. Pravdivostní tabulka a schema dvojčinného klopného obvodu typu

Pravdivostní tabulka klopného obvodu typu T



Obr. 7.5. Schema dvojčinného klopného obvodu typu T

Na základě uvedených map (viz obr. 7.6a) můžeme sestrojit tzv. slovníky přechodů nebo též excitační tabulky. Tyto tabulky mají velkou důležitost pro návrh sekvenčních obvodů. Metoda jejich sestrojování je uvedena na obr. 7.6b.



Obr. 7.6a Mapy jednotlivých typů klopných obvodů

Vychází se z následujícího postupu. Pro změnu stavu Q na stav Q' existují možnosti naznačené šipkou. Jestliže např. pro klopný obvod JK platí, že pro změnu Q z nuly na jedničku musí být jednou J=K=1 a jednou J=1 a K=0, pak z toho vyvodíme, že J musí být na log. 1 a na K nezáleží (jednou je K=0 a jednou je K=1), tudíž mu přiřadíme neurčitý stav. Tabulka 1 ukazuje shrnutí excitačních tabulek pro všechny typy klopných obvodů. Všimněte si však i sloupce, kde jsou podtrženy <u>0</u> a <u>1</u>. Ty představují změny, a to takto:

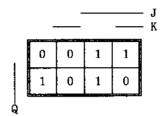
<u>0</u> z jedničky na nulu<u>1</u> z nuly na jedničku

Těchto změn pak lze využít pro úspornější minimalizaci, zjměna v oblasti návrhu asynchronních systémů se synchronními klopnými obvody. Pro takovouto minimalizaci platí pro jednotlivé klopně obvody následující pravidla: JK – do výrazu pro vstup J zahrneme všechny $\underline{1}$, některé $\underline{0}$, 1 a X (neurčitě stavy)

do výrazu pro vstup K zahrneme všechny <u>0</u>, některé <u>1</u>, 0 a X Vidíme tedy, že nepovinné stavy používáme jako <u>neurčité</u> stavy !! RS - do výrazu pro vstup S zahrneme všechny <u>1</u>, některé <u>1</u> a X do výrazu pro vstup R zahrneme všechny <u>0</u>, některé <u>0</u> a X D - do výrazu pro vstup D zahrneme všechny <u>1</u> a <u>1</u>

T - do výrazu pro vstup T zahrneme všechny <u>0</u> a <u>1</u>

Mapa klopného obvodu JK



Při změně Q z 0 na 0 mohou nastat následující možnosti JK=00 nebo JK=01 To vede k situaci, kdy v obou případech J=0 a K je jednou 0 a podruhé 1, tedy za K dosadíme X. Dále pokračujeme obdobně.

Pozn.: Postup je ješté jednou popsán v textu pro jiný případ

Obr. 7.6b Postup při vytváření excitačních tabulek (viz Tab. 1)

Q -> Q'	změny	J	K	R	S	Т	D
0 0	0	0	X	X	0	0	0
0 1	<u>1</u>	1	X	0	1	1	1
1 0	0	X	1	1	0	1	0
1 1	1	X	0	0	X	0	1

Tab. 1 Slovníky přechodů (excitační tabulka) se zapsaným vztahem změn a stavy jednotlivých řídicích proměnných

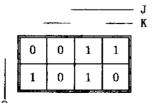
Pravdivostní tabulka klopného obvodu D

D	Qt	Qt+1
0	0	0
0	1	0
1	0	1
1	1	1

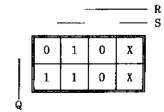
Pravdivostní tabulka klopného obvodu T

	T	Qt	Qt+1
	0	0	0
ı	0	1	1
ı	1	0	1
ı	1	1	0
A			

Mapa klopného obvodu JK



Mapa klopného obvodu RS



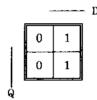
Pravdivostní tabulka klopného obvodu RS

R	S	Qt	Qt+1
0	0	0	0
0	1	0	1
0	1	1	1
1	0	0	0
1	0	1	0
1	1	0	х
1	1	1	х

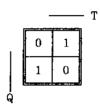
Pravdivostní tabulka klopného obvodu JK

J	K	Qt	Qt+1
0	0	0	0
0	0	1	1
0	1	0	0
0	1	1	0
1	0	0	1
1	0	1	1
1	1	0	1
1	1	1	0

Mapa klopného obvodu D



Mapa klopného obvodu T



7.1. Cvičení

- 1) Sestavte během laboratorních cvičení všechna uvedená schemata klopných obvodů pomocí integrovaných obvodů TTL a číslicových stavebnic.
- 2) Zapojení klopných obvodů nasimulujte pomocí dostupných simulátorů (ORCAD apod.). Výsledky simulace porovnejte s realitou. Případné rozdíly vysvětlete.