

Návrh čítače jako automatu

Domovská URL dokumentu: <http://dce.felk.cvut.cz/lisy/cviceni/pdf/citacNavrh.pdf>

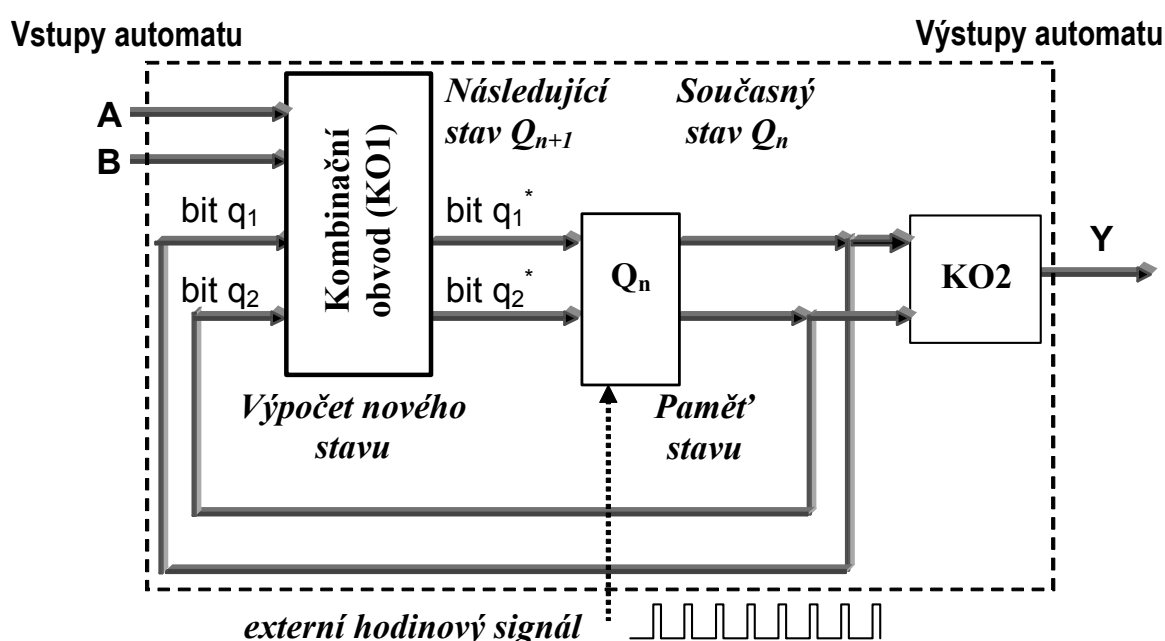
Obsah

NÁVRH ČÍTAČE JAKO AUTOMATU.....	1
1. SYNCHRONNÍ A ASYNCHRONNÍ AUTOMAT	2
1.a. Výstupy automatu mohou být přímo bity paměti stavu.....	3
1.b. Mezi vnitřními stavy a výstupem může být nějaký kombinační obvod	3
1.c. Pravdivostní tabulky klopných obvodů	4
2. NÁVRH ČÍTAČE JAKO AUTOMATU POMOCÍ OBDODŮ D	5
2.a. Návrh pro J-K klopné obvody.....	7
2.b. Emulace s J-K v Digital Works 95.....	8
3. PŘEKÓDOVÁNÍ BINÁRNÍHO VÝSTUPU	9
3.a. Možné vylepšení pro experimentátory.....	10

1. Synchronní a asynchronní automat

Automat je zařízení, jehož výstup závisí na okamžitém vstupu a 0 až n předchozích vstupech. Jestliže výstup nezávisí na předchozích vstupech jedná se o kombinační síť. Pro uchování vnitřních stavů potřebuje automat paměť. Paměť může být realizována z klopných obvodů RS, D, T, a JK. Protože RS je asynchronní klopný obvod, získáme realizaci paměti z RS obvodů asynchronní automat. V ostatních případech se bude jednat o synchronní automat.

Synchronní automat má kromě vstupů ještě přiveden hodinový signál. Rozdíl mezi *synchronním* a *asynchronním* automatem je v tom, že u synchronního automatu jsou změny vnitřního stavu synchronizovány s hodinami. Výhoda asynchronního automatu je v tom, že je rychlejší. U synchronního automatu zase nedochází k dynamickým hazardům a proto jsou všechny dnešní mikroprocesory synchronní automaty.



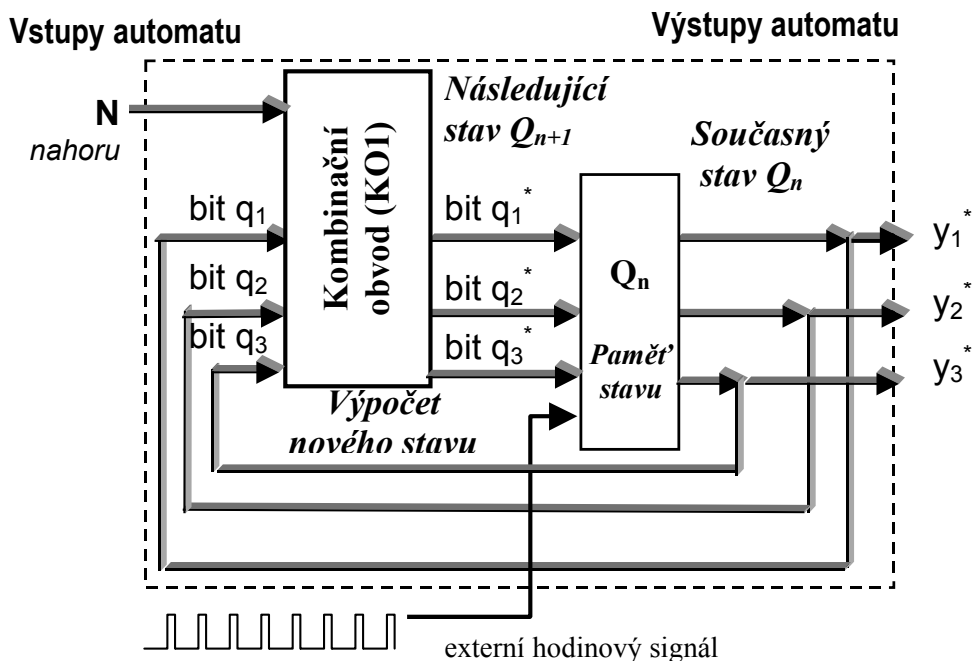
Paměť stavu realizovaná pomocí asynchronních obvodů RS má maximálně rychlou odezvu, ale žádá si fundamentální režim činnosti KO1 (na obrázku).

Paměť stavu založená na synchronních klopných obvodech JK či D vyžaduje externí hodinový signál pro periodické vzorkování výstupu KO1, zpravidla o vyšší frekvenci (řádu kHz až MHz).

Zpomalí se tím ale reakce automatu na změnu vstupních signálů. Proč?

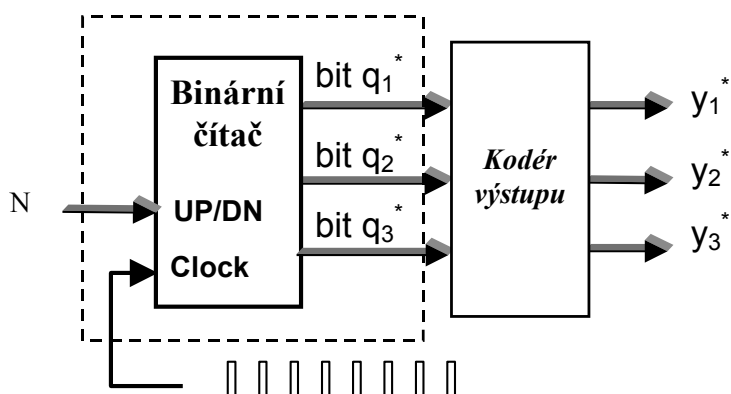
1.a. Výstupy automatu mohou být přímo bity paměti stavu

(tato úloha se bude řešit na logické stavebnici)



1.b. Mezi vnitřními stavy a výstupem může být nějaký kombinační obvod

(použijeme například, když chceme zobrazovat výstup na display – obvody mezi výstupem automatu a jednotlivými segmenty jsou vlastně výstupní kombinační obvod)



Lze navrhnout pomocí Karnaughových map, ty zavedl Maurice Karnaugh z Bellových laboratoří v roce 1950), ale překódování výstupu není vždy vhodné kvůli možným hazardům.

1.c. Pravdivostní tabulky klopných obvodů

Podívejte se též na [Logické obvody](#).

Asynchronní:

R-S

S	R	Q_t
0	0	Q_{t-1}
0	1	0
1	0	1
1	1	x

$\bar{R} - \bar{S}$ (lze jej sestavit ze 2 hradel NAND)

\bar{S}	\bar{R}	Q_t
0	0	x
0	1	1
1	0	0
1	1	Q_{t-1}

Synchronní:

J-K

J	K	Q_t
0	0	Q_{t-1}
0	1	0
1	0	1

D

D	Q_t
0	0
1	1

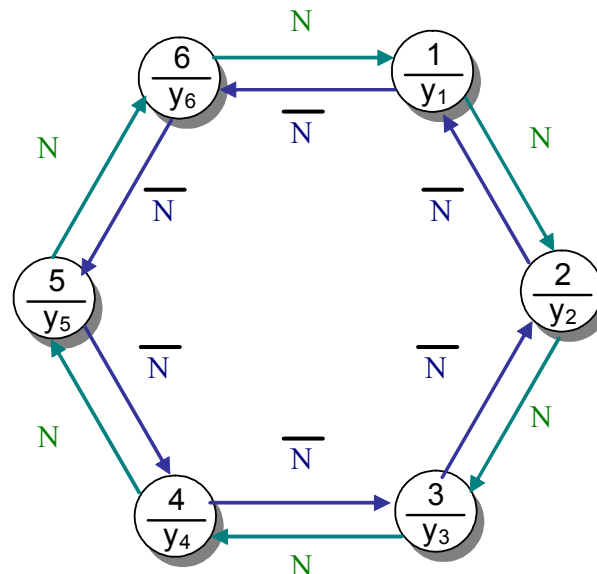
T

T	Q_t
0	1
1	0

2. Návrh čítače jako automatu pomocí obdodů D

Čítač je speciální případ jednoduchého synchronního nestabilního automatu, který s každým hodinovým pulsem přechází do dalšího stavu.

Přechodový diagram - orientovaný graf



Přechodová tabulka je jenom jiná forma popisu.

To, jak se změní stav automatu, záleží na hodnotě vstupu N v okamžiku příchodu hodinového pulsu.

Současný stav	Následující stav:		Generovaný výstup
	když $N=1$	když $N=0$	
1	2	6	y_1
2	3	1	y_2
3	4	2	y_3
4	5	3	y_4
5	6	4	y_5
6	1	5	y_6

Vyjdeme z přechodové tabulky: Sloupce *generovaný výstup* a *výstupní hodnoty* představují kódování (reprerentaci) výstupu.

Současný stav		Následující stav		Generovaný výstup	Výstupní hodnoty
		Když je N=1	Když je N=0		
1		2	6	y_1	001
2		3	1	y_2	011
3		4	2	y_3	111
4		5	3	y_4	110
5		6	4	y_5	100
6		1	5	y_6	000

Pořadová čísla stavů nahradíme jejich binárními kódy – Sloupce *Současný stav* a *kód* představují kódování vnitřních stavů.

Současný stav		Kód $q_3q_2q_1$	Následující stav $q_3q_2q_1$		Generovaný výstup
			Když je N=1	Když je N=0	
1		001	011	000	001
2		011	111	001	011
3		111	110	011	111
4		110	100	111	110
5		100	000	110	100
6		000	001	100	000

Pro zakódování šesti stavů potřebujeme tři paměťové proměnné – klopné obvody D. Rozepíšeme pravdivostní tabulky pro jejich vstupy $d_3d_2d_1$.

d_3^*			d_2^*			d_1^*		
$q_3q_2q_1$	N=1	N=0	$q_3q_2q_1$	N=1	N=0	$q_3q_2q_1$	N=1	N=0
1			1			1		
001	0	0	001	1	0	001	1	0
011	1	0	011	1	0	011	1	1
111	1	0	111	1	1	111	0	1
110	1	1	110	0	1	110	0	1
100	0	1	100	0	1	100	0	0
000	0	1	000	0	0	000	1	0

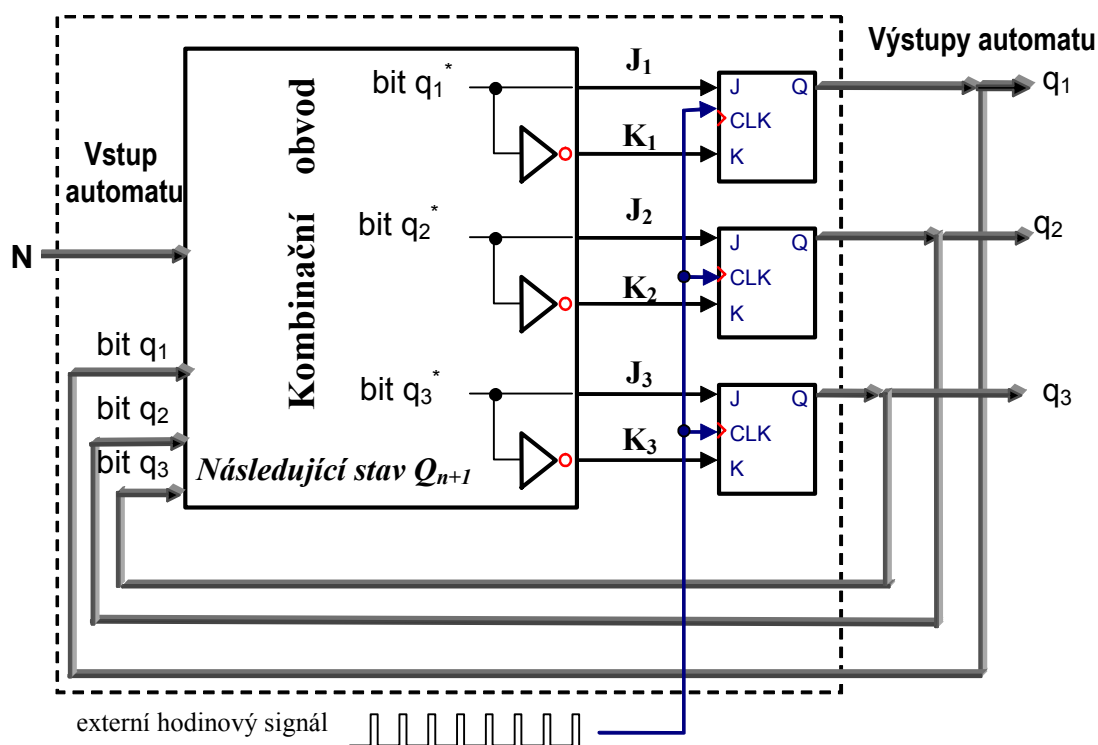
Navrhne kombinální síť pro $d_3d_2d_1$, čili napíšeme Karnaughovy mapy a sestavíme rovnice.

d_3^*	d_2^*	d_1^*
$d_3 = \bar{q}_1 \cdot \bar{N} + q_2 \cdot N$	$d_2 = q_1 \cdot N + q_3 \cdot \bar{N}$	$d_1 = q_2 \cdot \bar{N} + \bar{q}_3 \cdot N$

2.a. Návrh pro J-K klopné obvody

Předchozí rovnice platily pouze pro D klopný obvod, který má jediný datový vstup, ale J-K nebo S-R klopné obvody se ovládají dvěma vstupy. V této úloze vytvoříme J-K vstupy negacemi. Synchronizace hodinovým signálem odstraňuje také vliv možných hazardů (řekněte proč!), takže není potřeba brát je v úvahu při návrhu logických funkcí.

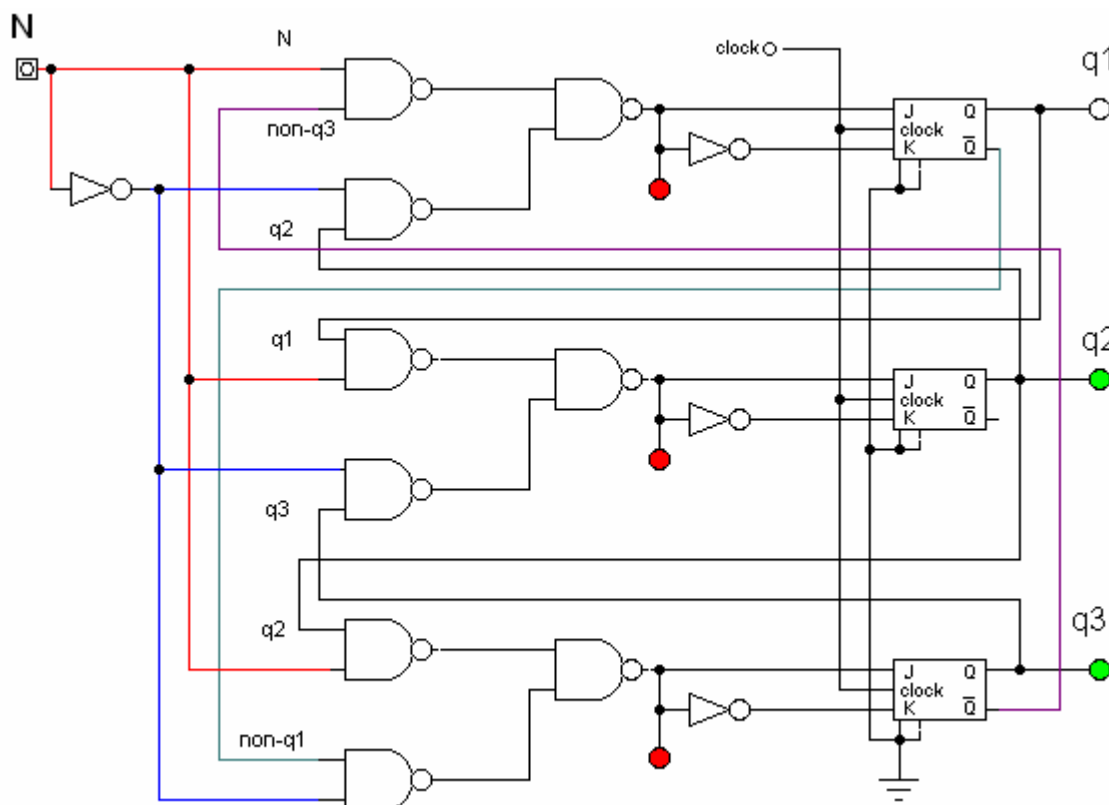
$$\begin{aligned} D_3 = J_3 = \bar{q}_1 \cdot \bar{N} + q_2 \cdot N & & D_2 = J_2 = q_1 \cdot N + q_3 \cdot \bar{N} & & D_1 = J_1 = q_2 \cdot \bar{N} + \bar{q}_3 \cdot N \\ K_3 = \bar{J}_3 & & K_2 = \bar{J}_2 & & K_1 = \bar{J}_1 \end{aligned}$$



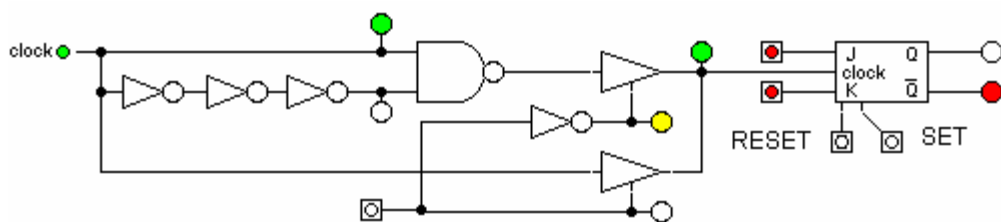
Jiný způsob, návrh pomocí pokrytí tlustých 0 a 1, který dává (někdy) úspěšnější řešení, si ukážeme až při návrhu asynchronního obvodu, kdy se bez něho již neobejdeme.

2.b. Emulace s J-K v Digital Works 95

Emulace představuje mnohem rychlejší vyzkoušení obvodu než laborování s dráty! Podívejte se na <http://dce.felk.cvut.cz/lisy/cviceni/simulace.htm>



Simulace není rozhodně samospasitelná! Nefunguje-li, pak zpravidla nefunguje ani zapojený obvod, avšak **opačná implikace rozhodně neplatí**. Mnohé emulátory počítají pouze logické funkce ideálních obvodů, nikoliv parametry skutečných součástek. Freeware Digital Works 95 nekalkulují ani se zpožděním, a proto v nich nefunguje logická derivace.



Pozor, J-K a D klopné obvody v Digital Works mají pozitivní reset a set (reagující na "1"), zatímco u klopných obvodů bývají zpravidla negované reset a set, aktivní v "0".

3. Překódování binárního výstupu

Předpokládejme, že máme externí binární signál, bity c, b, a , udávající polohu nějakého přepínače, a chceme jeho výstup překódovat na $y_3y_2y_1$ podle tabulky:

Stav	$c\ b\ a$	$y_3y_2y_1$								
v			$q_3q_2q_1$	y_3	$q_3q_2q_1$	y_2	$q_3q_2q_1$	y_1		
1	000	001	000	0	000	0	000	1		
2	001	011	001	0	001	1	001	1		
3	010	111	010	1	010	1	010	1		
4	011	110	011	1	011	1	011	0		
5	100	100	100	1	100	0	100	0		
6	101	000	101	0	101	0	101	0		

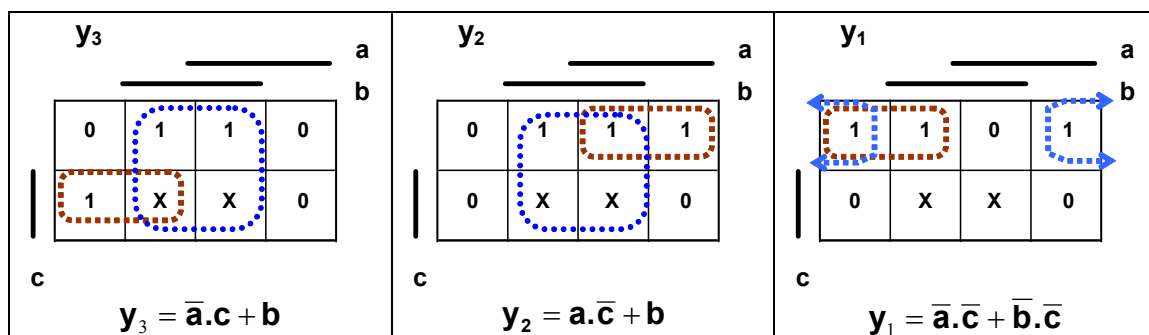
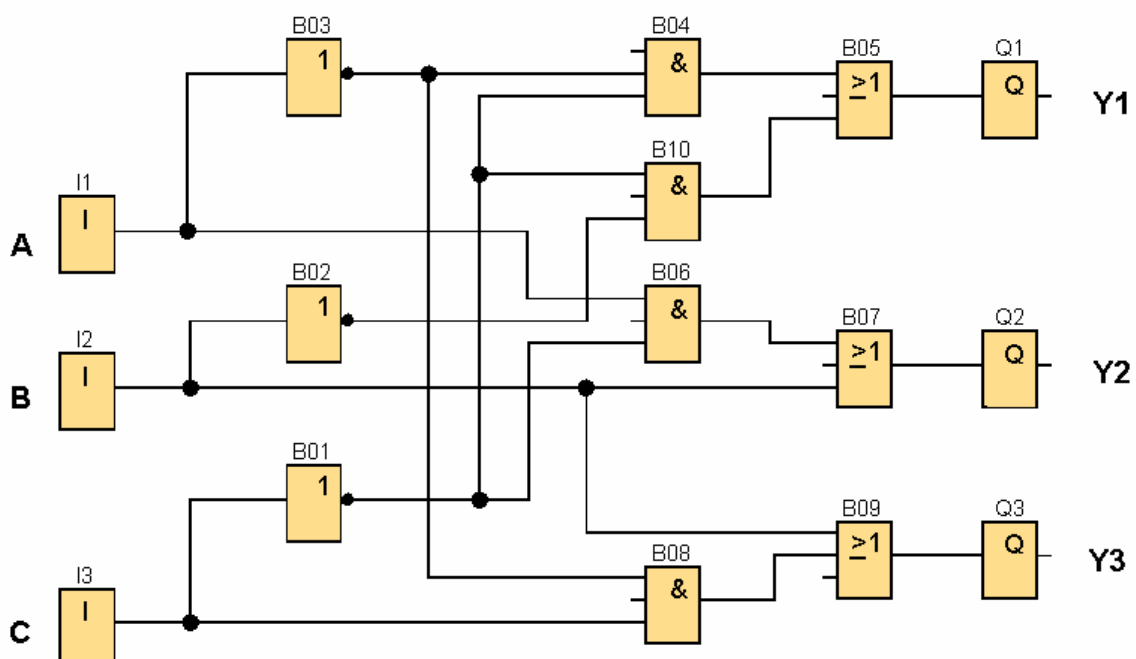


Schéma zapojení pro LOGO – řešíme jako pouhý kombinační obvod

– podívejte se na <http://dce.felk.cvut.cz/lsy/cviceni/LOGO/LOGO.htm>



viz. <http://dce.felk.cvut.cz/lcy/cviceni/LOGO/CitacLOGOauto.lsc>

