

Y36SAP-10

Dělení paměti
adresace
SRAM/DRAM

30.4.2008

Y36SAP-Paměti

1

Typy paměti dělení podle různých hledisek

- **paměť ... zařízení pro uchování dat a programů (nejen v počítači)**
- **základní funkce zápis a čtení**
(\exists paměti s pevným obsahem, který lze pouze číst)
- **dělení podle:**
 - použití v počítači
 - fyzikálního principu
 - způsobu výběru položek
 - způsobů a možností změny uložené informace

30.4.2008

Y36SAP-Paměti

2

Rozdělení pamětí

podle použití v počítači:

- hlavní (operační paměť)
- vnější paměť
- vyrovnávací paměť (cache)
-

podle fyzikálního principu:

- polovodičové
- magnetické
- optické
-

30.4.2008

Y36SAP-Paměti

3

Rozdělení pamětí

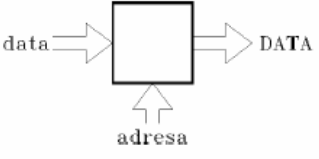
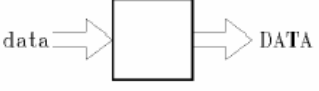
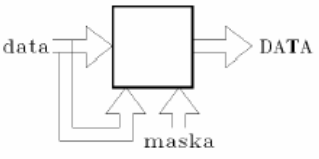
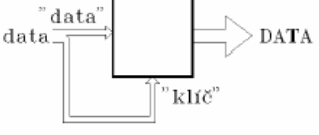
podle způsobu výběru položek:

- s adresovým výběrem (adresové, adresovatelné)
- s postupným výběrem (sériové)
- asociativní (výběr podle části uložené informace, tzv. **klíče** ... CAM ... content adressable memory)
- zásobník (LIFO ... last in first out)
- fronta (FIFO ... first in first out)

30.4.2008

Y36SAP-Paměti

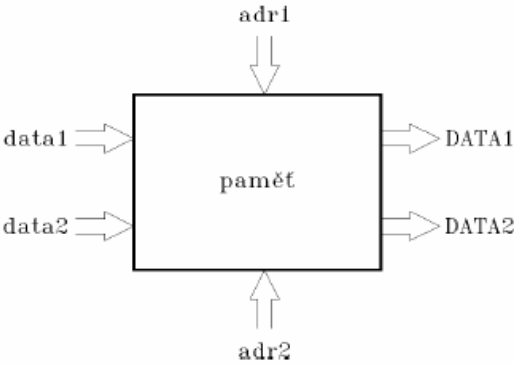
4

paměť	
adresovatelná	
LIFO, FIFO, s postupným výběrem	
„univerzální“ CAM	
„speciální“ CAM	

30.4.2008

5

Adresovatelná paměť vícebránová



podle způsobů a možností změny uložené informace:

- paměti pro čtení a zápis RWM
(Read Write Memory)
- obsah lze libovolně přepisovat RAM
(Random Access Memory)
 - SRAM ... statická
 - DRAM ... dynamická
- permanentní
 - obsah určen při výrobě ROM (Read Only Memory)
 - obsah lze jednorázově naprogramovat PROM
- semipermanentní
 - obsah lze naprogramovat a lze vymazat a přeprogramovat EPROM, EEPROM, FLASH
- volatilní ... energeticky závislé (uložená informace zanikne po vypnutí napájení) SRAM, DRAM
- nonvolatilní ROM, PROM, EPROM, EEPROM, FLASH

Základní pojmy

paměťová buňka ... základní stavební blok paměti, slouží k záznamu jednoho bitu

paměťové místo ... skupina paměťových buněk které lze najednou zapisovat nebo číst (šířka slova paměti)

položka ... obsah paměťového místa

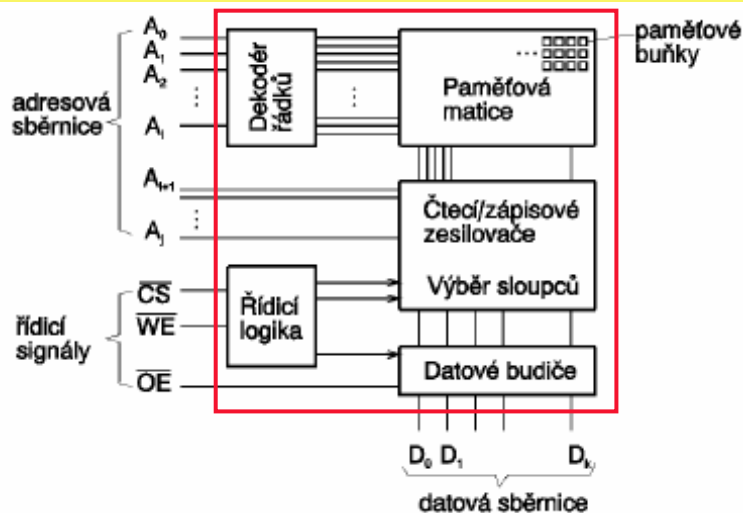
adresa ... číselné označení (index) paměťového místa jimž lze vybírat jednotlivé položky

kapacita paměti ... počet položek

paměťová matice ... skupina paměťových míst uspořádaná tak, že je lze vybírat adresou

8

Blokové schéma typického paměťového obvodu



30.4.2008

Y36SAP-Paměti

9

Popis

- kapacita paměťového obvodu je dána šířkou jeho adresové a datové sběrnice, zde 2^{i+1} slov po $k+1$ bitech
- dekodér řádků ... dekóduje binární kód na kód $1zN$ (přesněji $1z 2^{i+1}$)
- výběr sloupců ... jeden multiplexor pro každý datový bit
- paměťová buňka ... např. bistabilní klopný obvod u SRAM

30.4.2008

Y36SAP-Paměti

10

Řídící signály

- $\overline{\text{OE}}$ - **output enable** ... aktivace výstupních třístavových budičů datové sběrnice
- $\overline{\text{WE}}$ - **write enable** ... povolení zápisu
- $\overline{\text{CS}}$ - **chip select** ... výběr čipu - podmiňuje provedení zápisu nebo čtení

Poznámka: negace znamená, že aktivní hodnota je logická nula

30.4.2008

Y36SAP-Paměti

11

Typická organizace paměťových obvodů

$2^n \times 8$... Obvody SRAM, ROM, EPROM, některé EEPROM, FLASH

např. 32kx8, 64kx8, 128kx8, ... 512kx8

$2^n \times 1$... Obvody DRAM

např. 256kx1, 1Mx1, ... 16Mx1

$2^n \times 9$... Paměťové moduly DRAM

$2^n \times 36$ Např. 256kx9, 1Mx9, ... 4Mx36

.

.

16MBx36 ... 60ns

parita: $4 \times 8 + 4 = 36$

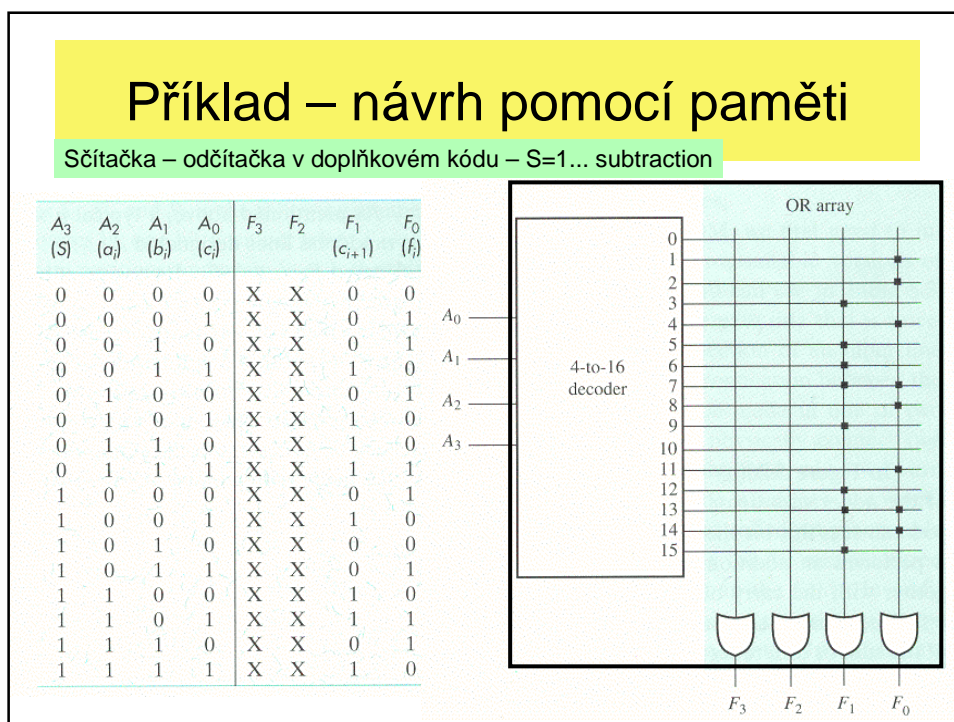
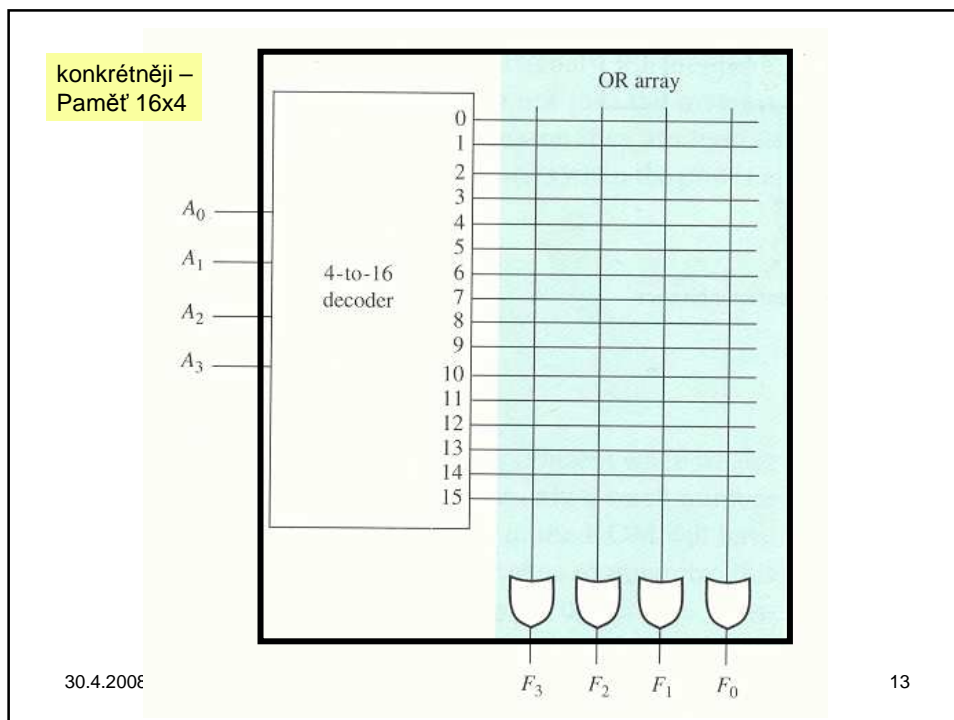
SIMM – Single In-line Memory Module

DIMM – Dual In-line Memory Module

30.4.2008

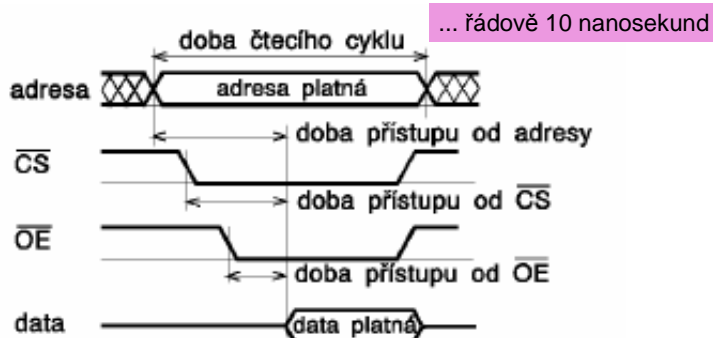
Y36SAP-Paměti

12



Chování paměťových obvodů, parametry čtení

Typický průběh signálů pro operaci čtení ze statické paměti SRAM
(je nutné dodržet minimální nebo i maximální zpoždění mezi aktivací jednotlivých signálů a dalšími událostmi)

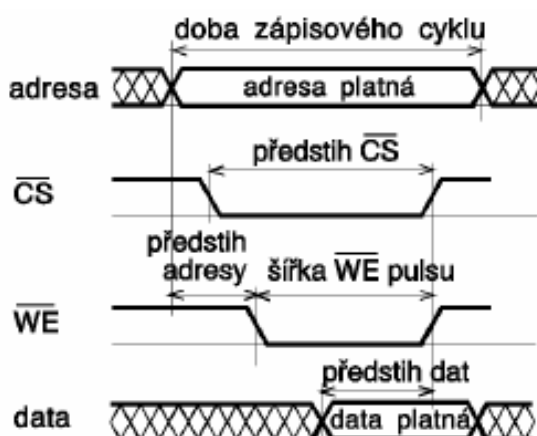


30.4.2008

Y36SAP-Paměti

15

Chování paměťových obvodů, parametry zápis

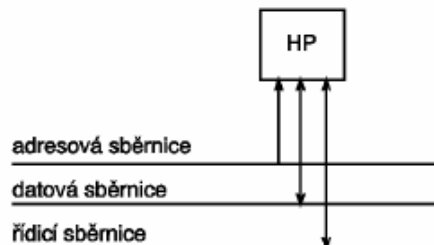


30.4.2008

Y36SAP-Paměti

16

Konstrukce hlavní paměti počítače



Hlavní paměť komunikuje s ostatními jednotkami počítače prostřednictvím adresové, datové a řídící sběrnice

Hlavní paměť je sestavena z paměťových obvodů, v současnosti zpravidla CMOS DRAM

30.4.2008

Y36SAP-Paměti

17

Konstrukce hlavní paměti

připojení paměťového obvodu na sběrnice procesoru

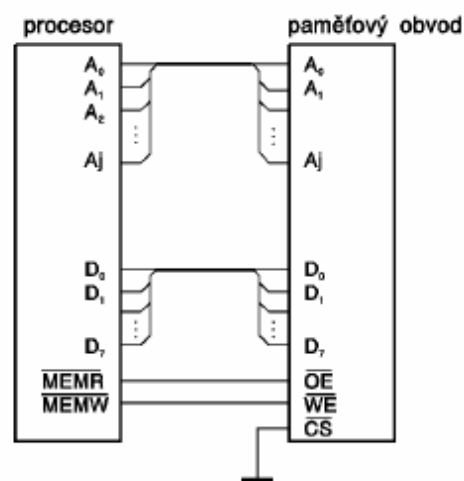
2^{j+1} adres

8 bitů dat

SRAM s kapacitou

$2^{j+1} \times 8$ bitů

..... 1:1



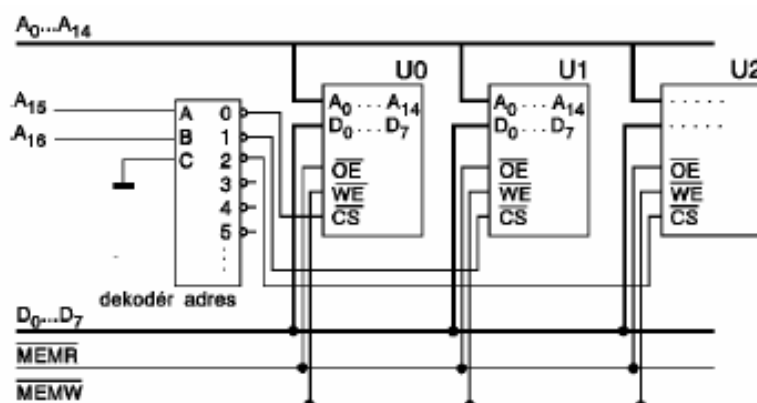
30.4.2008

Y36SAP-Paměti

18

Rozšíření paměťového prostoru

Navrhněte modul hlavní paměti o kapacitě 96KB slabikově organizovanou ... 96K x 8 z modulů o kapacitě 32K x 8 ... 32KB



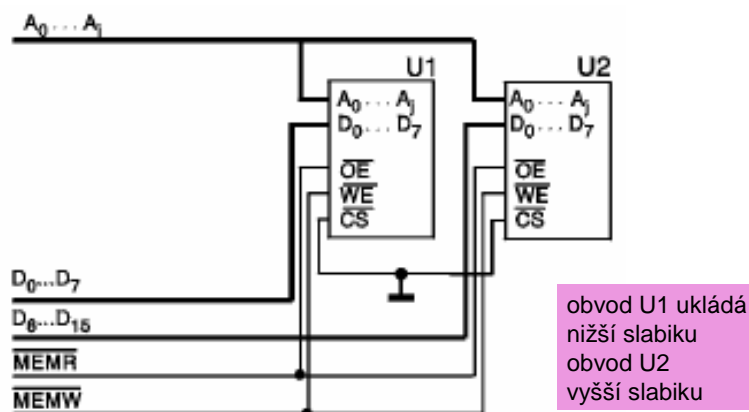
30.4.2008

výběr pomocí CS, jinak vše paralelně

19

Rozšíření slova hlavní paměti

Navrhněte modul hlavní paměti o kapacitě 32KB x 16 z modulů o kapacitě 32K x 8 ... paměť adresovatelnou po slovech.



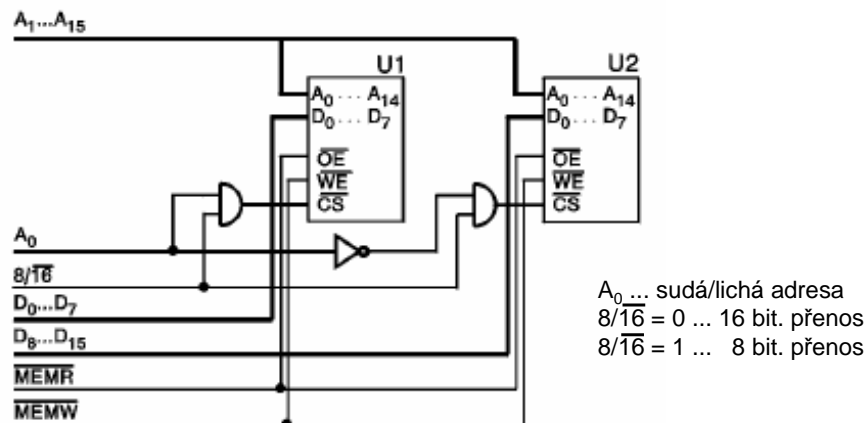
30.4.2008

Y36SAP-Paměti

20

Rozšíření slova hlavní paměti

Totéž, ale s 16 bitovou datovou sběrnicí a s možností volby slabiky nebo slova (podle PC-AT)

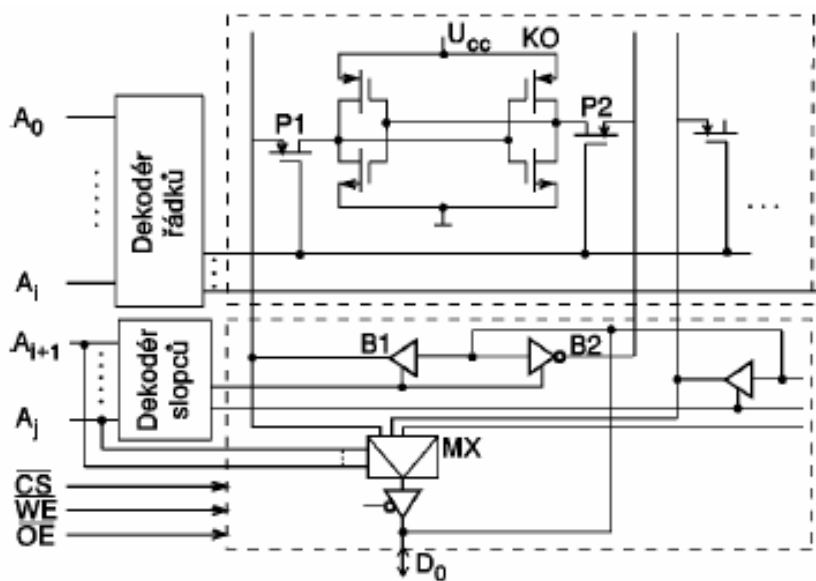


30.4.2008

Y36SAP-Paměti

21

Konstrukční princip SRAM



22

Konstrukční princip SRAM

paměťová buňka je bistabilní klopný obvod
(v CMOS dvojice invertorů)

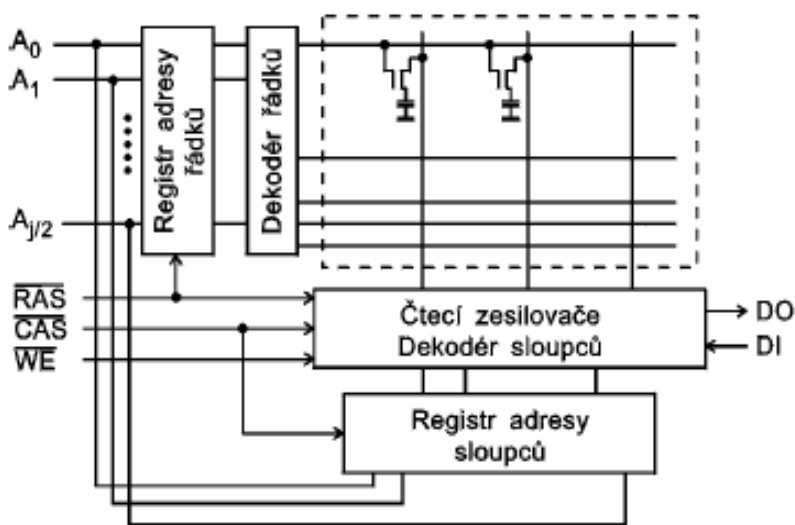
Při zápisu dojde k sepnutí přenosových hradel P1 a P2 a současně k aktivaci budičů B1 a B2. Tím se hodnota z vodiče D0 zapíše do klopného obvodu KO, protože přenosová hradla budiče jsou „silnější“ (mají menší impedanci v sepnutém stavu) než tranzistory v klopném obvodu. Při čtení se stav klopného obvodu KO přenesou přenosovým hradlem P1 na první vstup multiplexu MX a je-li tento vstup vybrán, objeví se na vodiči D0.

30.4.2008

Y36SAP-Paměti

23

Konstrukční princip DRAM



24

Konstrukční princip DRAM

paměťová buňka je tvořena jedním transistorem,
data jsou uchována ve formě náboje na
paměťovém kondenzátoru

Adresa je časově multiplexována, polovina adresy při $\overline{RAS}=0$ (řádek), druhá polovina adresy při $\overline{CAS}=0$ (sloupec)

Zápis: Na datový (sloupcový) vodič se přivede zapisovaná úroveň a aktivuje se zvolený řádek. Paměťový kondenzátor se nabije nebo vybije.

Čtení: Při výběru řádku se kondenzátory vybijí do vstupů čtecích zesilovačů (čtení je destruktivní, přečtenou informaci je nutno bezprostředně zapsat zpět).

Obnovení: Stejně jako čtení. Protože čtecí zesilovače jsou umístěny ve všech sloupcích, obnovují se všechny sloupce jednoho řádku najednou.

30.4.2008

Y36SAP-Paměti

25

Porovnání vlastností SRAM a DRAM

- **cena** DRAM je při stejné kapacitě levnější než SRAM (1 transistor x 6 transistorů na paměťovou buňku)
- pro refresh (**obnovení**) potřebují DRAM další obvody (periodické generování adres řádků)
- čtení DRAM je **destruktivní**, po čtení musí být informace znovu zapsána ... delší čtecí cyklus
- DRAM mají větší **spotřebu** v klidovém stavu (obnovování)
- (mýtus **rychlosti** ... závisí hlavně na velikosti paměti)

30.4.2008

Y36SAP-Paměti

26