

Y36SAP-4

Logické obvody kombinační a
sekvenční používané v číslicovém
počítači

Sčítačka, pulsčítačka, registr, čítač

Některé obrázky převzaty z doporučené literatury:

Gajski, D. D.: Principles of Digital Design. Prentice-Hall International, Inc. 1997

Často používané funkce

- Majorita:
nabývá hodnotu 1, když většina proměnných je rovna 1
- Majorita ze 3 ... M_3 (tzn. 2 nebo 3 proměnné)

$$M_3(a, b, c) = a.b.\bar{c} + a.\bar{b}.c + \bar{a}.b.c + a.b.c$$

Úpravami, algebraicky nebo v mapě dostaneme:

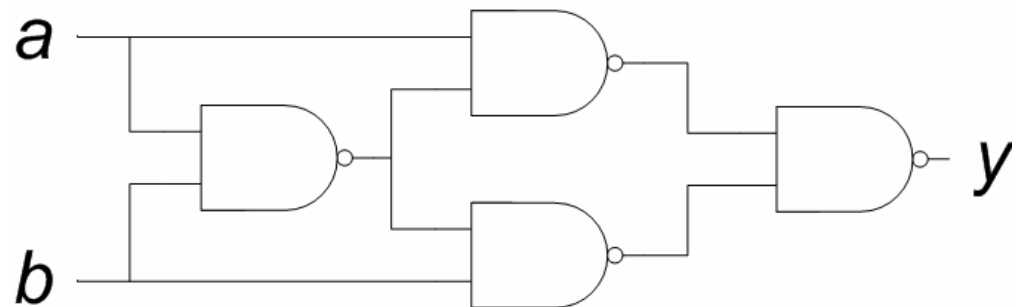
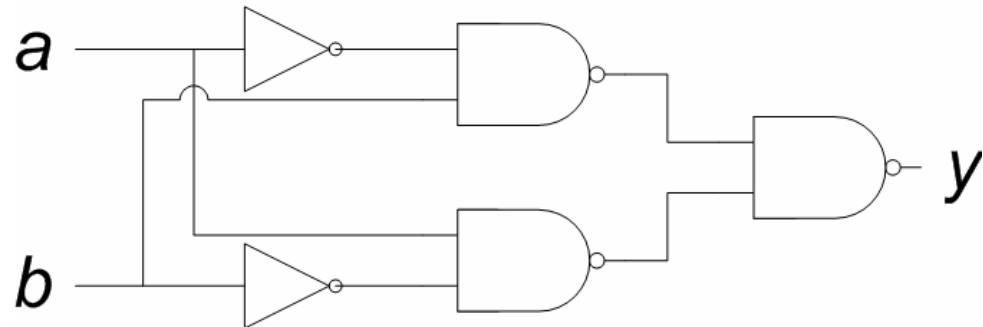
$$M_3(a, b, c) = a.b + a.c + b.c$$

XOR

$$a \oplus b = a\bar{b} + \bar{a}b$$

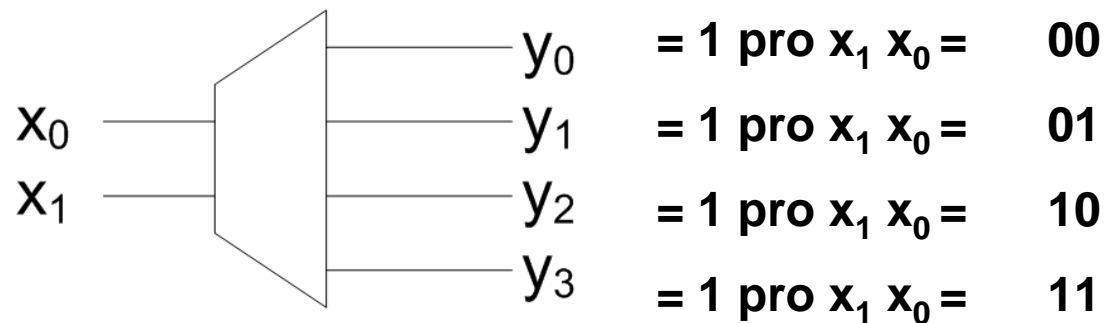
$$a\bar{b} + 0 + \bar{a}b + 0 = a\bar{b} + a\bar{a} + \bar{a}b + \bar{b}b =$$

$$a(\bar{a} + \bar{b}) + b(\bar{a} + \bar{b}) = a.\overline{ab} + b.\overline{ab}$$



Dekodéry

Dekodér: binární kód \rightarrow 1 ze 4



4 pravdivostní tabulky:

x_1	x_0	y_0	y_1	y_2	y_3
0	0	1	0	0	0
0	1	0	1	0	0
1	0	0	0	1	0
1	1	0	0	0	1

Booleovské výrazy:

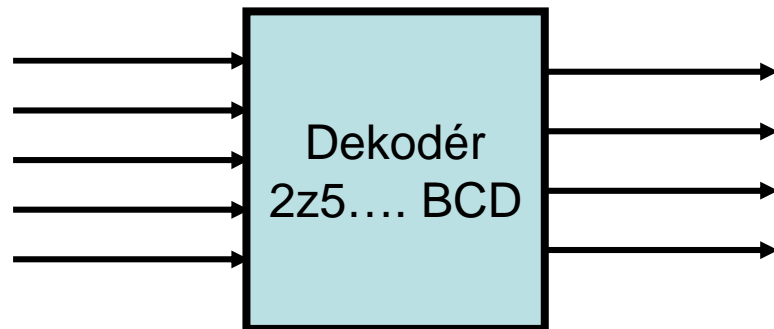
$$y_0 = \overline{x_1} \cdot \overline{x_0}$$

$$y_1 = \overline{x_1} \cdot x_0$$

$$y_2 = x_1 \cdot \overline{x_0}$$

$$y_3 = x_1 \cdot x_0$$

Dekodéry ... obecně, jak navrhnout



$$A = \bar{e}b + ea + ec$$

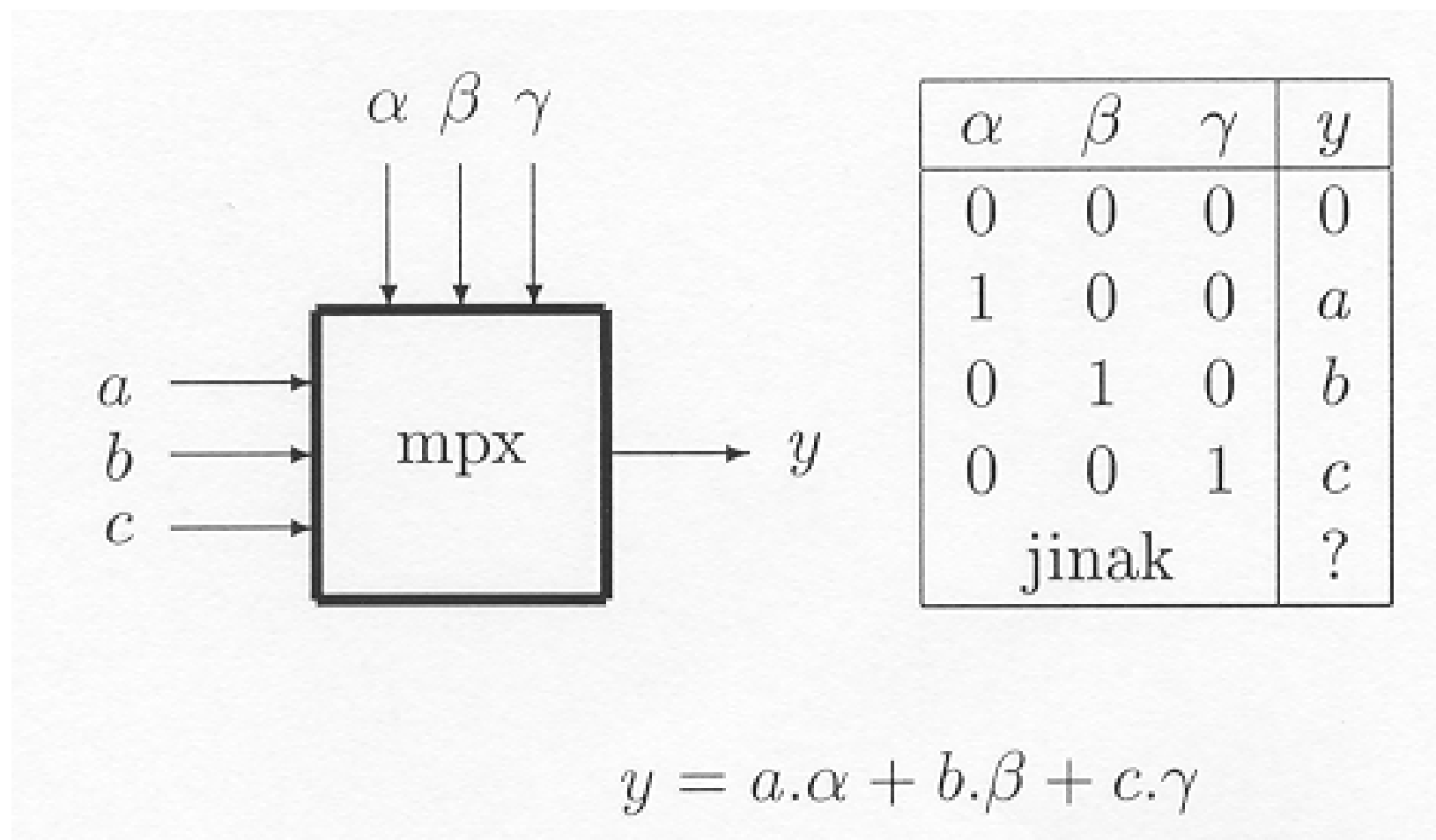
$$B = \bar{e}c + ea$$

$$C = \bar{e}d + ea$$

$$D = eb + ec$$

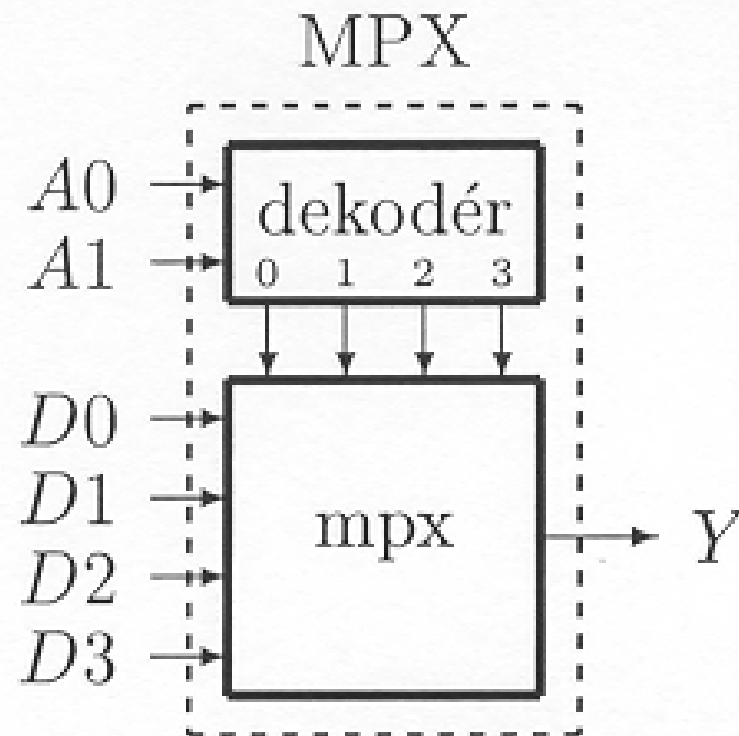
Desítkové číslo	Kód BCD <i>DCBA</i>	Kód 2z5 typ 74210 <i>edcba</i>	Kód 2z5 typ 84210 <i>edcba</i>
0	0000	11000	10100
1	0001	00011	00011
2	0010	00101	00101
3	0011	00110	00110
4	0100	01001	01001
5	0101	01010	01010
6	0110	01100	01100
7	0111	10001	11000
8	1000	10010	10001
9	1001	10100	10010

Multiplexor - princip



Multiplexor

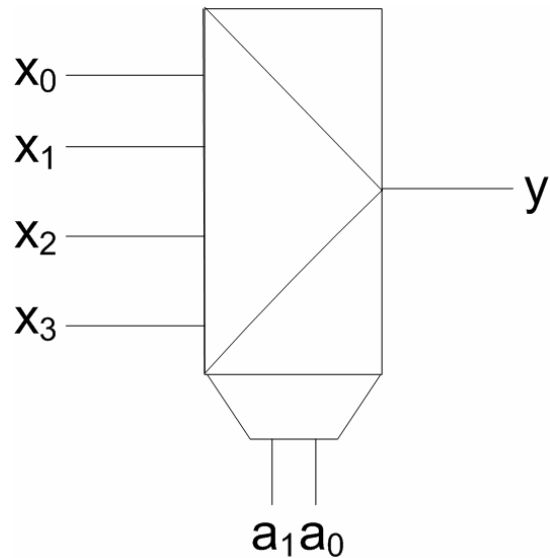
„adresa“		Y
A1	A0	
0	0	D_0
0	1	D_1
1	0	D_2
1	1	D_3



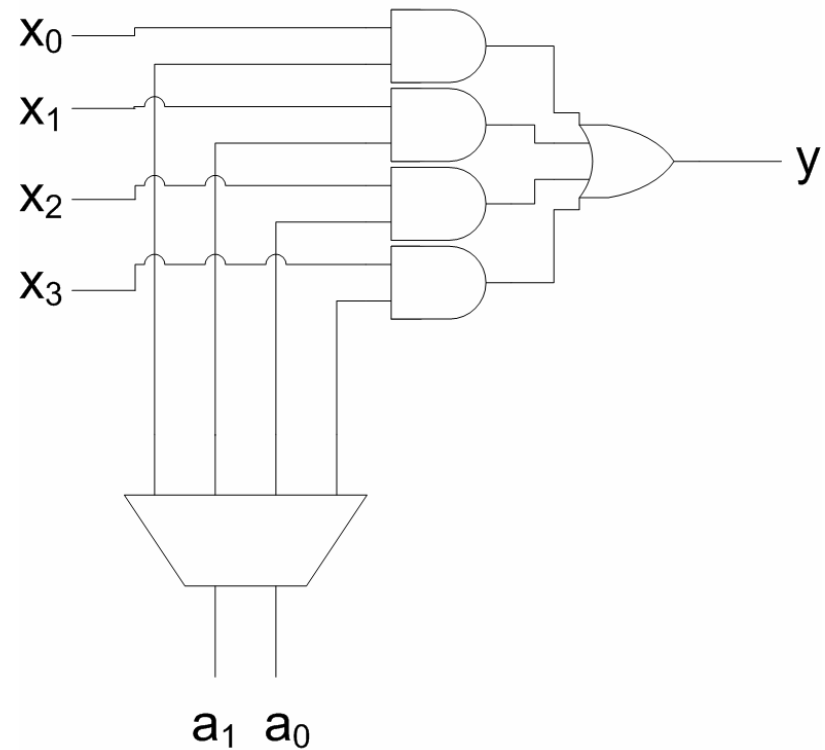
$$Y = \overline{A_1}.\overline{A_0}.D_0 + \overline{A_1}.A_0.D_1 + A_1.\overline{A_0}.D_2 + A_1.A_0.D_3$$

Multiplexor

Multiplexor:

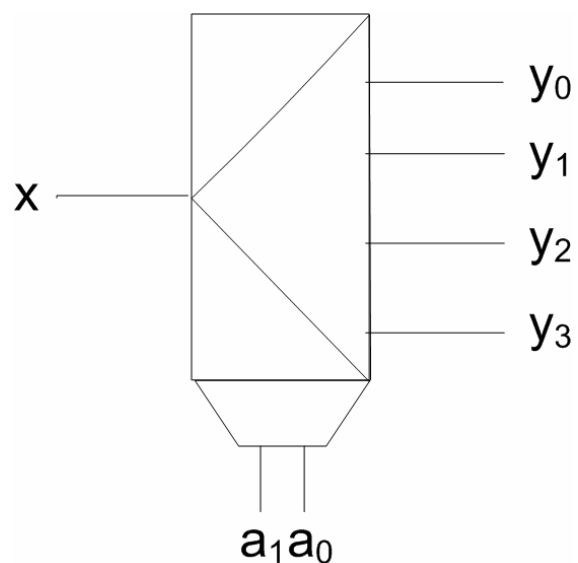


poznámka: v CMOS je 2 vstupový MUX realizován pomocí přenosových hradel, tzn. jen 6 transistorů



Demultiplexor

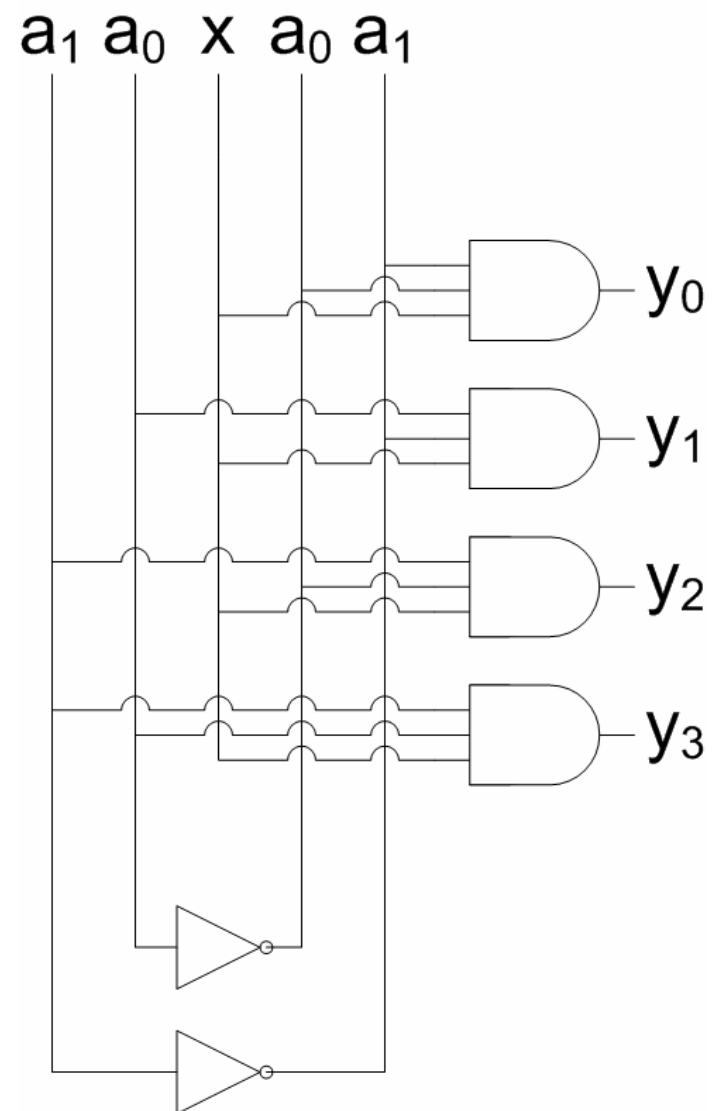
Demultiplexor:



Pravdivostní tabulka:

a_1	a_0	x	y_0	y_1	y_2	y_3
0	0	0	0	0	0	0
0	0	1	1	0	0	0
0	1	0	0	0	0	0
0	1	1	0	1	0	0
1	0	0	0	0	0	0
1	0	1	0	0	1	0
1	1	0	0	0	0	0
1	1	1	0	0	0	1

Realizace:



Sčítačka

a	b	p	q	s
0	0	0	0	0
0	0	1	0	1
0	1	0	0	1
0	1	1	1	0
1	0	0	0	1
1	0	1	1	0
1	1	0	1	0
1	1	1	1	1

$$s = \bar{a}\bar{b}p + \bar{a}b\bar{p} + a\bar{b}\bar{p} + abp$$

$$q = \bar{a}bp + a\bar{b}p + ab\bar{p} + abp$$

Poloviční sčítačka – half-adder

Úplná binární sčítačka:

$$s = p(\bar{a}\bar{b} + ab) + \bar{p}(\bar{a}b + a\bar{b}) = \overline{p(a \oplus b)} + \bar{p}(a \oplus b) = p \oplus a \oplus b$$
$$q = ap + bp + ab = M_3(a, b, p)$$

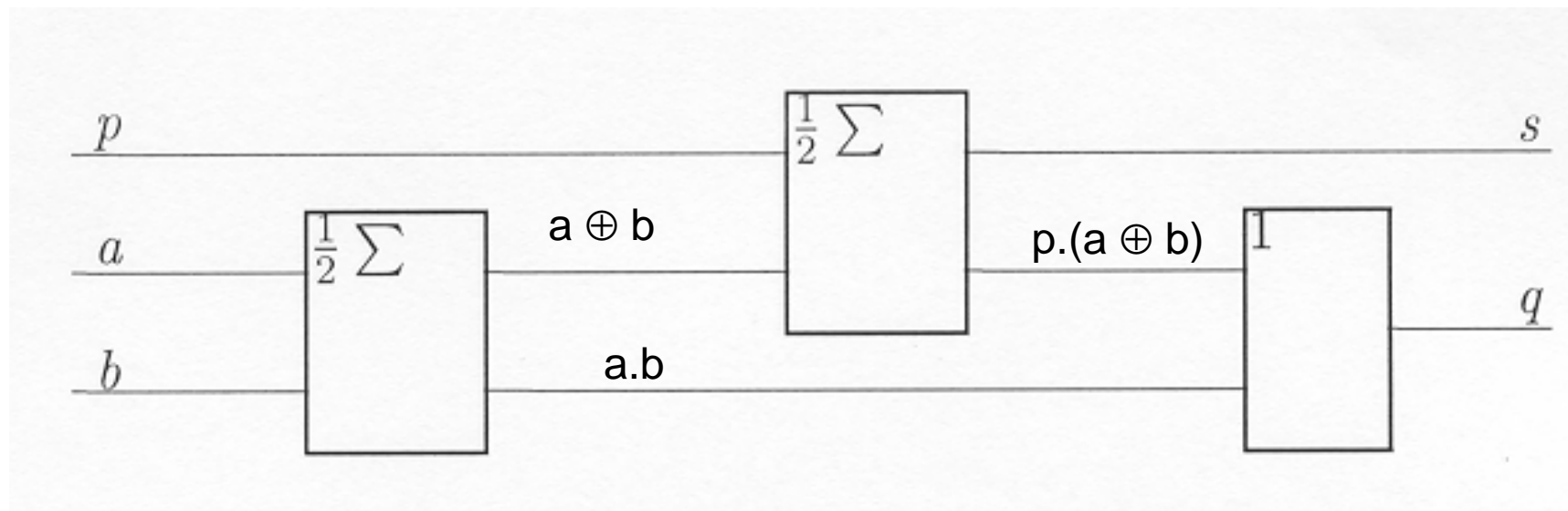
Poloviční sčítačka (HA):

$$s = a \oplus b$$

$$q = a.b$$

a	b	q	s
0	0	0	0
0	1	0	1
1	0	0	1
1	1	1	0

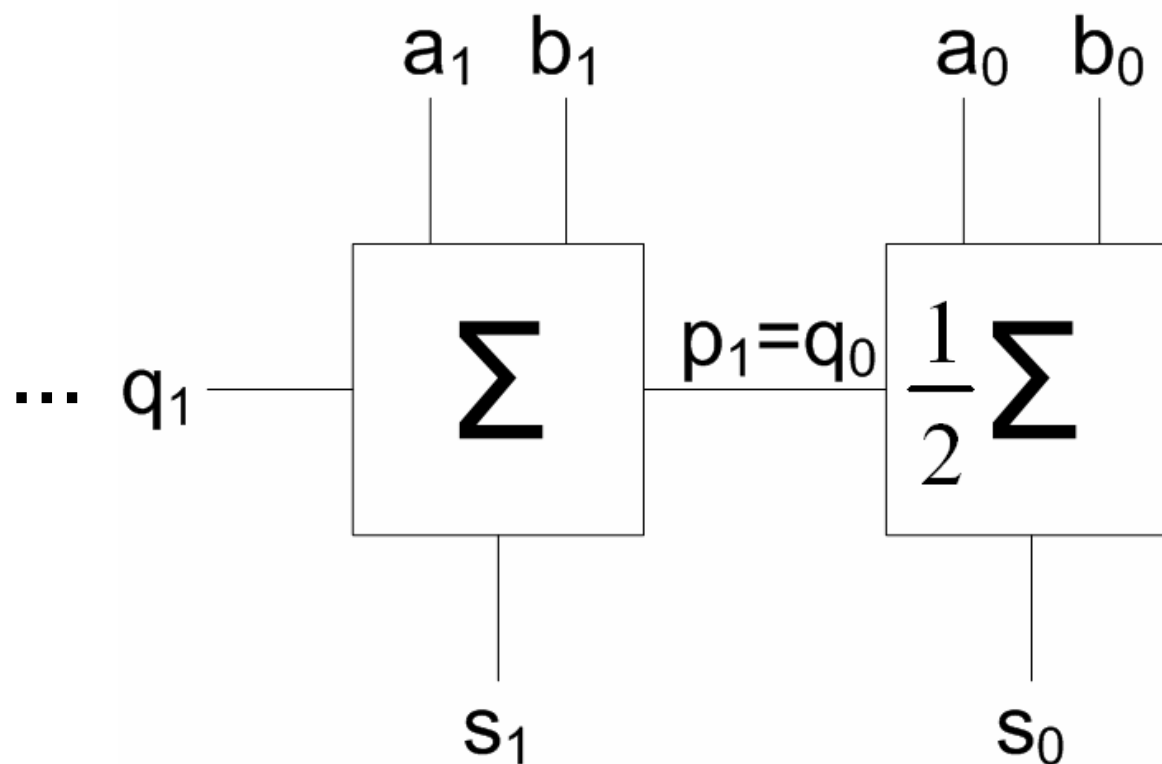
Sčítačka pomocí pulsčítaček



$$q = ab + p.(a \oplus b) = ab + p(a\bar{b} + \bar{a}b) = ab + ap + bp$$

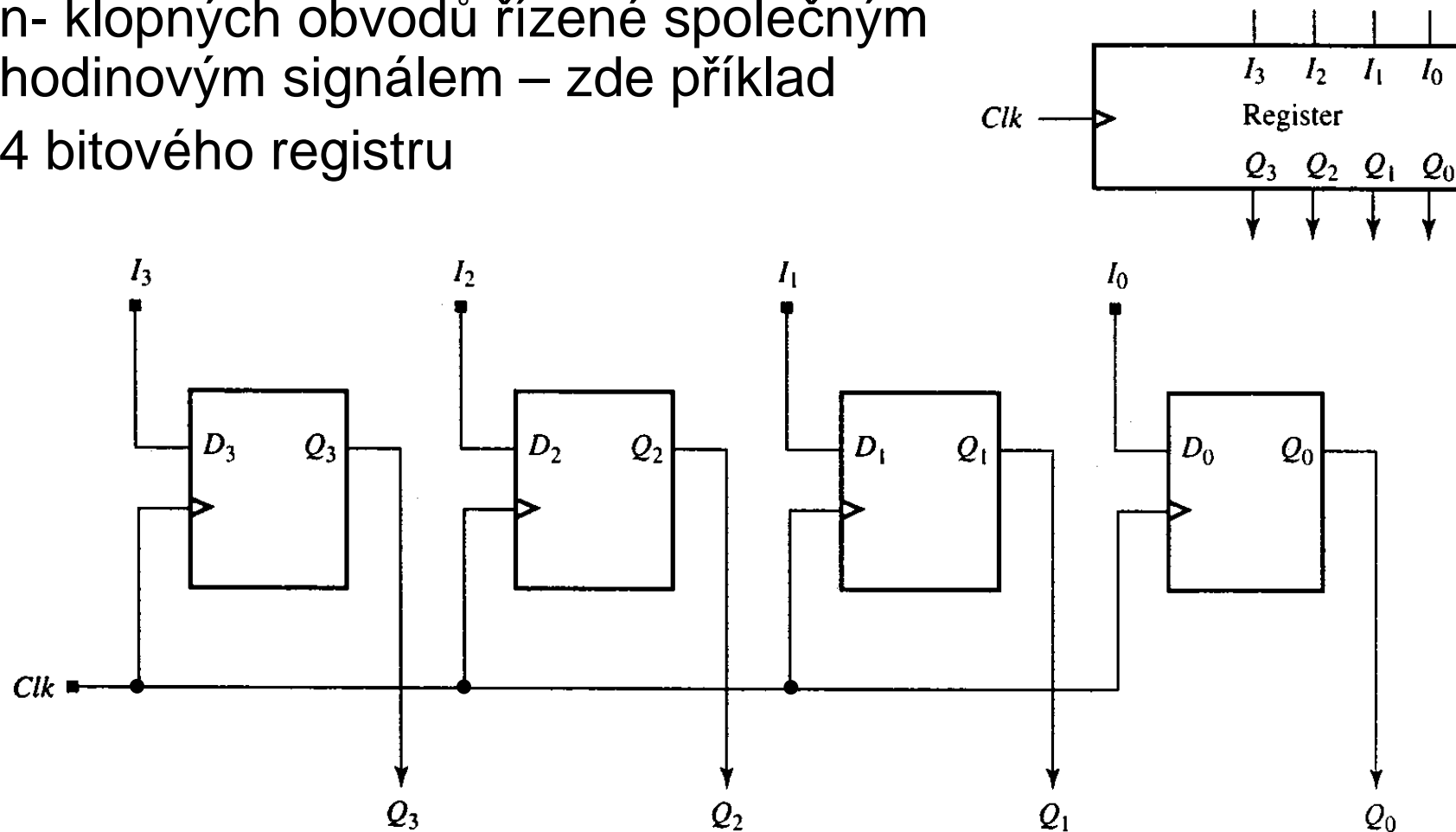
Paralelní sčítačka

$$S = A + B$$
$$A = \dots a_2 a_1 a_0$$
$$B = \dots b_2 b_1 b_0$$



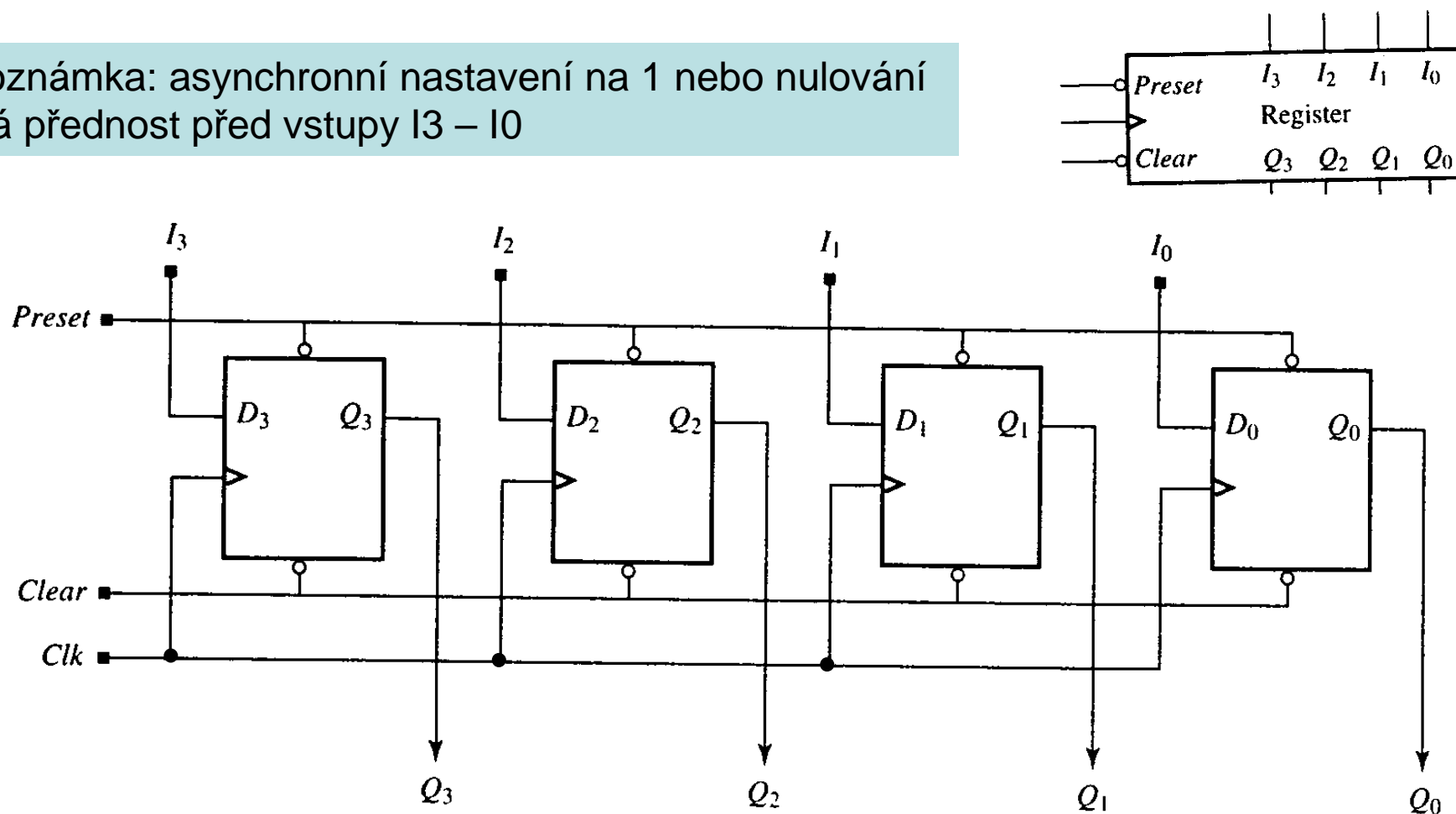
Registry

- n- klopných obvodů řízené společným hodinovým signálem – zde příklad 4 bitového registru

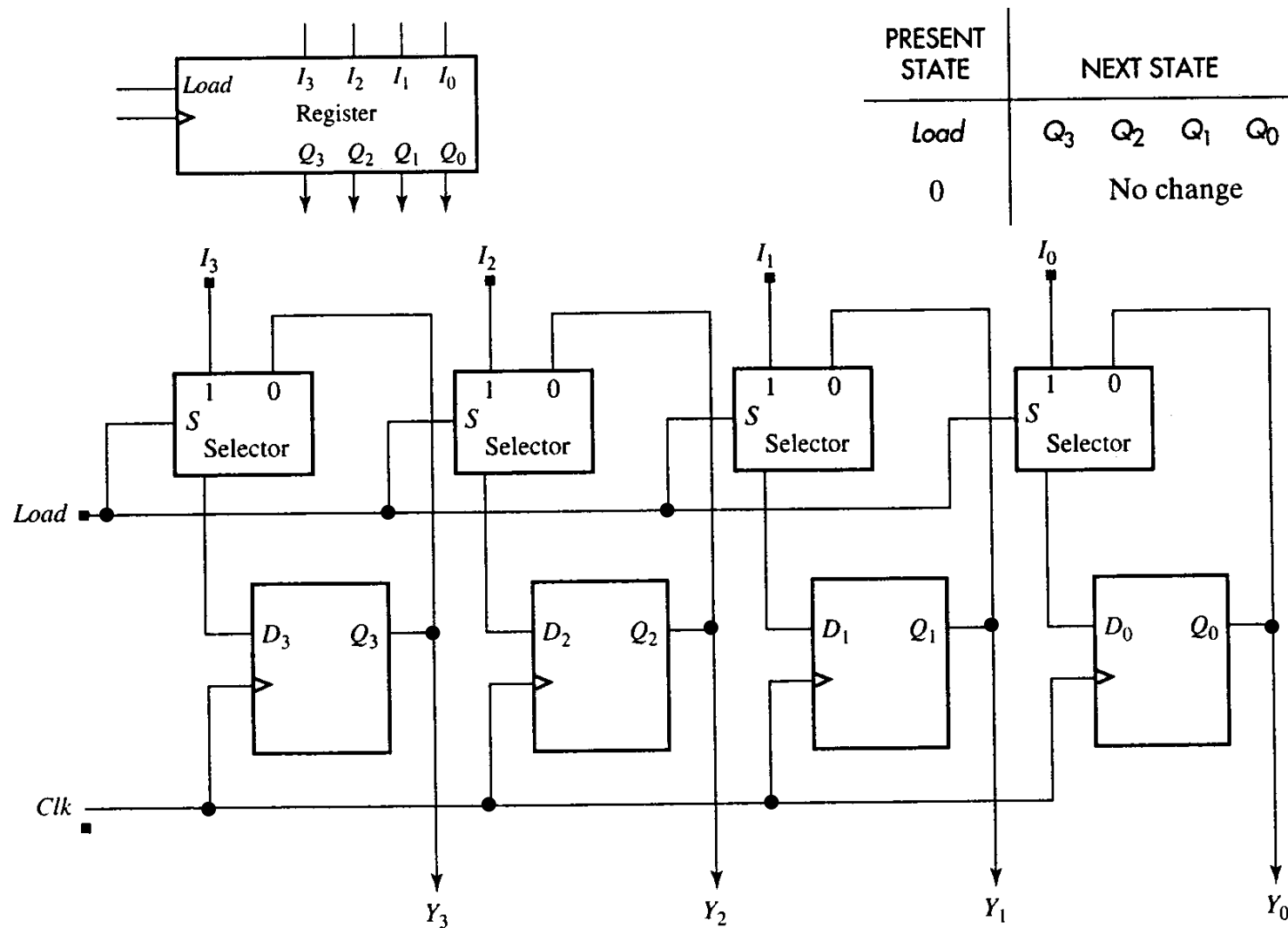


Registr s asynchronním nastavením a nulováním

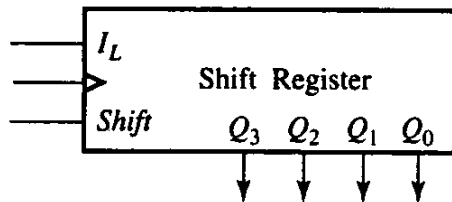
Poznámka: asynchronní nastavení na 1 nebo nulování má přednost před vstupy $I_3 - I_0$



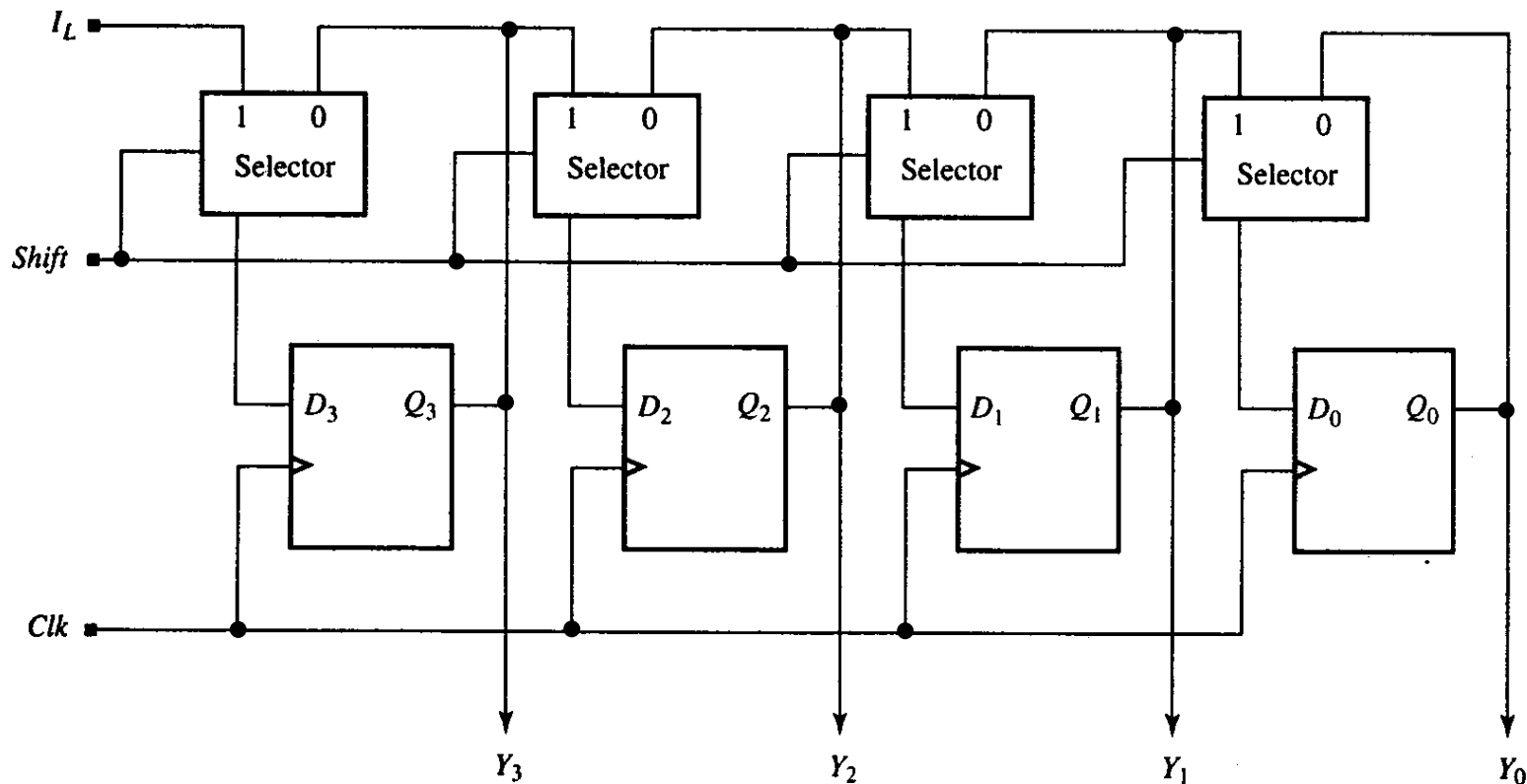
Registru s řízením zápisu – „paralelní load“



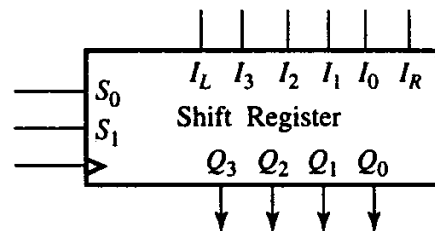
Posuvný registr



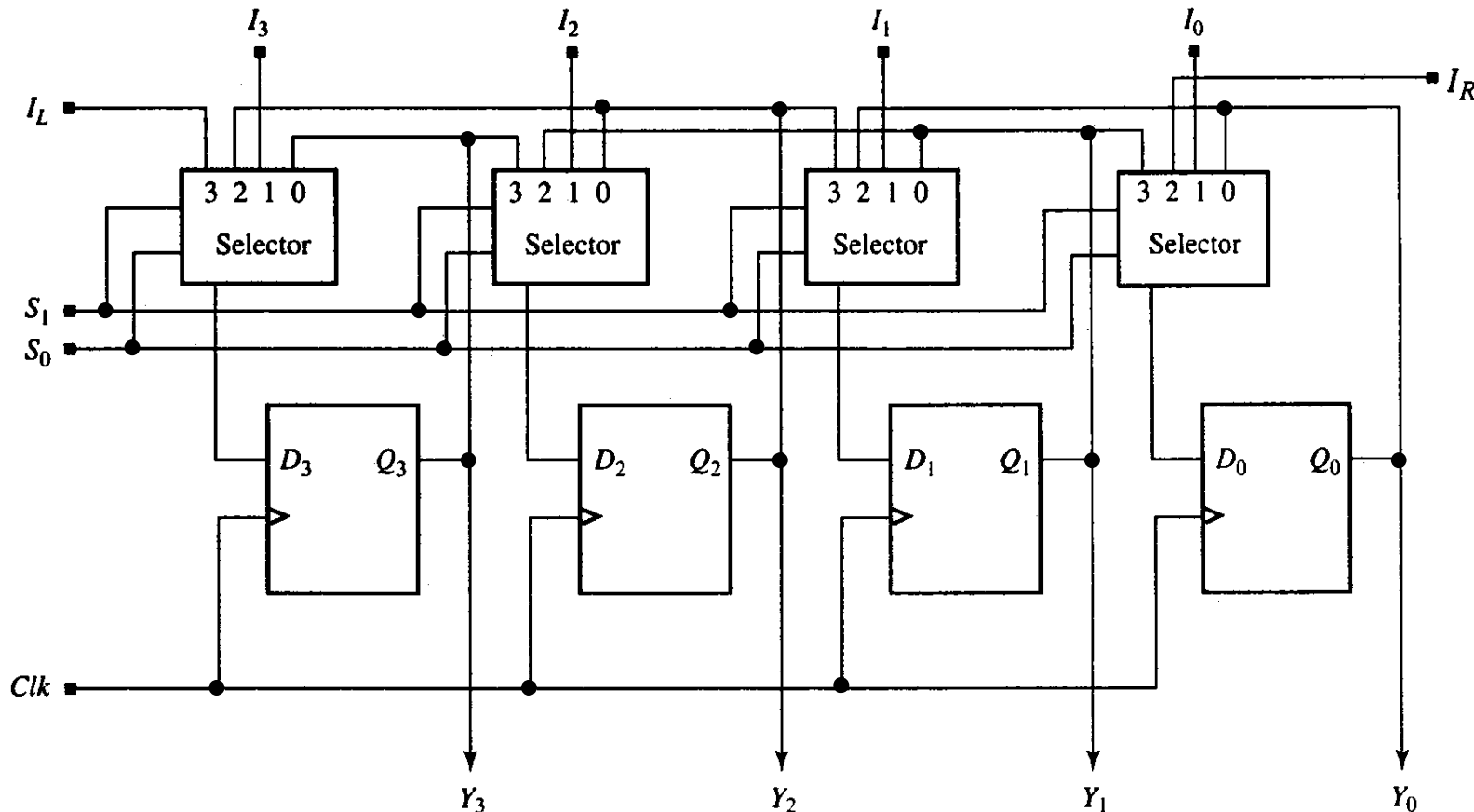
PRESENT STATE	NEXT STATE			
	Q_3	Q_2	Q_1	Q_0
0	No change			
1	I_L	Q_3	Q_2	Q_1



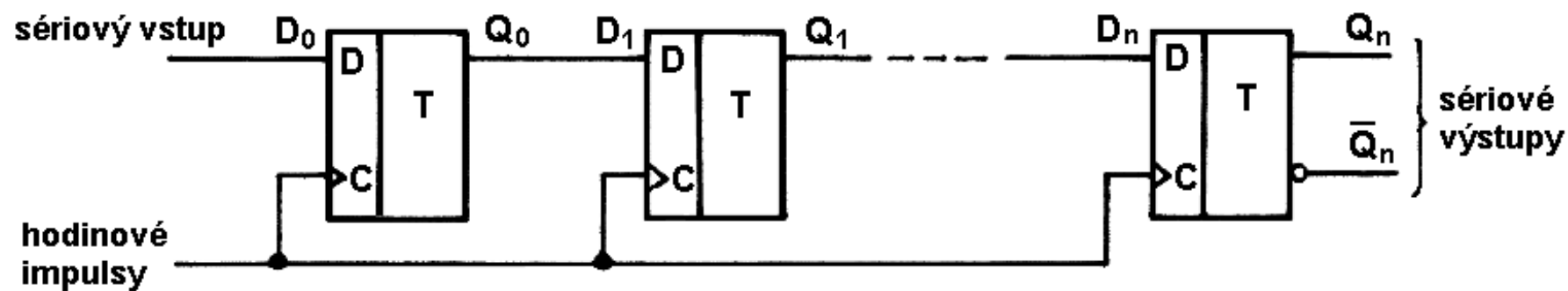
Posuvný registr s řízením zápisu a směrem posuvu



PRESENT STATE		OPERATION	NEXT STATE			
S_1	S_0		Q_3	Q_2	Q_1	Q_0
0	0	No change	Q_3	Q_2	Q_1	Q_0
0	1	Load input	I_3	I_2	I_1	I_0
1	0	Shift left	Q_2	Q_1	Q_0	I_R
1	1	Shift right	I_L	Q_3	Q_2	Q_1



Posuvný registr - zjednodušený



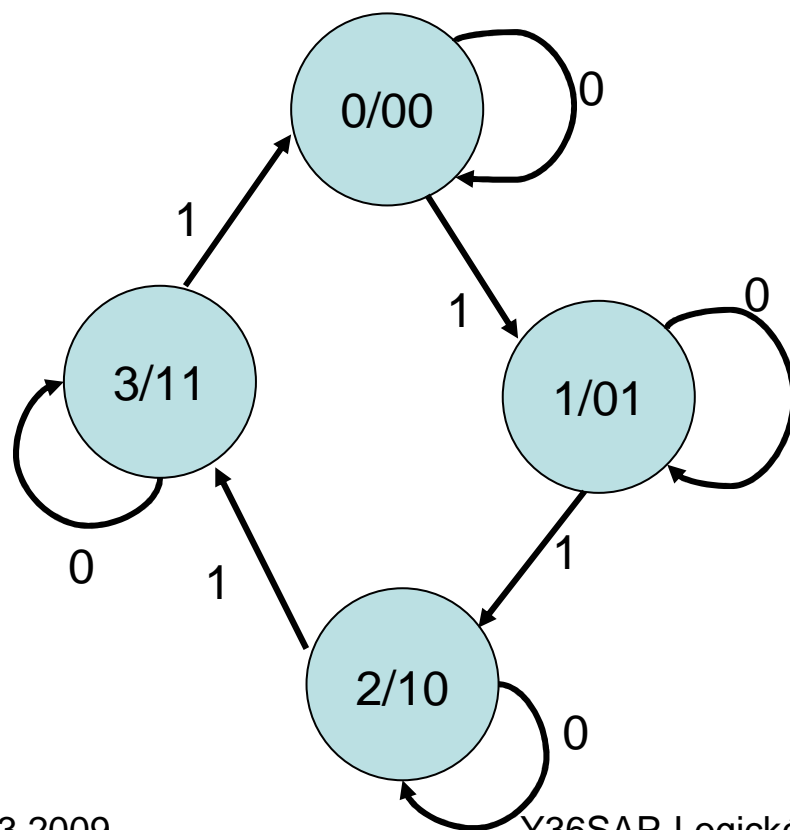
Čítače

- Speciální typ registru, který v sobě zahrnuje funkci inkrementu (dekrementu) – může čítat nahoru nebo (i) dolů
- Jsou tzv. úplné a neúplné čítače:
 - úplné čítače $M(\text{modulo}) 2^n$ - čítají do 4, 8, 16, 32, , neúplné např. do 10, 60, 80, 97,...
- Obvykle čítají v binárním kódu
- Ale jsou čítače i v jiných kódech (např. v 1 z n nebo v Grayově kódu – aby se měnila jen jedna vnitřní proměnná)
- Jsou čítače synchronní i asynchronní

Příklad – čítač M4 v binárním kódu

Navrhněte čítač M4 – vstup E (enable counting), synchronní, v binárním kódu

Moore,
graf a tabulka přechodů a výstupů



Q/E	0	1	Y
0	0	1	00
1	1	2	01
2	2	3	10
3	3	0	11

Příklad – čítač M4 v binárním kódu

$\begin{array}{c} E \\ \hline q_1 q_0 \end{array}$	0	1
00	00	01
01	01	10
10	10	11
11	11	00

Výstupy: $Y_0 = q_0$, $Y_1 = q_1$

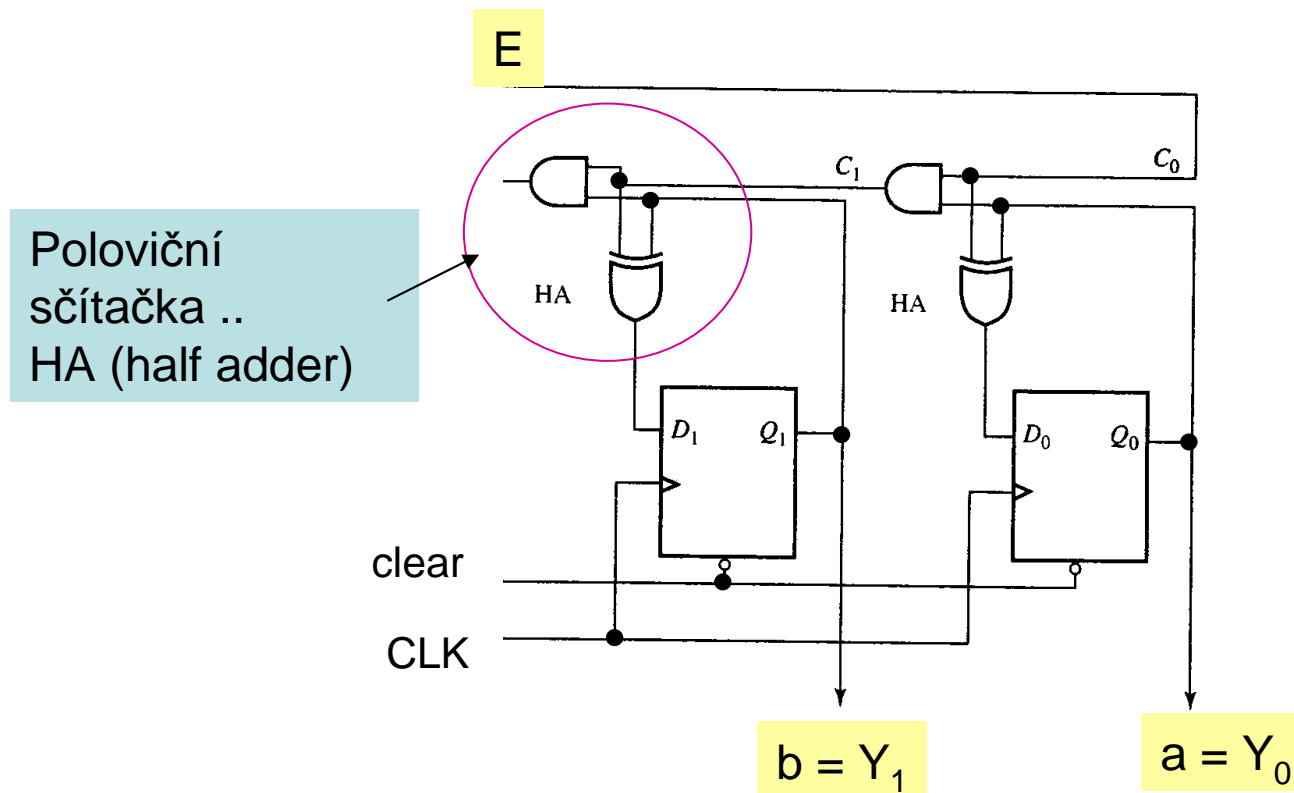
$\begin{array}{c} q_1 \\ \hline q_0 \end{array}$	0	1	1	0
1	1	0	0	1

$$D_{q_0} = q_0 \bar{E} + \bar{q}_0 E = q_0 \oplus E$$

$\begin{array}{c} q_1 \\ \hline q_0 \end{array}$	0	0	1	1
0	0	1	0	1

$$D_{q_1} = \bar{q}_0 q_1 + q_1 \bar{E} + q_0 \bar{q}_1 E$$

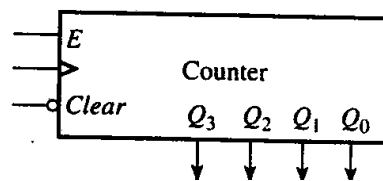
realizace



Výstup je vidět až po přechodu do následného stavu Q_t
Tedy z až po aktivní hraně CLK

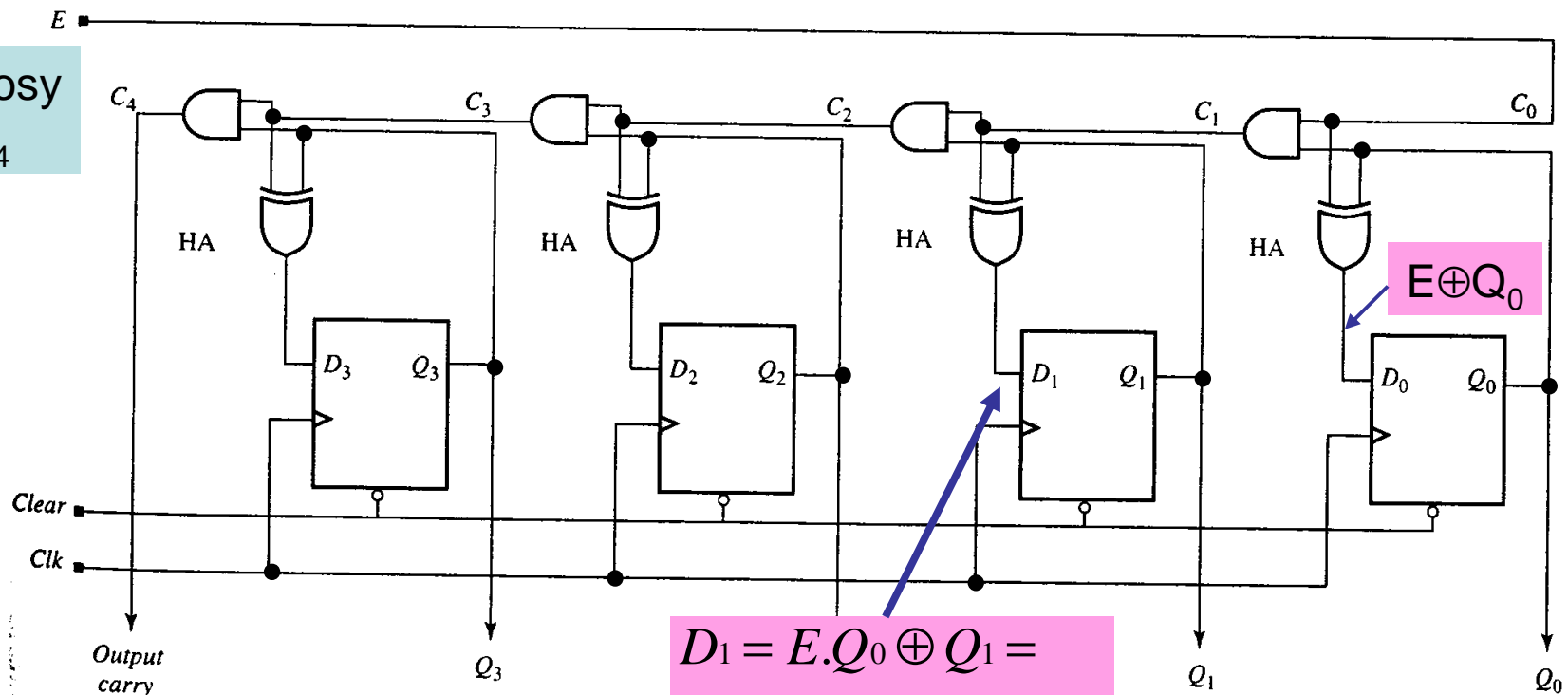
Čítač M16

Q_i	C_i	C_{i+1}	D_i
0	0	0	0
0	1	0	1
1	0	0	1
1	1	1	0



E	OPERATIONS
0	No change
1	Count

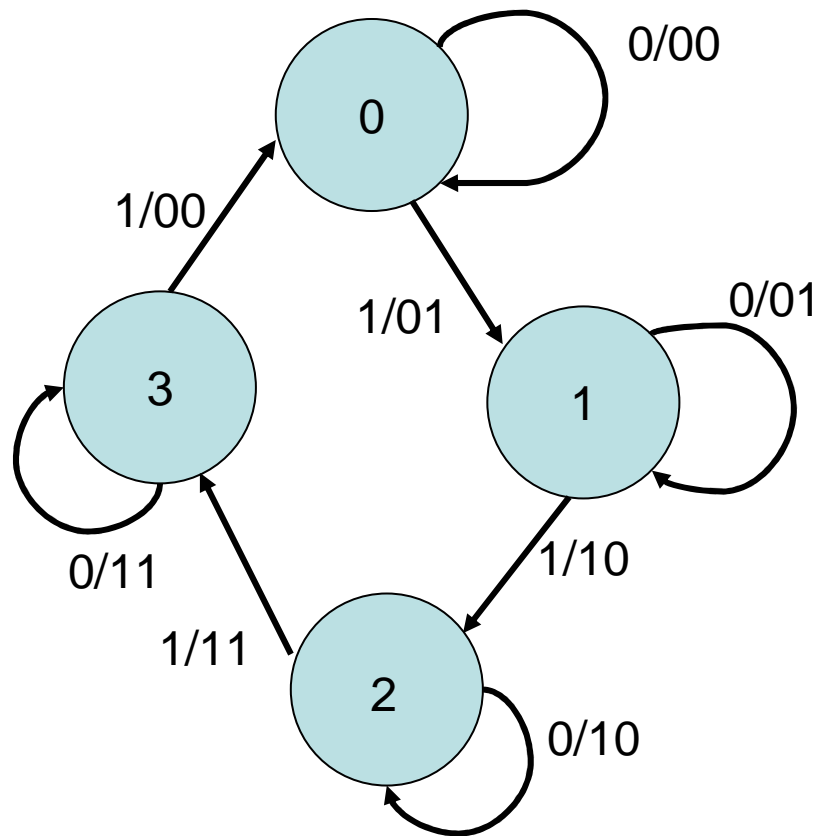
Přenosy
 C_1 - C_4



$$D_1 = E.Q_0 \oplus Q_1 = \overline{Q_0}Q_1 + Q_1\overline{E} + Q_0\overline{Q_1}E$$

HA – half adder

Mealy,
graf a tabulka přechodů a výstupů



Q/E	0	1	0	1
0	0	1	00	01
1	1	2	01	10
2	2	3	10	11
3	3	0	11	00

zakódování

Q/E	0	1	0	1
00	00	01	00	01
01	01	10	01	10
10	10	11	10	11
11	11	00	11	00

0	1	1	0
1	0	0	1

Diagram illustrating a 2D array structure with dimensions b (width) and a (height). The array contains the following values:

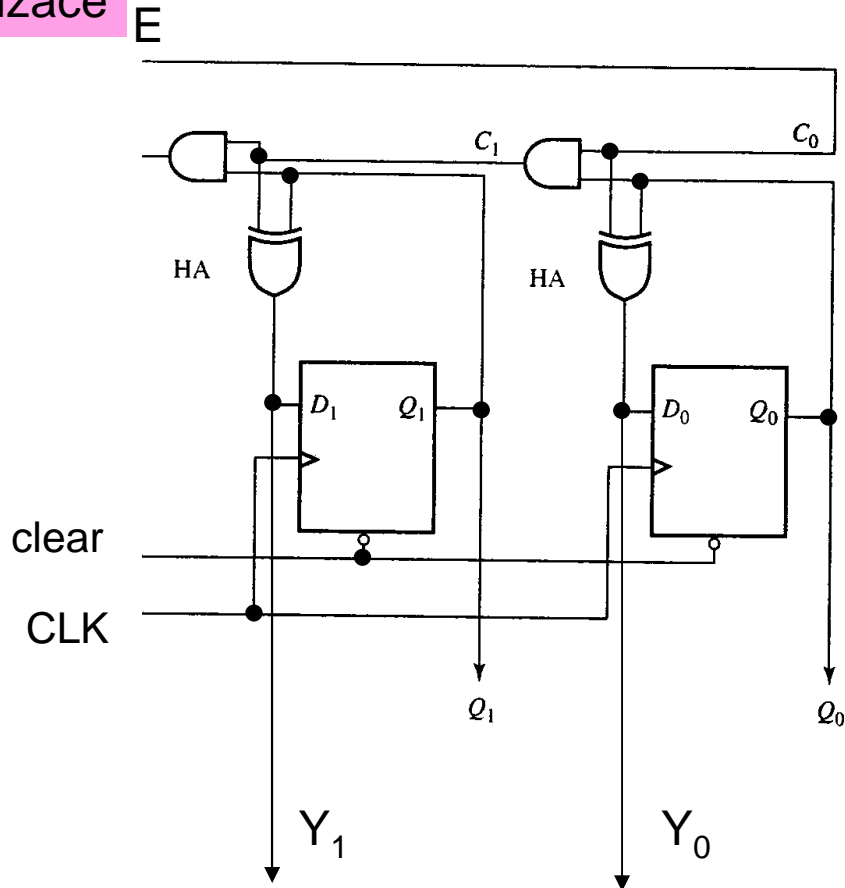
0	1	1	0
1	0	0	1

$$Y_0 = \overline{a}E + a\overline{E} = a \oplus E = D_a$$

	a	b	
E	0	0	1
F	0	1	0

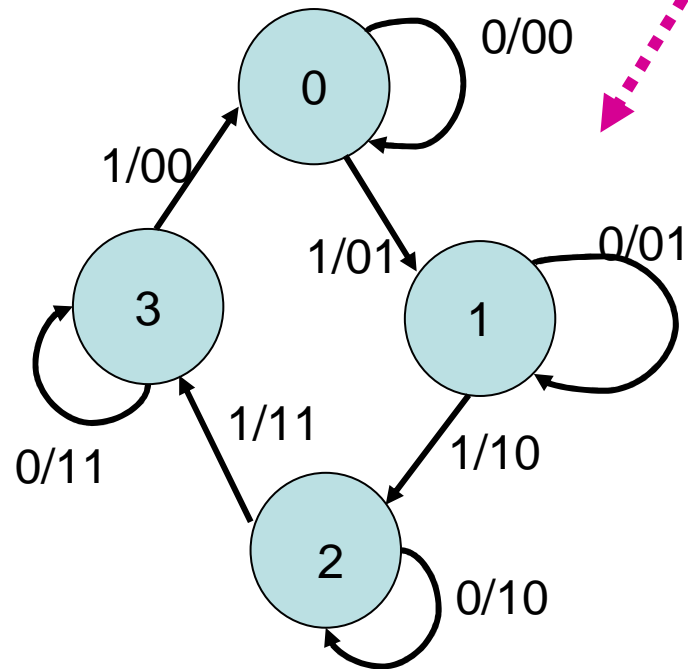
$$Y_1 = D_b = \overline{a}b + b\overline{E} + a\overline{b}E$$

realizace

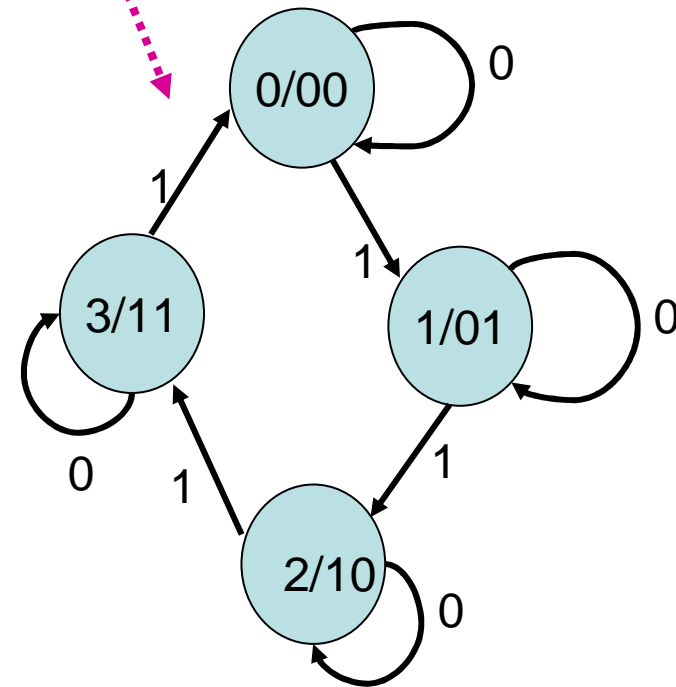


Výstup musí být vidět dříve, tzn. současně s následným stavem Q_t a ne s výchozím stavem Q_{t-1} , tedy je odvozen ze vstupů a ne z výstupů

rozdíl Mealy x Moore

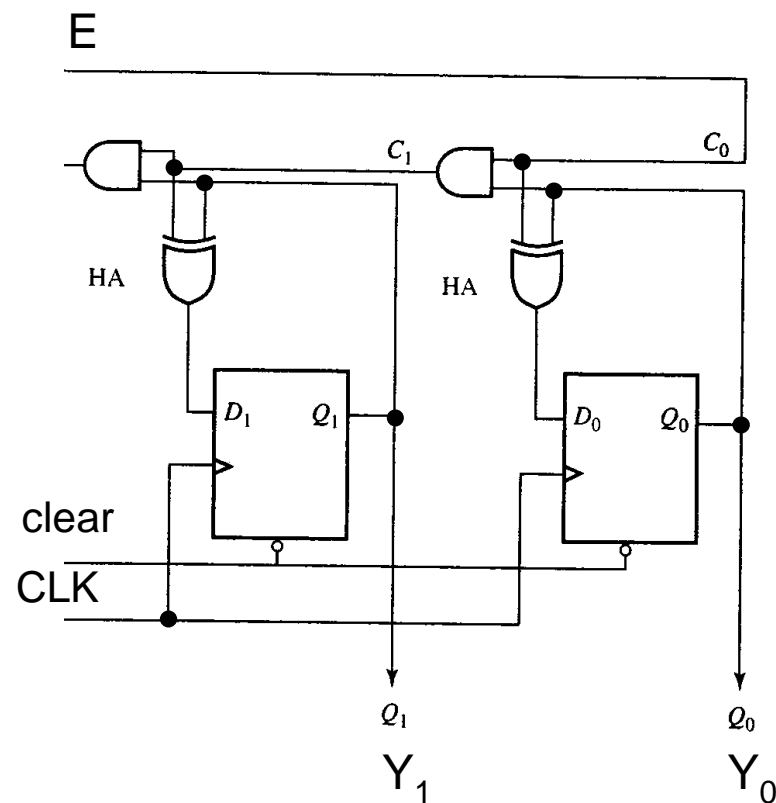
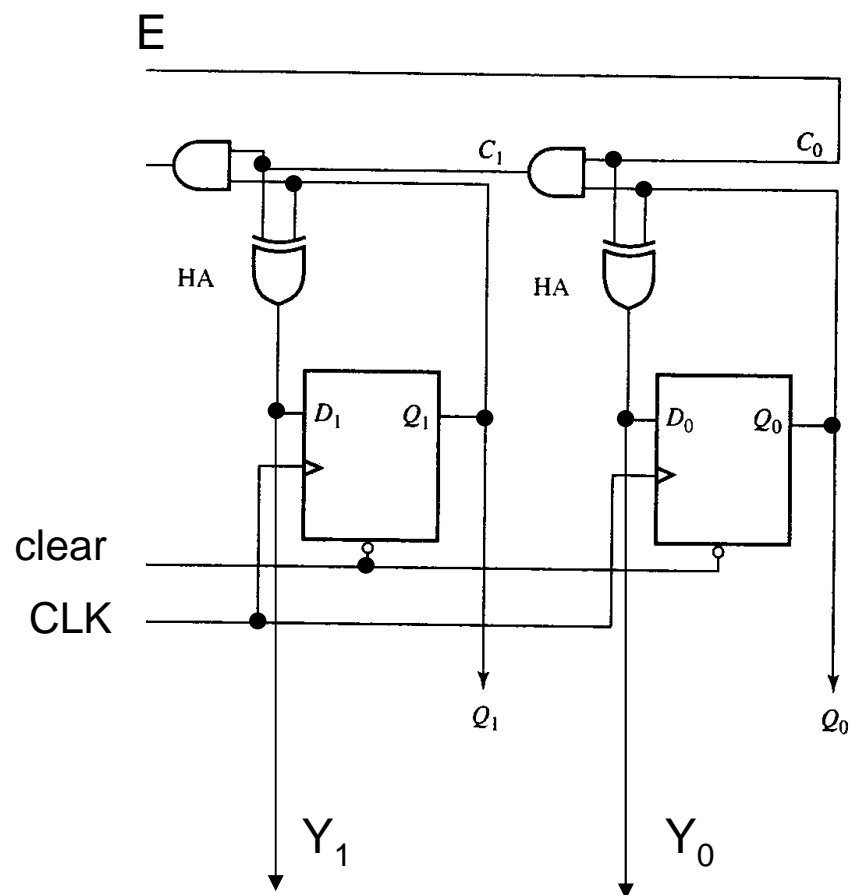


Q/E	0	1	0	1
0	0	1	00	01
1	1	2	01	10
2	2	3	10	11
3	3	0	11	00



Q/E	0	1	Y
0	0	1	00
1	1	2	01
2	2	3	10
3	3	0	11

rozdíl Mealy x Moore u čítače



Čítače neúplné

Příklad1: navrhnete čítač M5 v binárním kódu.

Příklad2: navrhnete vratný čítač M4 v Grayově kódu, pro vstup $D=0$ čítá nahoru, pro $D=1$ dolů.

Otázka: Jak bude vypadat čítač typu Mealy?

Hazardy

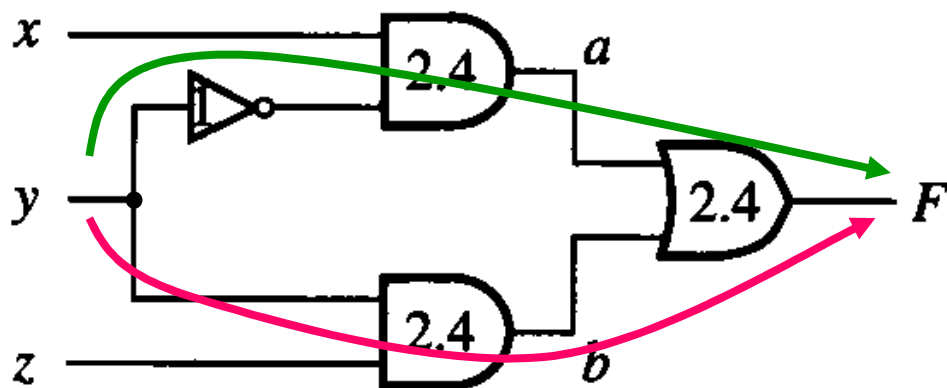
- Co je hazard
- Důvody vzniku hazardů
- Nalezení
- Kdy vadí a kdy ne

Poznámka: zde se budeme zabývat jen statickým hazardem.
Existuje ještě dynamický hazard a hazardy v
sekvenčních obvodech asynchronních.

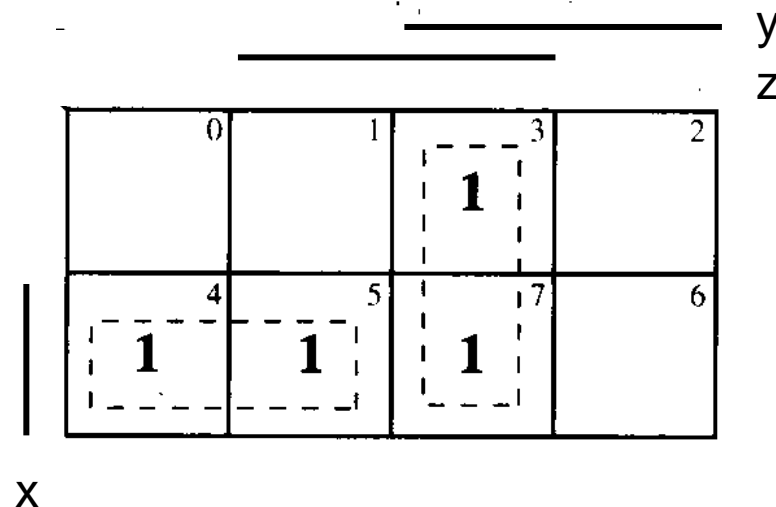
Co je a jak vzniká hazard

- Krátká neočekávaná změna výstupního signálu – **glitch**
- Signál se ze vstupu na výstup šíří různými, ale konvergujícími cestami, z důvodů zpoždění na hradlech i vodičích cestami s různým zpožděním
- Statický hazard – výstup má být trvale v 0 nebo 1 (má mít stejnou úroveň), místo toho se objeví krátká změna do opačné úrovně
- 0-1-0 statický hazard v 0
- 1-0-1statický hazard v 1

Statický hazard v 1 - příklad



Ze vstupu y na výstup F vedou dvě cesty, které se nejdříve rozpojí a pak zase spojí

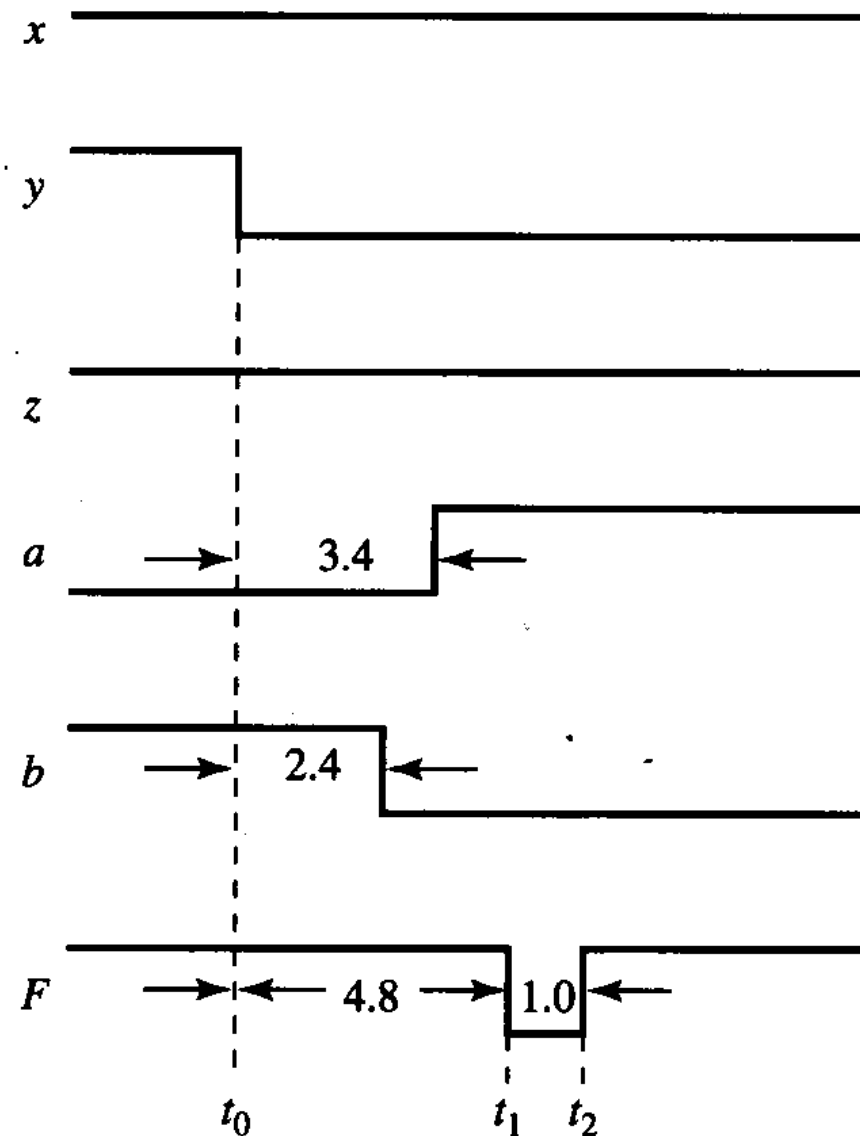
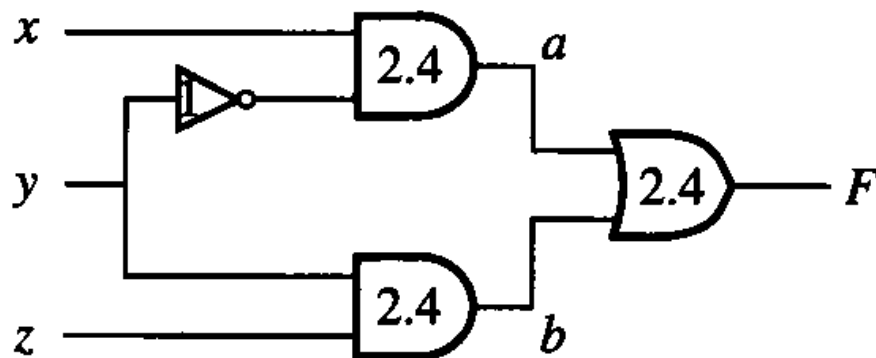


$$F = \bar{x}y + yz$$

Hledání hazardu v časovém diagramu

Hledám podmínky pro proměnnou y (dvě cesty), tzn.

Pro $x = z = 1$ hradla AND
 $x\bar{y} + yz = 1$, ale uvidíme:



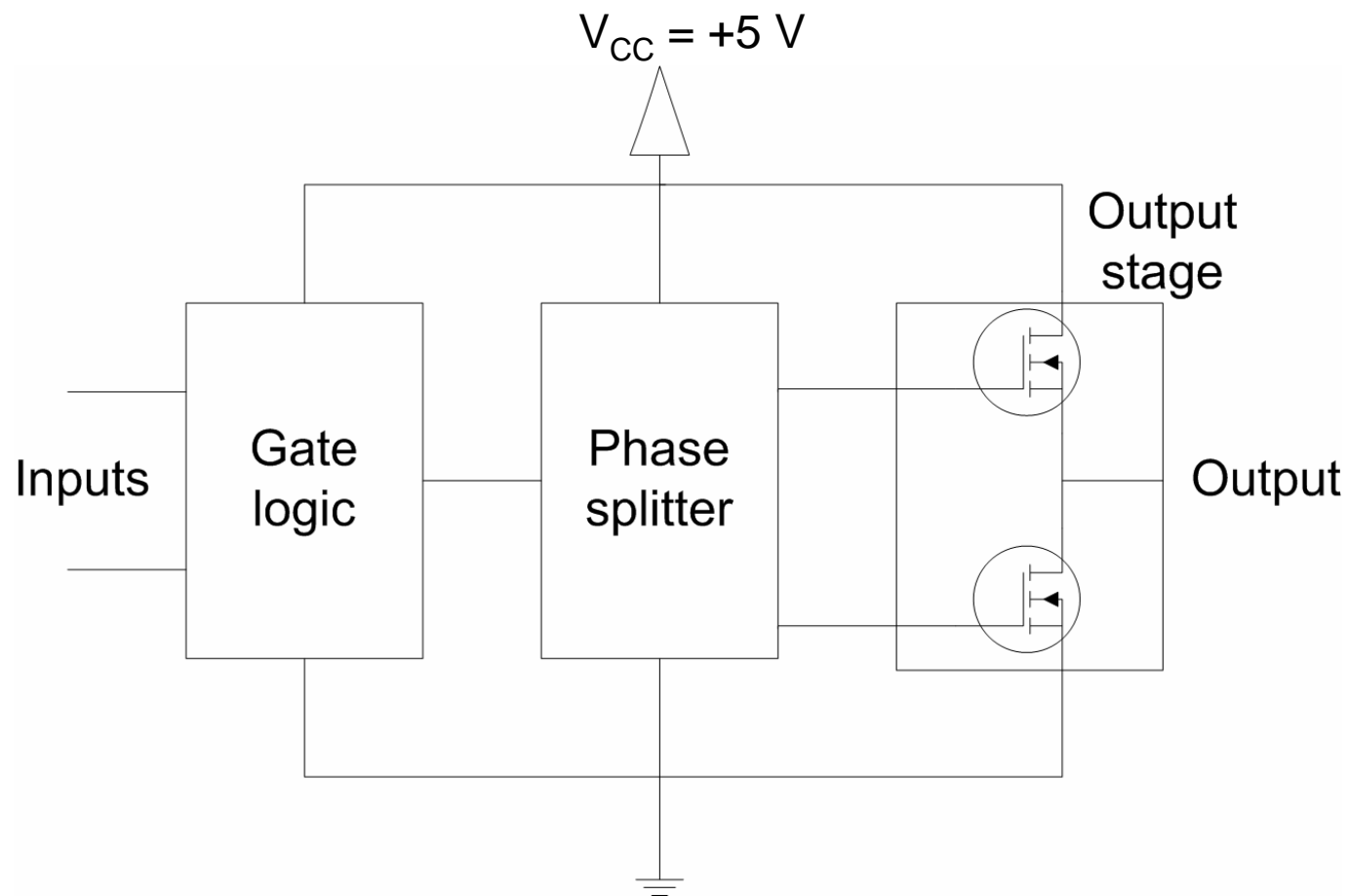
Kdy hazardy vadí?

- Co je hazard-free design?
- Hazardy v návrhu kombinačních obvodů nejsou kritické, protože se výstupy po „nějaké“ (krátké) době vždycky ustálí ve správných hodnotách
- Naopak v sekvenčních obvodech mohou přivést klopný obvod do nesprávného stavu, a tím celý obvod i do nevratného „špatného“ vnitřního stavu
- Řešení – synchronní návrh a správný výpočet maximální hodinové frekvence

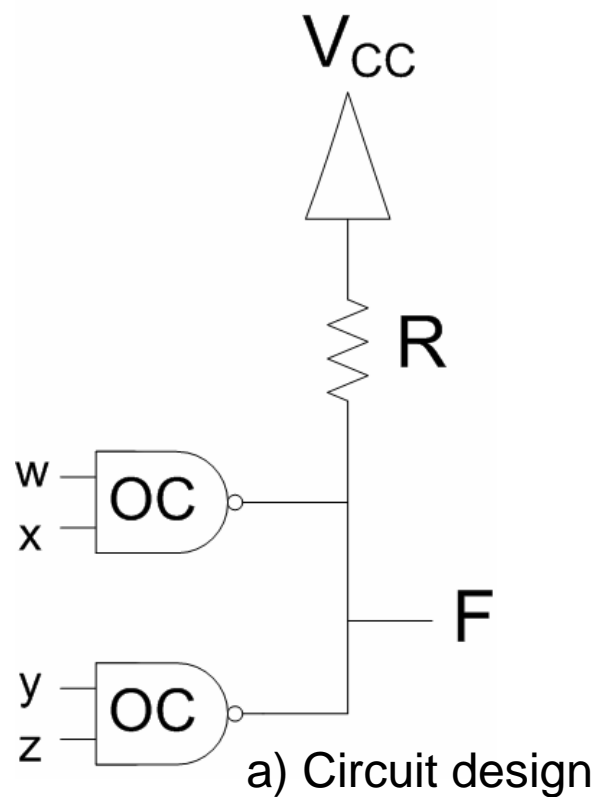
Typy výstupů, připojení ke sběrnici

- Standardní výstup ... totem-pole
 - Výstupy nelze spojovat !!!
- Otevřený kolektor ... open collector (OC)
 - Montážní součin – wired-AND gate (TTL)
- Třístavový výstup ... tri-state output
 - Připojení ke sběrnici, 3 stavy: H, L, Z – vysoká impedance

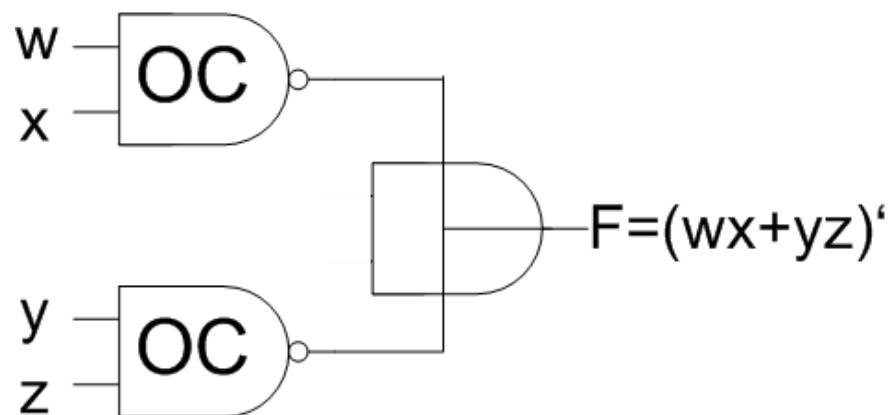
TTL struktura -standardní



Otevřený kolektor

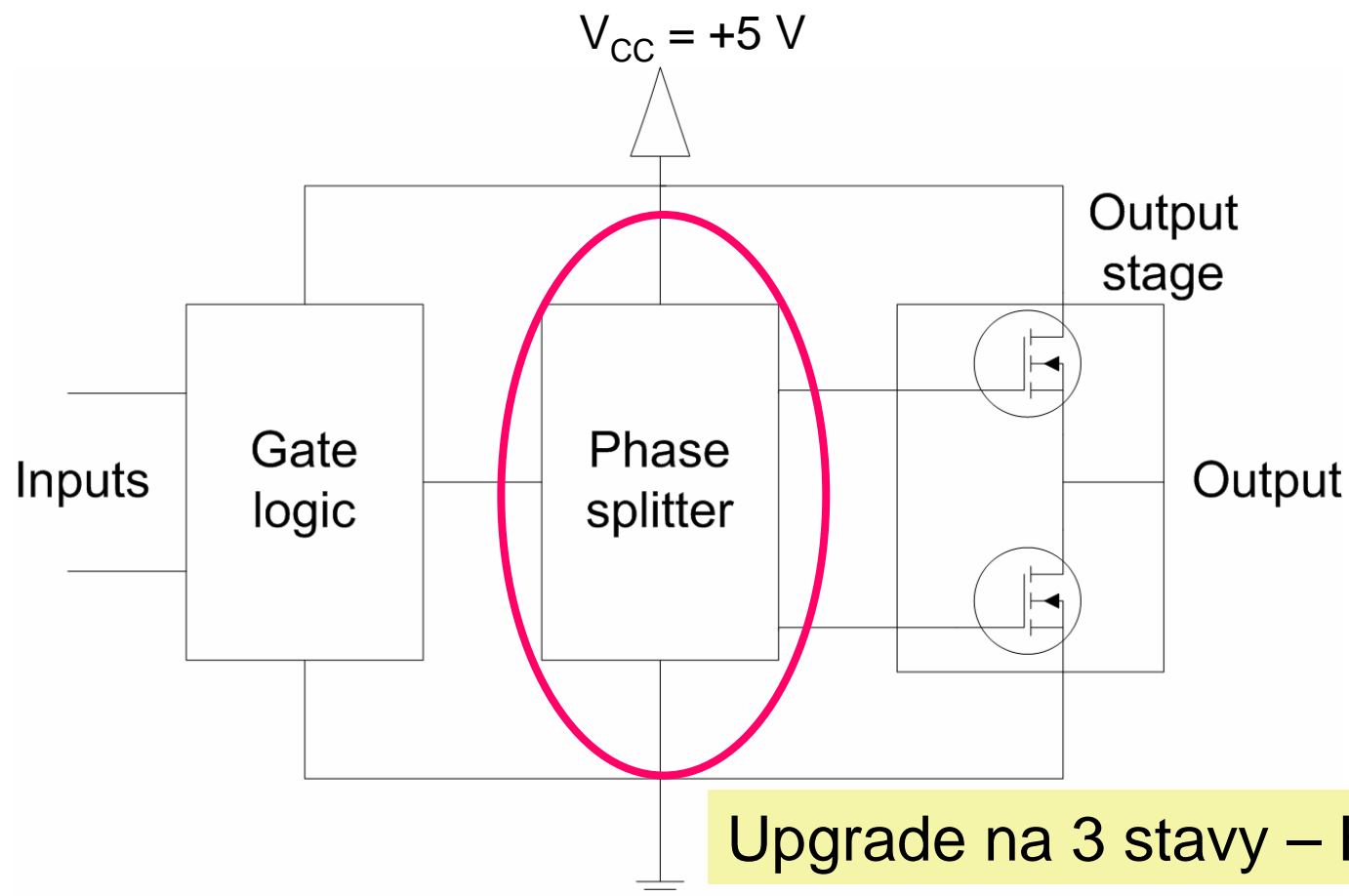


Chybí pull-up transistor a odpor

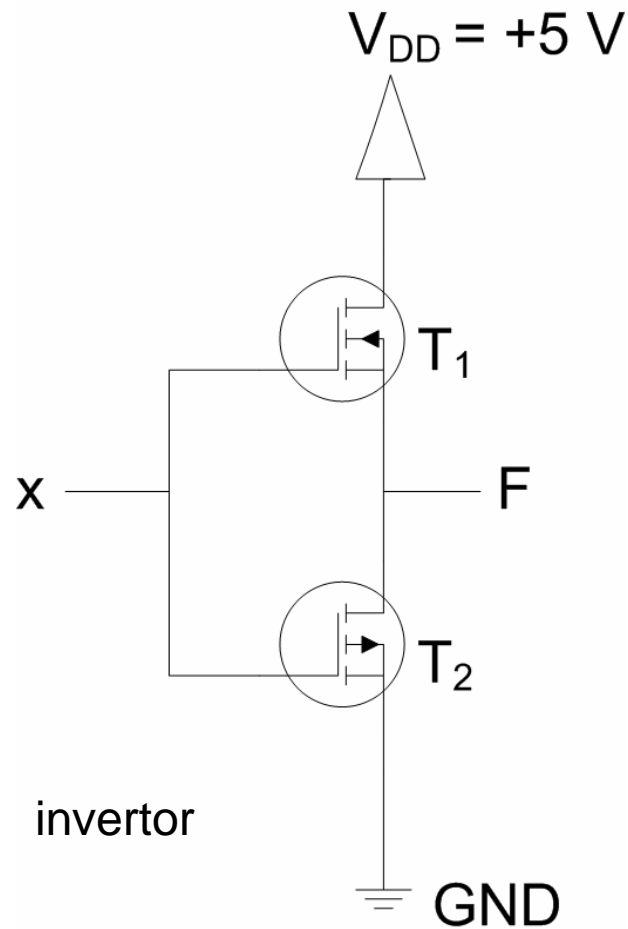


OC ... open collector

Třístavový výstup

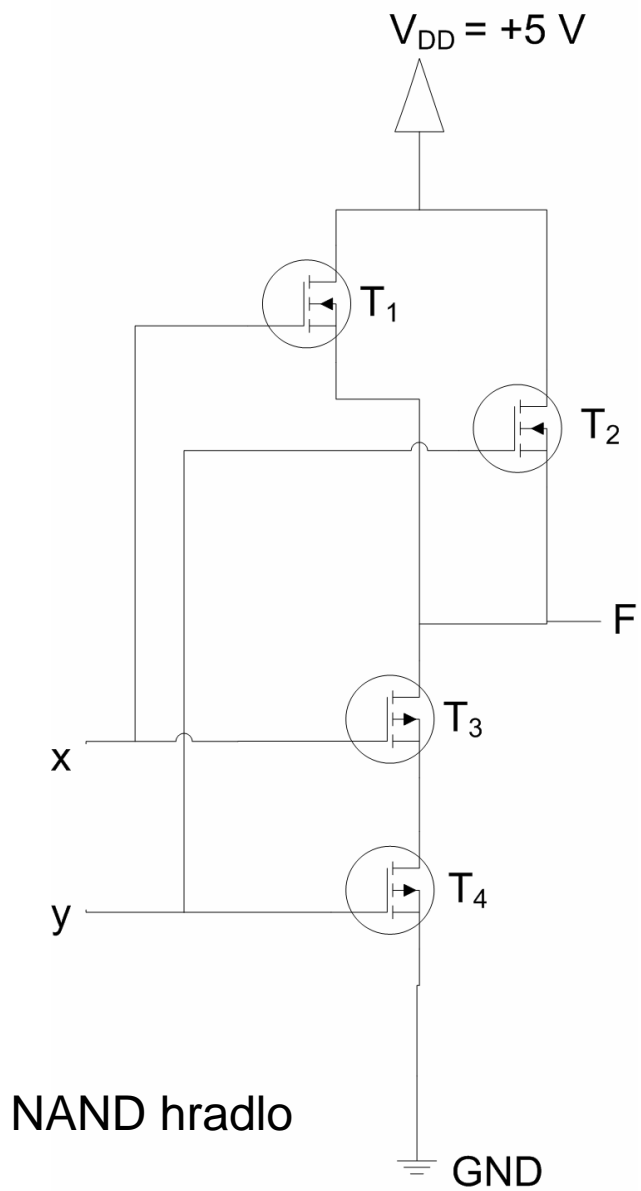


CMOS – complementary metal-oxid-semiconductor logic

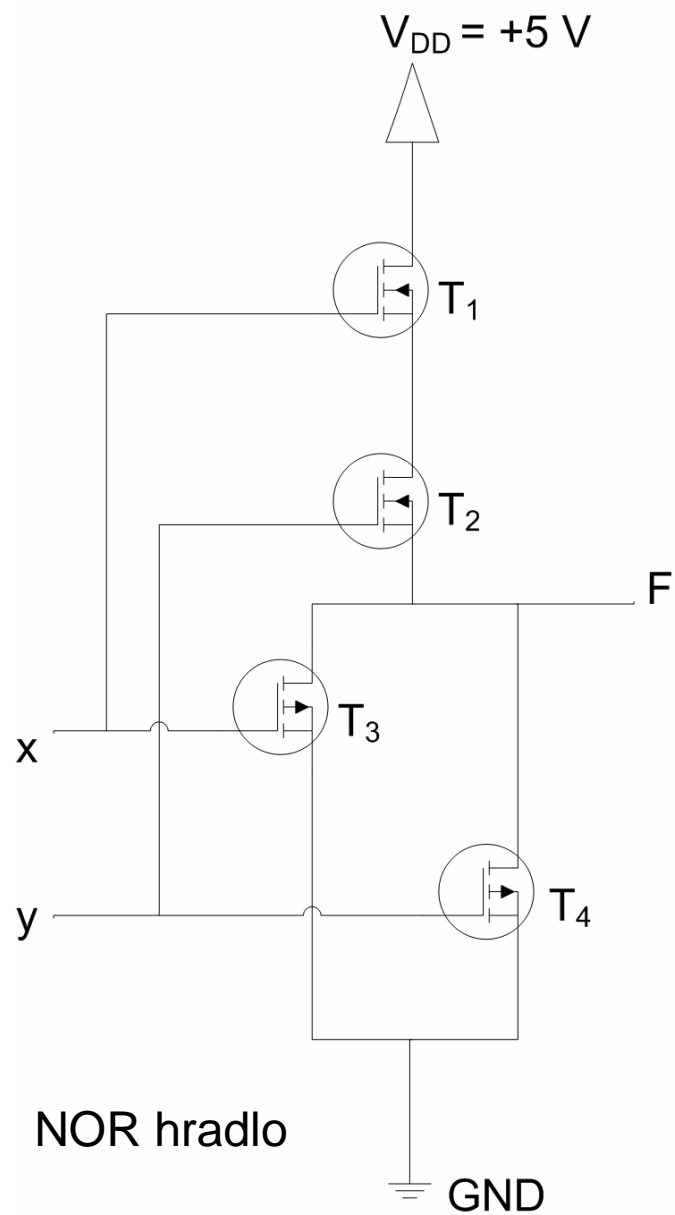


Pravdivostní tabulka:

x	T_1	T_2	F
L	on	off	L
H	off	on	H



x	y	T ₁	T ₂	T ₃	T ₄	F
L	L	on	on	off	off	H
L	H	on	off	off	on	H
H	L	off	on	on	off	H
H	H	off	off	on	on	L



x	y	T ₁	T ₂	T ₃	T ₄	F
L	L	on	on	off	off	H
L	H	on	off	off	on	L
H	L	off	on	on	off	L
H	H	off	off	on	on	L