

Y36SAP-3

Logické obvody sekvenční
Formy popisu
Příklady návrhu

2008-Kubátová

Y36SAP-Logické obvody

1

Kombinační x sekvenční obvody

- Kombinační – výstup je dán **kombinací** vstupů, „nezáleží“ na čase
- Sekvenční – výstup závisí na **posloupnosti** (sekvenci) hodnot na vstupech, realizuje se tzv. zpětnou vazbou
- Vše lze matematicky popsat
 - Logická funkce - ***f***
 - Konečný automat – **FSM** (*Finite State Machine*)

2008-Kubátová

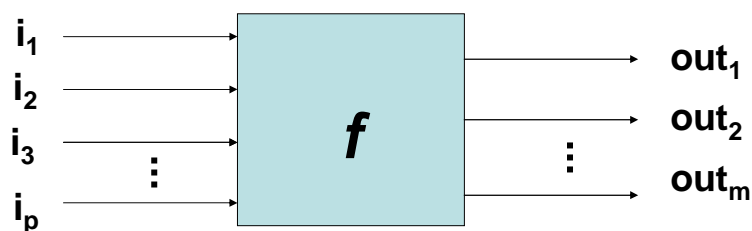
Y36SAP-Logické obvody

2

Kombinační funkce

Kombinační funkce:

$$out_k = f(i_1, i_2, i_3, \dots, i_p), k=1,2,\dots,m$$

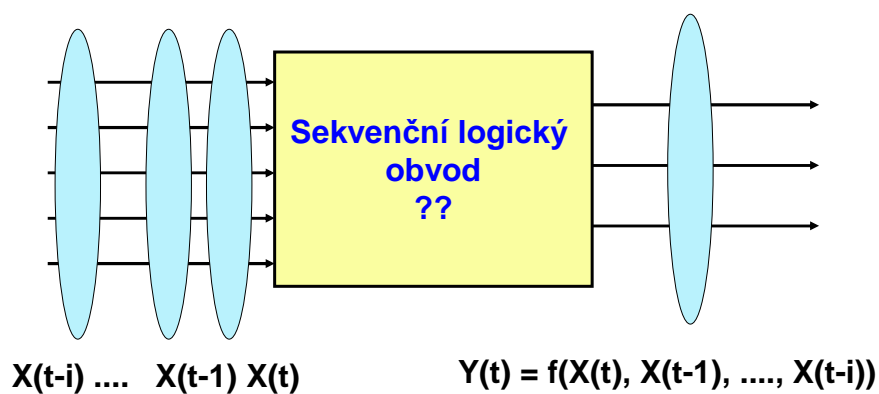


2008-Kubátová

Y36SAP-Logické obvody

3

Sekvenční chování

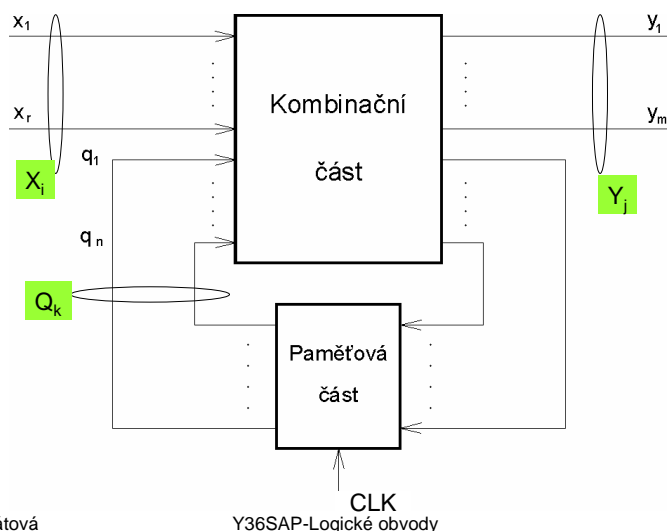


2008-Kubátová

Y36SAP-Logické obvody

4

Obecný (Huffmannův) model sekvenčního obvodu



2008-Kubátová

Y36SAP-Logické obvody

5

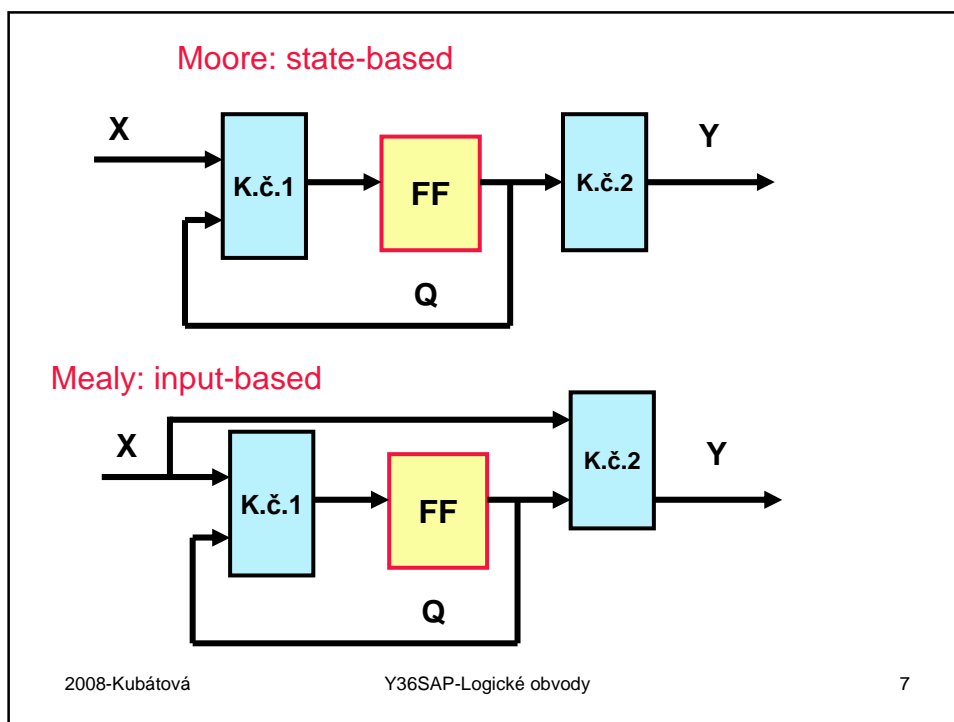
Sekvenční logický obvod – konečný automat - FSM

- X** ... Množina možných kombinací hodnot vstupních proměnných KA;
př: 3 vstup. prom. \Rightarrow X obs. $2^3=8$ možných kombinací
- Y** ... Množina možných kombinací výstupních hodnot KA
- Q** ... Množina možných kombinací hodnot vnitřních proměnných KA (množina stavů)
- Q_0** ... Počáteční stav (kombinace hodnot vnitřních proměnných KA v počátečním stavu)
- δ** ... Stavově přechodová funkce:
 $\delta : X \times Q \rightarrow Q$... definuje příští stav KA
- λ** ... Výstupní funkce:
a) $\lambda : X \times Q \rightarrow Y$... typ Mealy
b) $Q \rightarrow Y$... typ Moore

2008-Kubátová

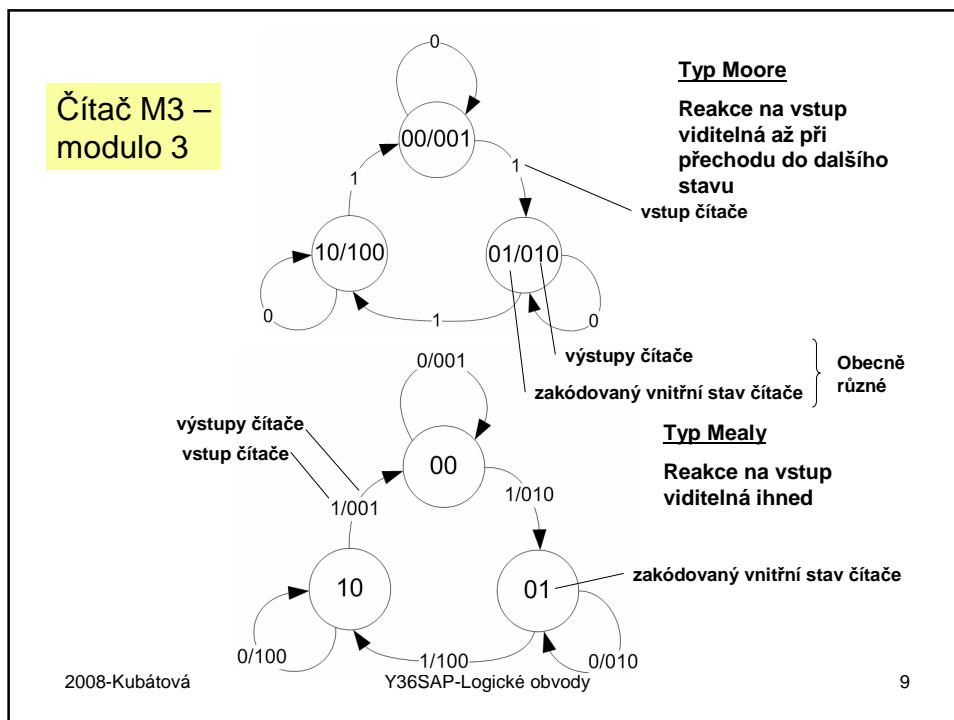
Y36SAP-Logické obvody

6



Postup návrhu sekvenčního obvodu

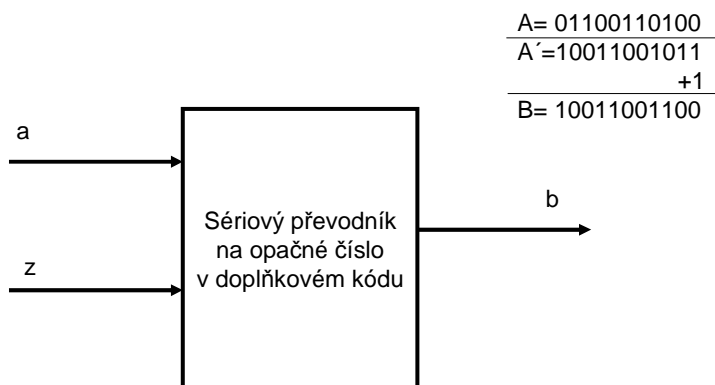
1. Slovní popis
2. Graf přechodů
3. Tabulky přechodů a výstupů
4. Zakódování vstupů, výstupů a vnitřních stavů
5. (Zakódované tabulky přechodů a výstupů)
6. Minimalizace výrazů pro budící vstupy vybraného typu klopných obvodů (mapy)
7. Minimalizace výrazů pro výstupní funkce
8. Realizace z (předepsaného typu) hradel
9. Výpočet hodinové frekvence



Příklad 1

- Navrhněte SSO se dvěma vstupy a , z a jedním výstupem b , který bude převádět sériově vstupující binární číslo A v doplňkovém kódu na číslo B opačné k A . A vstupuje nejnižším řádem napřed, z indikuje začátek čísla A . (jestliže je $z=1$, na vstupu je nejnižší řád A).
- Poznámka: automat není iniciální

Řešení

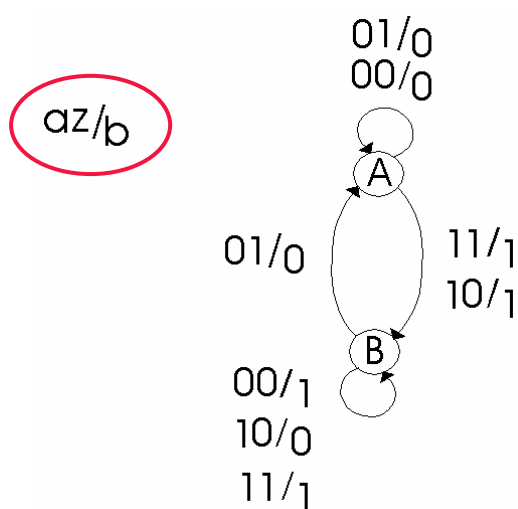


2008-Kubátová

Y36SAP-Logické obvody

11

Graf přechodů

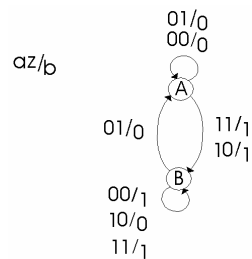


2008-Kubátová

Y36SAP-Logické obvody

12

Tabulka přechodů a výstupů



	az			
Q _{next}	00	01	11	10
A	A	A	B	B
B	B	A	B	B

b	00	01	11	10
A	0	0	1	1
B	1	0	1	0

2008-Kubátová

Y36SAP-Logické obvody

13

Kódování vnitřních stavů (vstupy a výstup už jsou)

2 stavy ... pro rozlišení stačí 2 bity,
např. A ... 0, B ... 1

Q _{next}	00	01	11	10
A	A	A	B	B
B	B	A	B	B

b	00	01	11	10
A	0	0	1	1
B	1	0	1	0

Q _{next}	00	01	11	10
0	0	0	1	1
1	1	0	1	1

2008-Kubátová

Y36SAP-Logické obvody

14

Realizace pomocí hradel a klopných obvodů

Q _{next}	00	01	11	10
0	0	0	1	1
1	1	0	1	1

Co je klopný obvod???

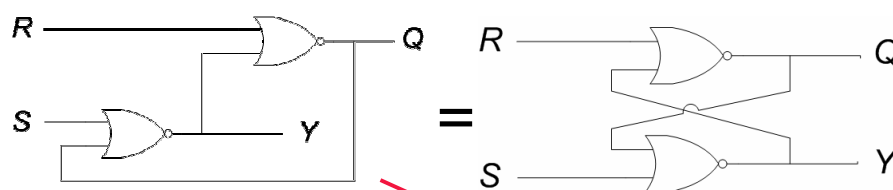
b	00	01	11	10
A	0	0	1	1
B	1	0	1	0

2008-Kubátová

Y36SAP-Logické obvody

15

Klopné obvody - asynchronní



Klasické zapojení asynchronního R-S klopného obvodu

RS	Q	Y	
1 1	0	0	!!!
1 0	0	1	
0 1	1	0	
0 0	?	?	- závisí na předchozím stavu

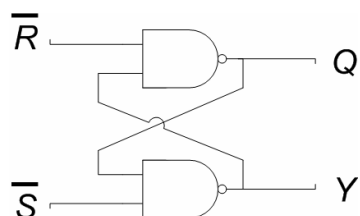
2008-Kubátová

Y36SAP-Logické obvody

16

Klopné obvody - asynchronní

„Podobné“ chování má obvod složený z hradel NAND:



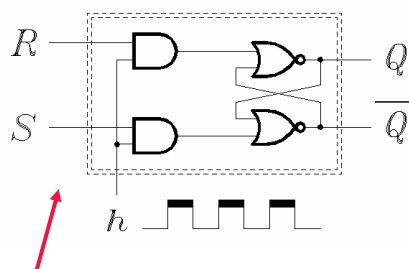
Jde o asynchronní R-S klopný obvod s inverzními vstupy, pamatuje při vstupech 11 a při kombinaci 00 závisí na předchozím stavu, 0 na S nastavuje Q do 1.

2008-Kubátová

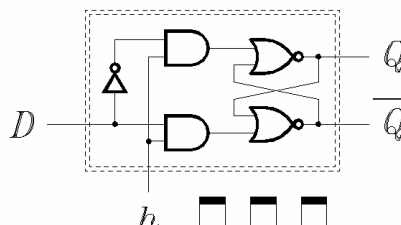
Y36SAP-Logické obvody

17

Klopné obvody - úrovňové



Výhodnější – použití 4 NAND

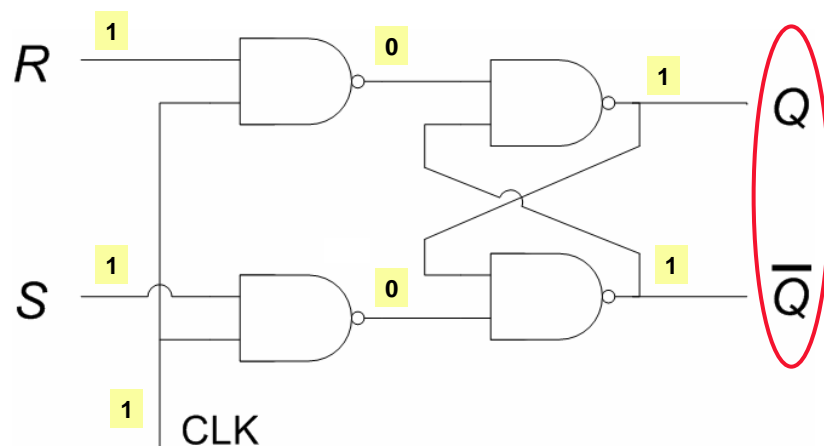


2008-Kubátová

Y36SAP-Logické obvody

18

„Zakázaný stav“.....

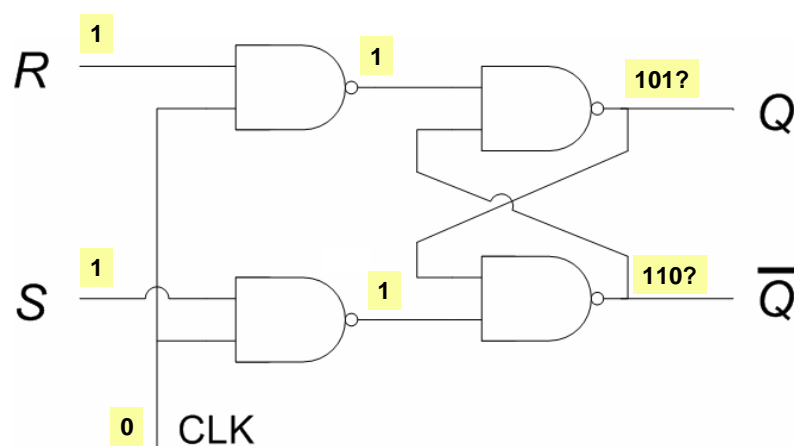


2008-Kubátová

Y36SAP-Logické obvody

19

„Zakázaný stav“.....

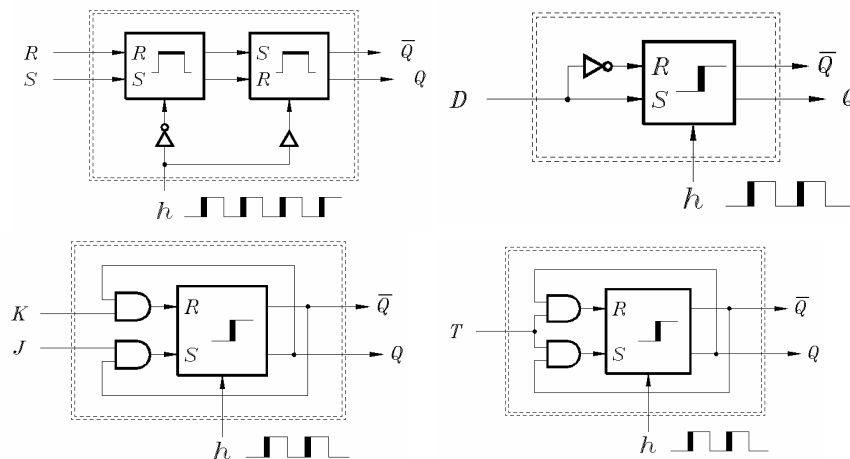


2008-Kubátová

Y36SAP-Logické obvody

20

Klopné obvody – hranové (Master –Slave)

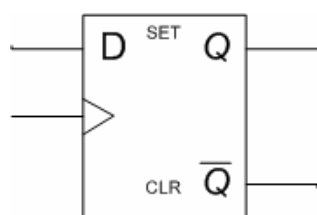


2008-Kubátová

Y36SAP-Logické obvody

21

... použití D - klopných obvodů



D	Q(next)
0	0
1	1

$$Q(next) = D$$

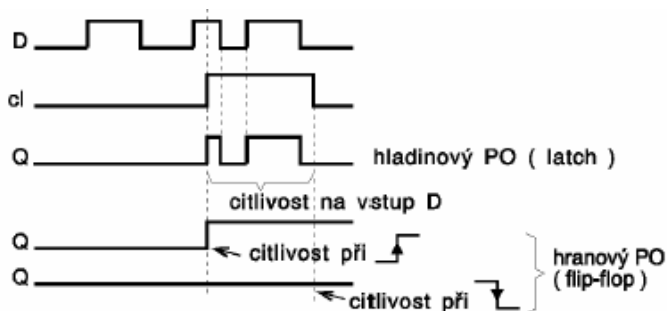
Q	Q(next)	D
0	0	0
0	1	1
1	0	0
1	1	1

2008-Kubátová

Y36SAP-Logické obvody

22

Rozdíl v chování hladinového a hranového D-KO



Poznámka: Klopný, též někdy paměťový obvod, angl. často jen *latch* nebo *FF*

2008-Kubátová

Y36SAP-Logické obvody

23

Příklad 2

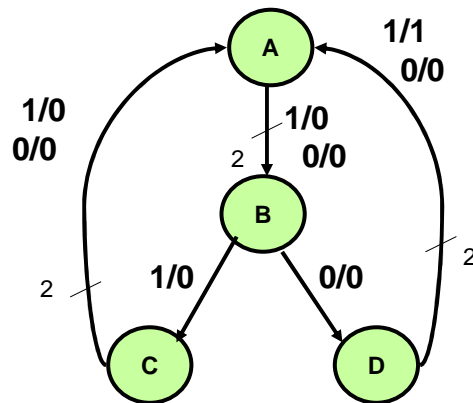
- Navrhněte SSO s jedním vstupem x a jedním výstupem y , který bude detekovat zda jsou v tříbitových vstupních posloupnostech binární čísla 4 nebo 5. Počáteční podmínky – na vstupu je nejnižší řád prvního tříbitového čísla.
- Poznámka1: automat je iniciální
- Poznámka2: řešení a realizace je na tabuli

2008-Kubátová

Y36SAP-Logické obvody

24

Graf přechodů



2008-Kubátová

Y36SAP-Logické obvody

25

Další postup

2. Z grafu tabulky pro přechodovou a výstupní funkci
3. Kódování a zakódované tabulky
4. mapy,
5. minimalizace
6. budící funkce pro vstupy klopných obvodů a pro výstupy
7. realizace
8. časování – výpočet maximální hodinové frekvence

2008-Kubátová

Y36SAP-Logické obvody

26

2. Tabulka přechodů a výstupů

	0	1	0	1
A	B	B	0	0
B	D	C	0	0
C	A	A	0	0
D	A	A	0	1

3. Zakódování vnitřních stavů, např.:

	b	a
A	0	0
B	0	1
C	1	1
D	1	0

Zakódovaná tabulka přechodů a výstupů

	0	1	0	1
00	01	01	0	0
01	10	11	0	0
11	00	00	0	0
10	00	00	0	1

4.

	a	b	a	b
1	0	0	0	0
1	1	0	0	0

$D_a = \bar{a}b + \bar{b}X$

	a	b	a	b
0	1	0	0	0
0	1	0	0	0

$D_b = a\bar{b}$

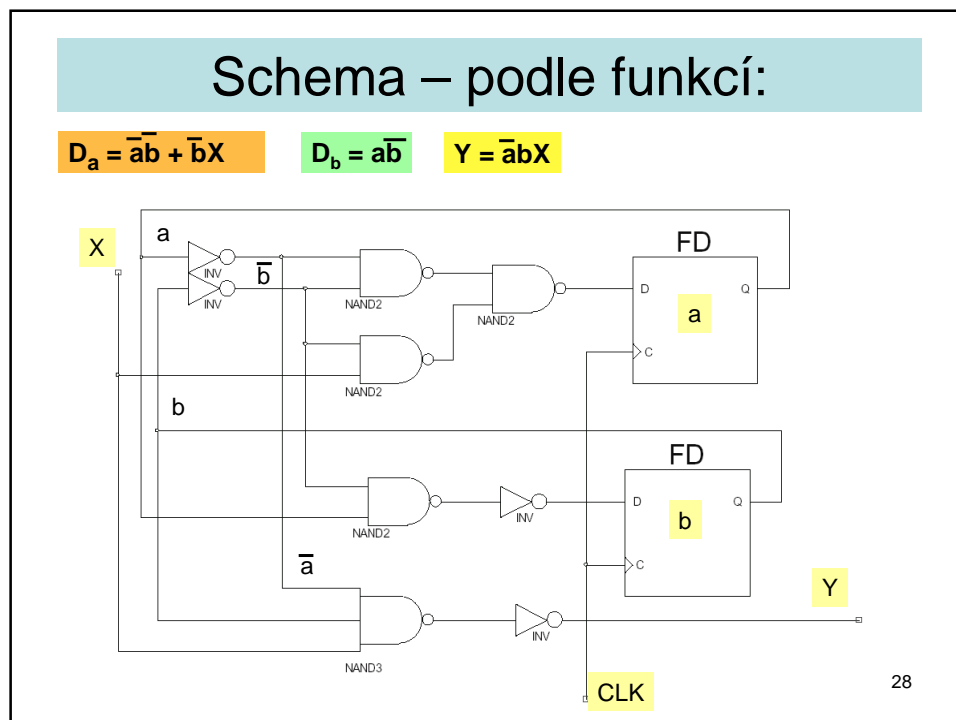
	a	b	a	b
0	0	0	0	0
0	0	0	1	0

$Y = \bar{a}bX$

2008-Kubátová

Y36SAP-Logické obvody

27



časování – výpočet maximální hodinové frekvence

- Záleží na:
 - Technologii
 - Typu hradel
 - Počtu vstupů
 - Větvení
 - Klopných obvodech (v podstatě nyní jen D-KO)
 - Délce spojů (vodičů)
- Návrhové systémy

2008-Kubátová

Y36SAP-Logické obvody

29

Na dalších snímcích:

Tabulka 1: knihovna základních hradel

Tabulka 2: standardní logická hradla s více vstupy









Popis tabulky (technologie CMOS):









Název hradla	grafický symbol	funkce	Cena (počet transistorů)	Zpoždění (ns)
--------------	-----------------	--------	--------------------------	---------------

2008-Kubátová

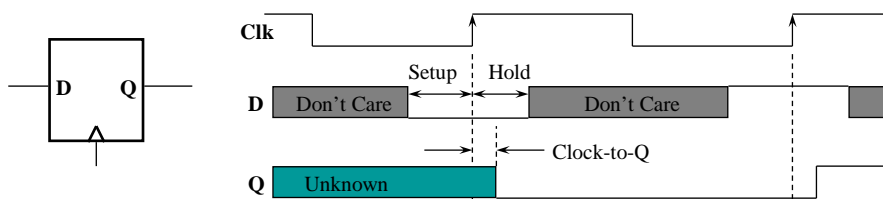
Y36SAP-Logické obvody

30

Inverter		$F = x'$	2	1
Driver		$F = x$	4	2
AND		$F = xy$	6	2.4
OR		$F = x + y$	6	2.4
NAND		$F = (xy)'$	4	1.4
NOR		$F = (x + y)'$	4	1.4
XOR		$F = x \oplus y$	14	4.2
XNOR		$F = x \odot y$	12	3.2

3-input AND		$F = xyz$	8	2.8
4-input AND		$F = xyzw$	10	3.2
3-input OR		$F = x + y + z$	8	2.8
4-input OR		$F = x + y + z + w$	10	3.2
3-input NAND		$F = (xyz)'$	8	1.8
4-input NAND		$F = (xyzw)'$	10	2.2
3-input NOR		$F = (x + y + z)'$	8	1.8
4-input NOR		$F = (x + y + z + w)'$	10	2.2

Časování klopného obvodu



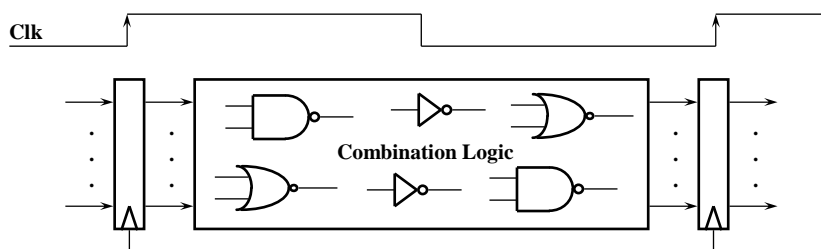
- Předstih (Setup Time): vstup musí být stabilní (ustálený) **PŘED** aktivní hodinovou hranou
- Přesah (Hold Time): vstup musí zůstat stabilní (ustálený) **PO** aktivní hodinové hraně
- Zpoždění klopného obvodu (Clock-to-Q time):

2008-Kubátová

Y36SAP-Logické obvody

33

Maximální hodinová frekvence



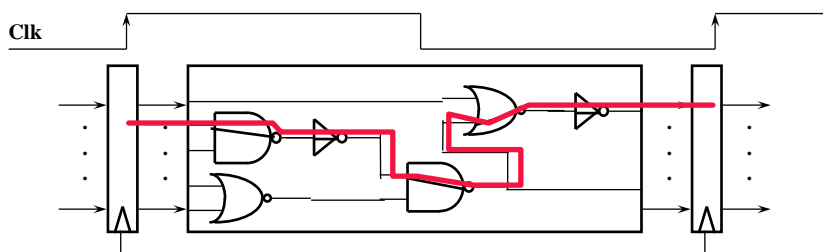
- Všechny klopné obvody jsou řízeny stejnou hodinovou frekvencí
- Kombinační logické bloky:
 - Vstupy jsou aktualizovány při každém taktu
 - Všechny výstupy musí být stabilní (nastaveny na správnou hodnotu před dalším taktem)

2008-Kubátová

Y36SAP-Logické obvody

34

Kritická cesta & perioda hodin



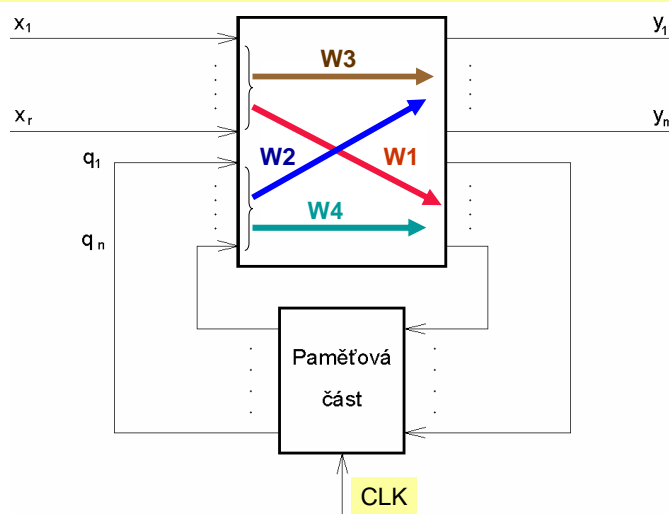
- Kritická cesta: nejpomalejší (nejdelší) cesta mezi kterýmikoli z klopných obvodů (registrů)
- Maximální perioda je funkcí kritické cesty
- Musí být větší než: Clock-to-Q + nejdelší cesta přes kombinační logiku mezi KO + Setup
- musí být splněny požadavky na stabilitu výstupu a nestabilitu vstupů

2008-Kubátová

Y36SAP-Logické obvody

35

Kritická cesta



2008-Kubátová

Y36SAP-Logické obvody

36

Hodinová frekvence = $1/\max W_i$

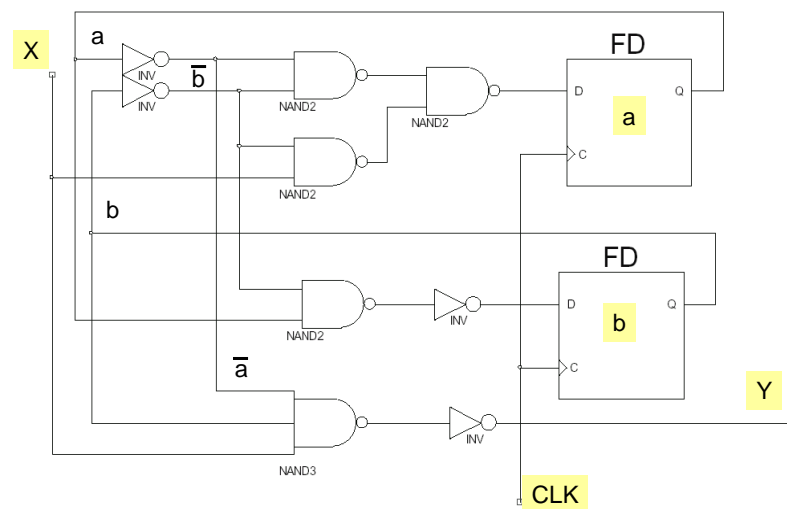
- **W1** - ze vstupu X na vstup KO, zpoždění na hradlech + nestabilita vstupů + předstih
- **W2** - výstup KO výstup Y, zpoždění na hradlech + zpoždění KO + požadavek na stabilitu výstupu
- **W3** - ze vstupu X na výstup Y, zpoždění na hradlech + nestabilita vstupů + požadavek na stabilitu výstupu
- **W4** - mezi dvěma KO, zpoždění na hradlech + předstih + zpoždění KO (Clock-to-Q)

2008-Kubátová

Y36SAP-Logické obvody

37

Schema z příkladu 2



38

