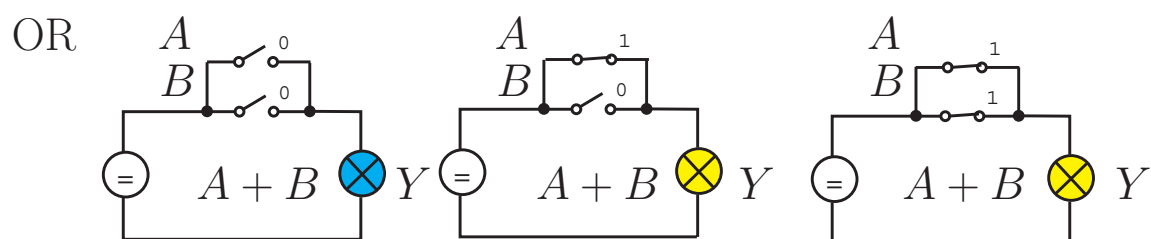
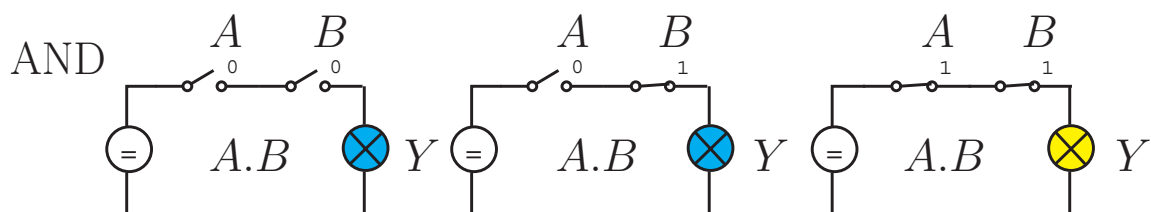


## Kapitola 7

# Dvouhodnotová logika a její reprezentace elektrickými signály

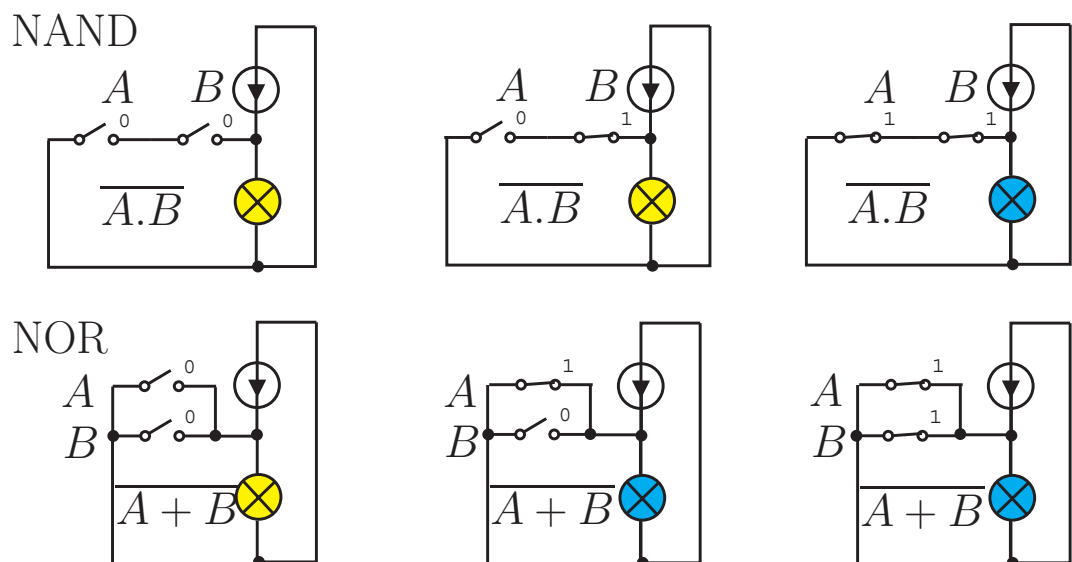
## Spínače pro realizaci kombinačních logických funkcí

Následující dva obrázky ukazují, jak lze principiálně využít spínačů k interpretaci základních kombinačních logických funkcí elektrickým obvodem, ve kterém je vstupní logický stav nula interpretován rozpojeným spínačem, vstupní logický stav jedna sepnutým spínačem a výstupní stav jedna svítící žárovkou a výstupní stav nula zhasnutou žárovkou.



		AND	OR
$A$	$B$	$Y = A.B$	$Y = A + B$
0	0	0	0
1	0	0	1
0	1	0	1
1	1	1	1

Obrázek 7.1: Model spínače



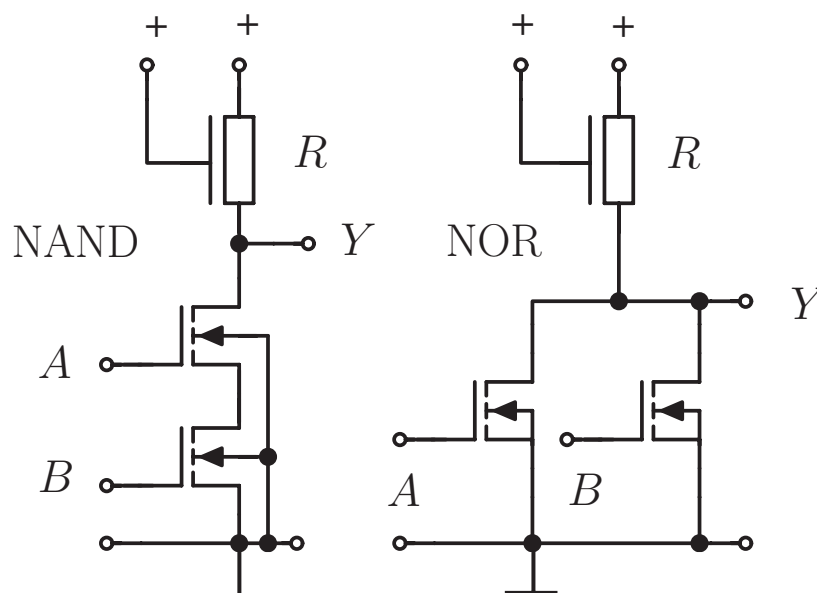
NAND

NOR

$A$	$B$	$Y = \overline{A \cdot B}$	$Y = \overline{A + B}$
0	0	1	1
1	0	1	0
0	1	1	0
1	1	0	0

Obrázek 7.2: Model spínače

Roli takto umístitelných spínačů nejlépe splňují spínače ve struktuře MOS. Příklad struktury hradla realizujícího funkci NAND (negovaného logického součinu) s MOS tranzistorem s indukovaným kanálem N ukazuje obrázek.



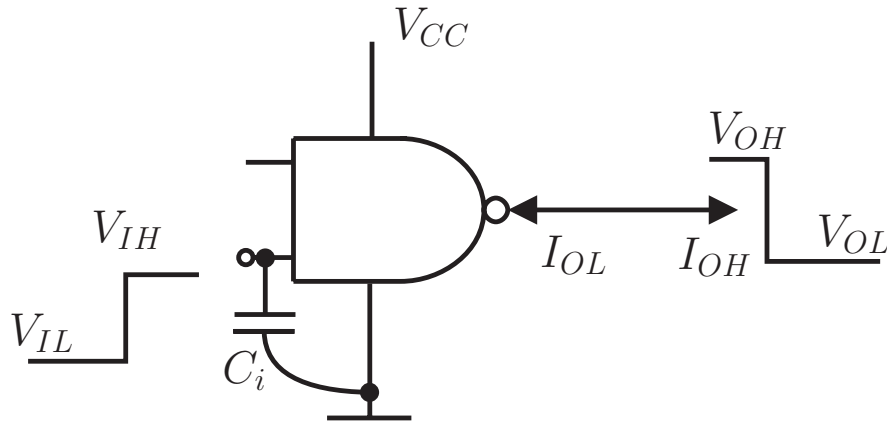
Obrázek 7.3: Logický člen N-MOS

Integrovaný obvod má ve funkci zatěžovacího rezistoru  $R$  speciálně upravený další tranzistor MOS, což naznačuje zvláštní schematická značka v obrázku.

Na rozdíl od logického členu se „svítící“ logickou jedničkou, je v tomto obvodu reprezentována výstupní logická funkce napětím, které lze přímo zavést na vstup dalších logických členů. Zřejmě je na výstupu členu NAND napětí blízké k napájecímu napětí, pokud je alespoň jeden tranzistor rozpojen, a napětí blízké k nule, pokud jsou oba tranzistory sepnuty. U logického členu NOR stačí, aby byl jeden z tranzistorů sepnut a na výstupu je nulové napětí, teprve pokud jsou oba rozpojeny, je na výstupu napětí blízké napájecímu.

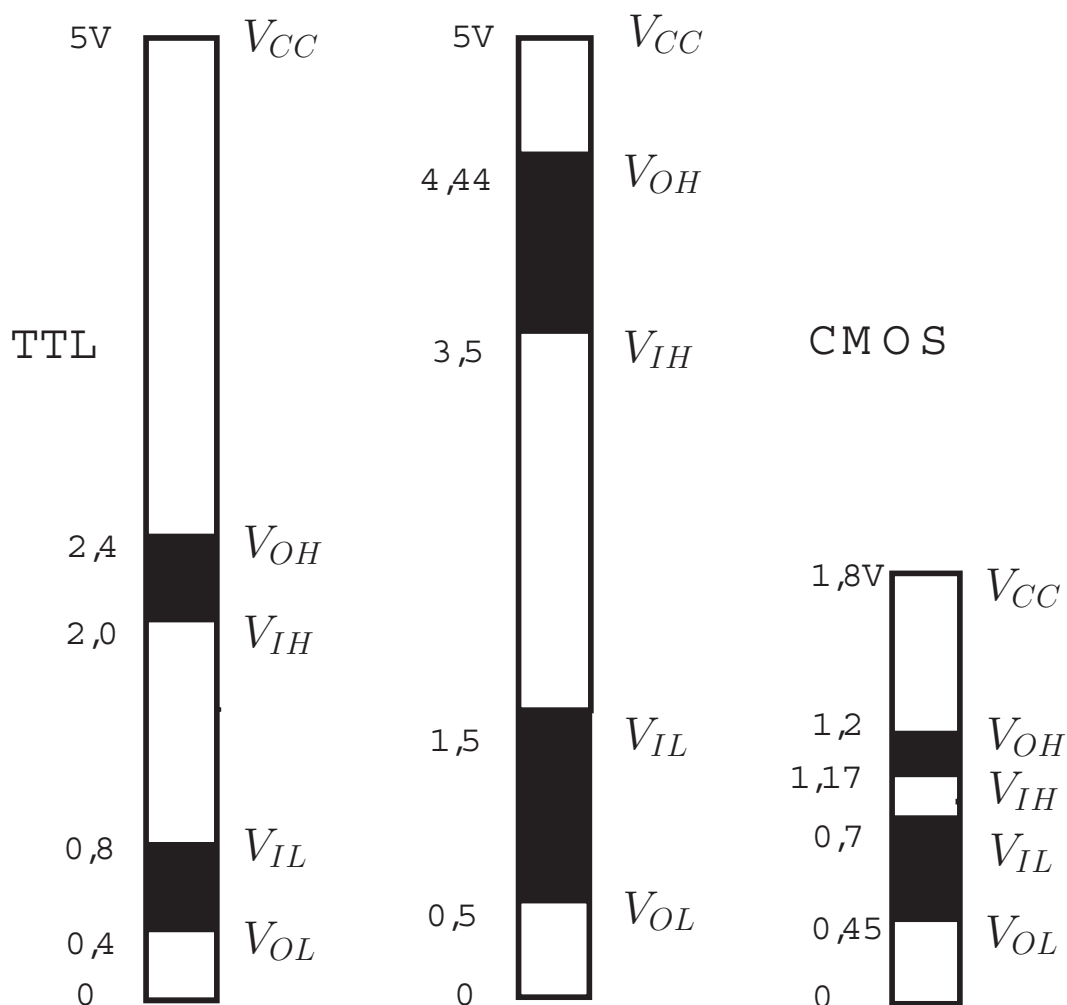
Ukázali jsme, že lze se spínači vytvořit univerzálně použitelný kombinační logický člen, a to ve struktuře, kterou je možno vyrábět technologií integrovaných obvodů.

Shrneme základní parametry, kterými se specifikují vlastnosti elektronických logických členů:



Obrázek 7.4: Logický člen NAND

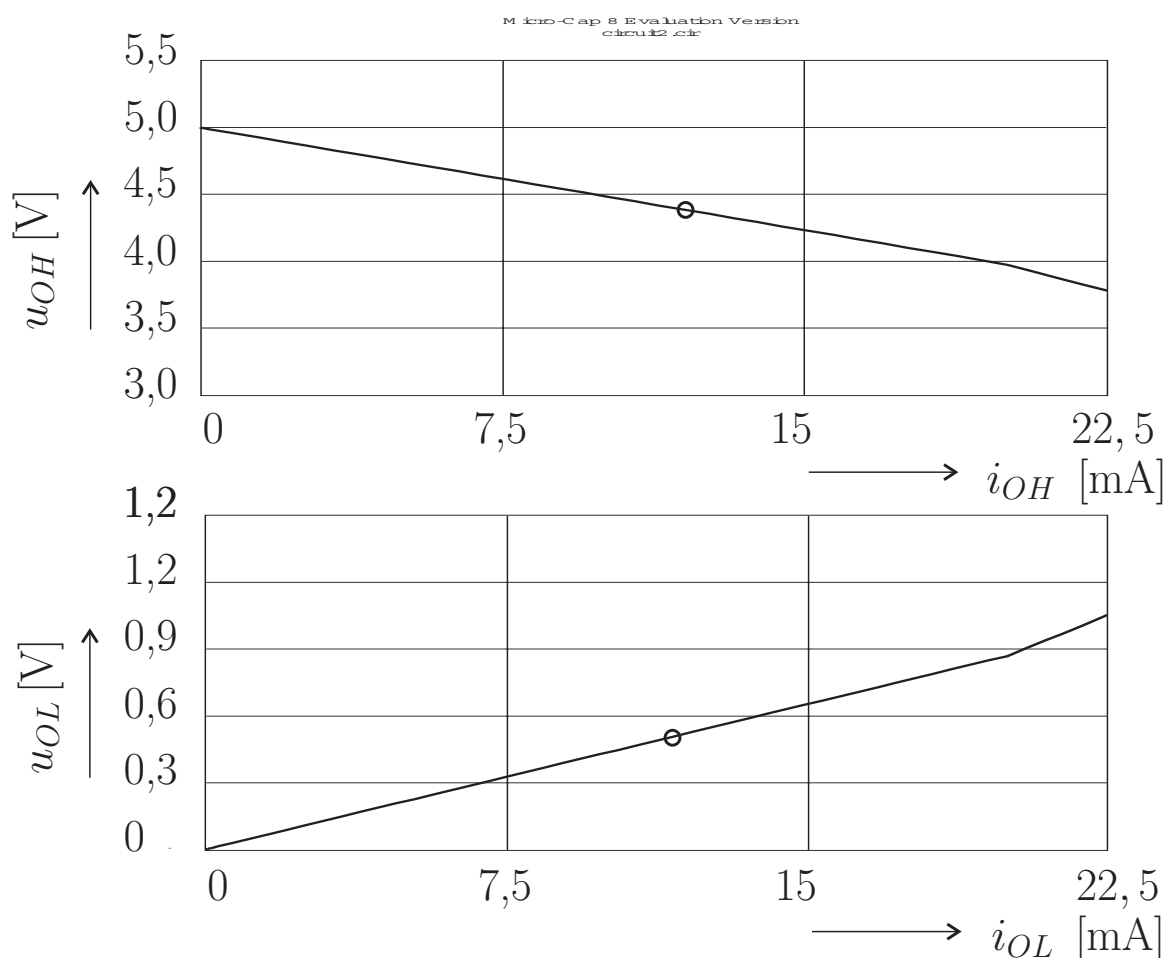
- $V_{CC}$  – interval napájecího napětí
- $V_{IH}$  – minimální napětí logické jedničky na vstupu
- $V_{IL}$  – maximální napětí logické nuly na vstupu
- $I_{OH}$  – maximální proud z výstupu logického členu do zátěže při výstupu v logické jedničce
- $I_{OL}$  – maximální proud ze zátěže do výstupu logického členu v logické nule
- $V_{OH}$  – minimální napětí logické jedničky na výstupu
- $V_{OL}$  – maximální napětí logické nuly na výstupu
- $C_i$  – vstupní kapacita jednoho vstupu
- $t_{pd}$  – doba zpoždění při přechodu z nuly do jedničky a naopak.



Obrázek 7.5: Napěťové úrovně pro logické stavy v logických členech

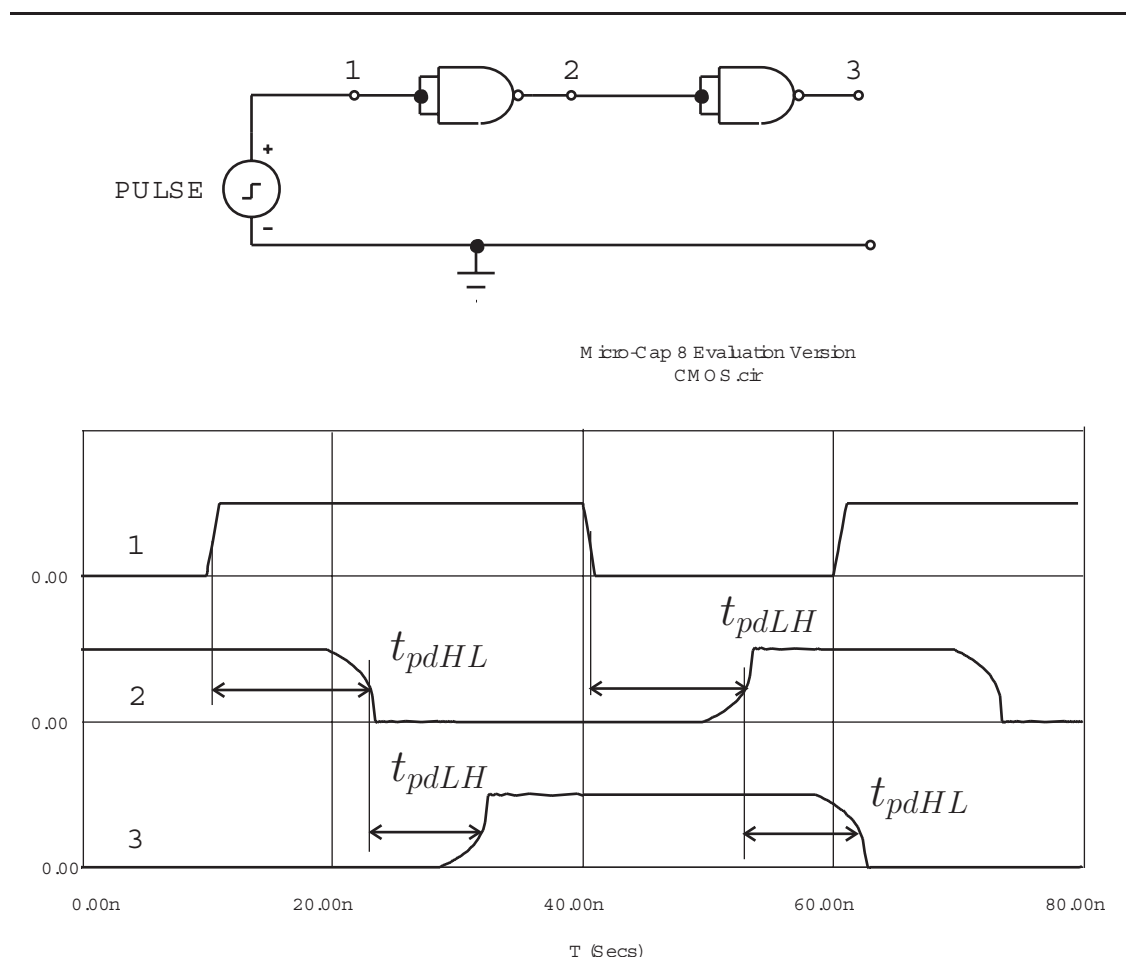
Z následujících obrázků můžeme vyčíst následující obecně platné informace:

- Minimální napětí logické jedničky na výstupu je u všech logických členů určeno větší hodnotou napětí  $V_{OH}$ , než je předepsané minimální napětí  $V_{IH}$ , které musí být v logické jedničce na připojeném vstupu (viz černé pole v obrázku). Je tak dána odolnost vzájemného propojení proti šumu a náhodnému rušení.
- Maximální hodnota napětí, které na vstupu reprezentuje logickou nulu  $V_{IL}$ , je vždy větší než předepsané napětí logické nuly na výstupu připojeného obvodu  $V_{OL}$ . Důvod je týž jako u logické jedničky.



Obrázek 7.6: Zatěžování výstupu logického členu

- Zatěžování logického členu s výstupem v logické jedničce (proud teče z výstupu ven) způsobuje pokles výstupního napětí tak, že při určitém proudu klesne napětí pod úroveň předepsanou pro logickou jedničku – větší zátěž není dovolena. (V obrázku je kroužkem vyznačena maximální hodnota proudu pro výstup hradla 74HC00 – CMOS logický obvod s  $V_{CC} = 5\text{ V}$ ).
- Zatěžování logického členu s výstupem v logické nule (proud teče do výstupní svorky) způsobuje nárůst výstupního napětí tak, že při určitém proudu vzroste napětí nad úroveň předepsanou pro logickou nulu – větší proud vtékající do výstupu není dovolen. (Tato mez je vyznačena v dolním obrázku).



Obrázek 7.7: Zpoždění výstupu logického členu

Na obrázku je uveden výstup ze simulace chování obvodu 74HC00 při buzení ideálním zdrojem impulsního průběhu, reprezentujícího přechody mezi logickou nulou (L) a logickou jedničkou (H). Časy zpoždění odezvy  $t_{pdHL}$  a  $t_{pdLH}$  jsou měřeny v napěťové úrovni odpovídající polovině rozkmitu mezi L a H, v našem případě tedy v úrovni 2,5 V. Obě hodnoty se mohou lišit a navíc závisejí na podmínkách měření, tj. zvláště na kapacitě, kterou jsou výstupy členů zatíženy.

# Konstrukční principy logických členů

Jak jsou zkonstruovány logické členy? Co znamenají údaje typu LSTTL, CMOS, BiCMOS, Low Voltage Logic, apod.?

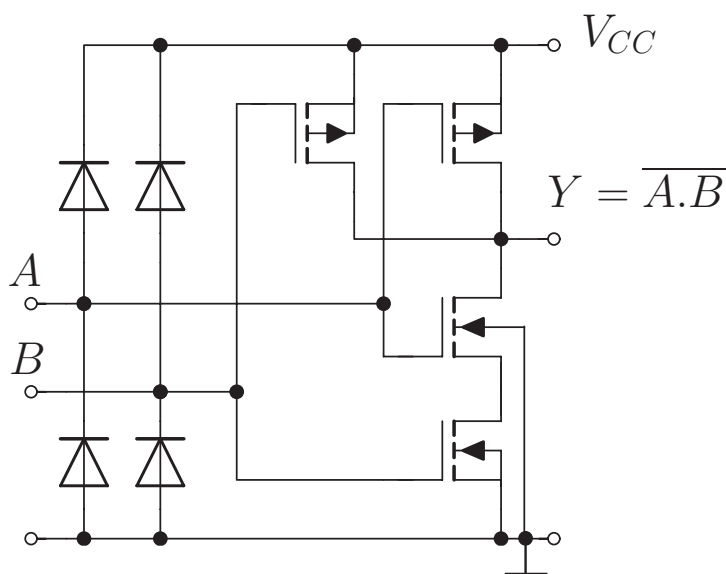
Ukázali jsme, že k vytvoření struktury interpretující kombinační logickou funkci lze použít jednoduché elektronické spínače. Uvedli jsme také, že v praxi jsou kladeny požadavky na napěťové úrovně, zatížitelnost, rychlost odezvy, ale i na energetickou úspornost integrovaných obvodů, které v elektronických systémech použijeme. Proto je samozřejmé, že vnitřní struktury integrovaných obvodů nevystačí s jednoduchými spínači. V tomto textu si neklademe za cíl popsat všechny obvodové detaily, ale základní informace o technologii umožní orientovat se v nepřehledné nabídce součástek a systémů.

V současné době jsou integrované logické obvody vyráběny nejrůznějšími technologiemi, které jsou na trhu prezentovány specifickými znaky a zkratkami. Uplatňují se jak bipolární, tak unipolární i kombinované polovodičové struktury. Standardní napájecí napětí 5 V je postupně opouštěno a do popředí se dostávají obvody s napájecím napětím 3,3 V, 2,5 V a 1,8 V.



---

## Struktura CMOS – hradlo NAND



Obrázek 8.1: Logický člen CMOS

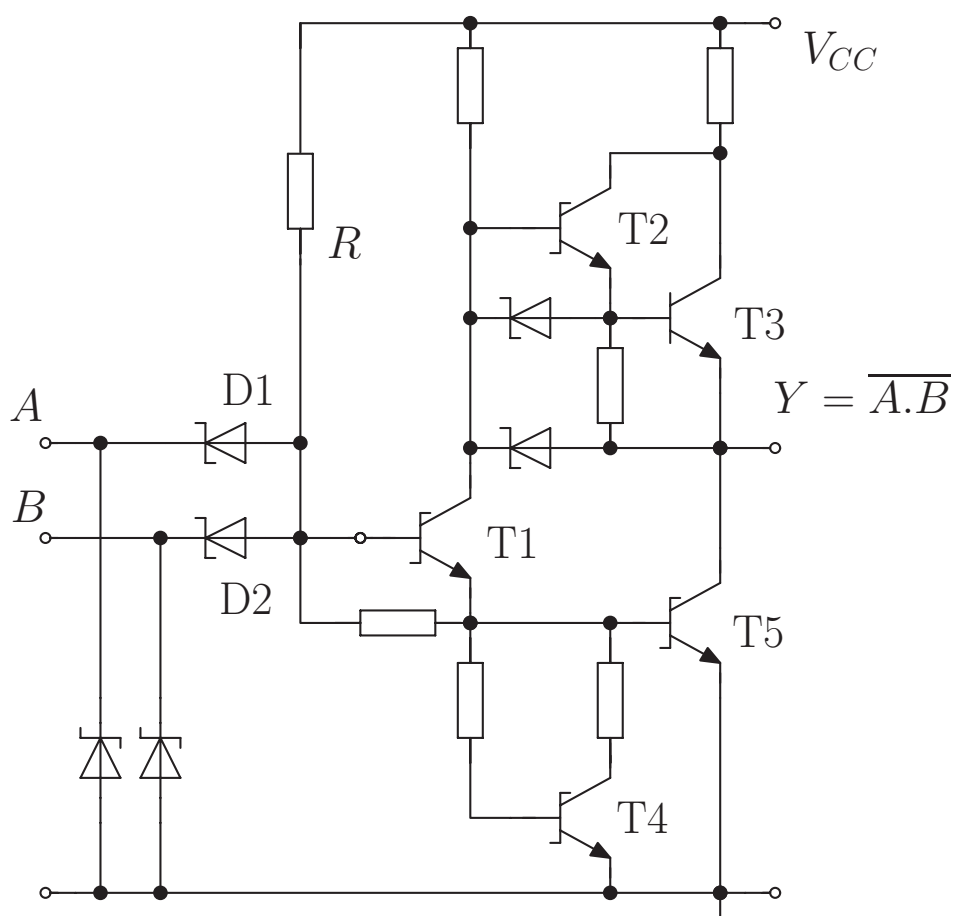
Obvod je vyroben tak, že k zemní svorce je spínán výstup  $Y$  spínači s kanálem typu N a ke kladné svorce spínači s kanálem P. Jestliže prahové napětí tranzistorů zajistí, že jsou při nulovém napětí  $u_{GS}$  spínače uzavřeny a při napětí  $|u_{GS}|$  větším než polovina napájecího napětí, jsou sepnuty, pak se nikdy neuzavěře proud ze zdroje  $V_{CC}$  do zemní svorky. Vždy stojí v cestě alespoň jeden uzavřený tranzistor a vždy je výstup obvodu sepnutým spínačem připojen k jedné svorce napájecího zdroje ( $V_{CC}$  nebo nule).

V obvodech s impulsními průběhy je proud, který z napájecího zdroje obvod spotřebovává, určen nabíjením a vybíjením kapacitorů připojených na výstup. Proudová spotřeba tudíž roste lineárně s rostoucí frekvencí přechodů výstupu mezi oběma logickými stavy (kapacitor se musí vždy nabít z napájecího zdroje a vybit do země). U rychlých obvodů CMOS může při vysoké frekvenci přepínání proud z napájecího zdroje nebezpečně zahřívat integrovaný obvod, i když v „pomalém“ systému obvod spotřebovává ze zdroje proud hluboko pod  $1\ \mu\text{A}$ .

Ke schématu obvodu ještě dodejme:

- Diody připojené ke vstupním svorkám  $A$  a  $B$  chrání obvod před napětím, které by vybočilo z intervalu daného napájecím napětím. Snadno uvážíme, že pokud se napětí vstupu mění jen od nuly do  $V_{CC}$ , diody zůstanou stále polarizovány nepropustně, nevedou proud a zvyšují pouze vstupní kapacitu hradla.
- Rozkmit výstupního napětí naprázdno, bez ohledu na předepsané limity, je určen velikostí napájecího napětí – spínače připojí výstupní svorku  $Y$  přímo k nule nebo  $V_{CC}$ .
- Je-li výstup zatížen rezistorem, je výstupní rozkmit závislý na poměru odporu sepnutých spínačů v hradle a odporu zátěže.
- Je-li hradlo zatíženo jen vstupy jiných hradel, pak má zátěž kapacitní charakter – zátěž představuje gate MOS tranzistoru a uvedené nevodivé diody, jde tedy o ekvivalentní kapacitor a žádný rezistor.

## Bipolární struktura LS – hradlo NAND



Obrázek 8.2: Logický člen LS

Na obrázku je jedna ze struktur s bipolárními tranzistory. Jde o poměrně složitý obvod, u kterého nebudeme podrobně probírat všechny funkce. Povšimneme si pouze vstupního diodového obvodu a vysvětlíme vytvoření výstupní logické úrovně.

Jedná se o obvod NAND, ve kterém je nejprve na diodách realizována funkce součinu a v navazujícím tranzistorovém stupni její negace. Dvouvstupový logický součin je vytvořen diodami D1 a D2 a rezistorem  $R$ , který je připojen ke kladné svorce napájecího zdroje. Napětí reprezentující logický součin je zavedeno na bázi tranzistoru T1, který řídí dva dvoutranzistorové spínače. Spínač T2-T3 sepnutím vytvoří napětí logické jedničky a spínač T4-T5 sepnutím výstupní logickou nulu.

Jednička na výstupu:

Na bázi T1 bude velmi malé napětí, pokud bude alespoň jeden vstup  $A$  nebo  $B$  uzemněn, tj. na úrovni logické nuly. Všechn proud přes rezistor  $R$  projde přes jednu nebo obě diody do země. Tehdy tranzistor T1 nedostane přes rezistor  $R$  do báze žádný proud a na výstupu  $Y$  bude napětí, které určují horní dva tranzistory T2 a T3, tedy napětí  $V_{CC}$  zmenšené o napětí na sériovém spojení dvou propustně pólovaných přechodů báze-emitor. Tranzistory T4 a T5 nedostanou z emitoru T1 žádný proud a budou rozpojeným spínačem.

Nula na výstupu:

Pokud budou oba vstupy v logické jedničce, tj. bude na nich napětí větší než vyžaduje na bázi tranzistor T1 pro své sepnutí, pak se diody D1 a D2 dostanou do závěrné polarizace a rezistor  $R$  bude dodávat proud ze zdroje jen do báze tranzistoru T1. Ten sepne tranzistorové spínače T4 a T5. Na výstupu bude malé napětí reprezentující logickou nulu. Současně s tím klesne napětí na kolektoru T1 a tranzistory T2 a T3 se uzavřou.

V katalogích má technologie výroby označení LS. Zkratka vznikla ze slov Low-power Schottky Logic. „L“ říká, že struktura je zoptimalizována na malý příkon z napájecího zdroje. „S“ odkazuje na skutečnost, že diody použité v obvodu jsou typu kov-polovodič, mají tedy nízké prahové napětí (100-200 mV) a krátké zotavení. Tranzistory s neobvykle nakreslenou bází mají navíc Schottkyho diodu zapojenou mezi kolektorem a bází k zajištění rychlé reakce při vypínání spínače.

Uvedme několik dalších zkratk a ukaŹme jaké údaje se k nim mohou vázat.

- Bipolární struktury
  - TTL Transistor Transistor Logic
  - AS Advanced Schottky Logic
  - LS Low-Power Schottky Logic
  - ALS Advanced Low-Power Schottky Logic
- CMOS struktury
  - ACT Advanced CMOS Logic
  - ALVC Advanced Low-Voltage CMOS Technology
  - HCT High-Speed CMOS
  - AUC Advanced Ultra-Low-Voltage CMOS Logic
- BiCMOS struktury
  - ABT Advanced BiCMOS Technology
  - LVT Low-Voltage BiCMOS Technology

TTL	AS	ACT	ALVC
$V_{CC}$ 4.75 to 5.25 V	$V_{CC}$ 4.5 to 5.5 V	$V_{CC}$ 2.0 to 6.0 V	$V_{CC}$ 1.65 to 3.6 V
$t_{pd}$ 27 ns max	$t_{pd}$ 5.5 ns max	$t_{pd}$ 8.7 ns max	$t_{pd}$ 5.5 ns max
$I_{CC}$ 33 mA	$I_{CC}$ 24 mA	$I_{CC}$ 80 $\mu$ A	$I_{CC}$ 10 $\mu$ A
LS	ALS	HCT	AUC
$V_{CC}$ 4.75 to 5.25 V	$V_{CC}$ 4.5 to 5.5 V	$V_{CC}$ 2.0 to 6.0 V	$V_{CC}$ 0.8 to 2.7 V
$t_{pd}$ 20 ns max	$t_{pd}$ 14 ns max	$t_{pd}$ 27 ns max	$t_{pd}$ 1.9 ns max
$I_{CC}$ 8.8 mA	$I_{CC}$ 4 mA	$I_{CC}$ 40 $\mu$ A	$I_{CC}$ 10 $\mu$ A
ABT	LVT		
$V_{CC}$ 4.5 to 5.5 V	$V_{CC}$ 2.7 to 3.6 V		
$t_{pd}$ 4.6 ns max	$t_{pd}$ 3.5 ns max		
$I_{CC}$ 250 $\mu$ A	$I_{CC}$ 190 $\mu$ A		

Obrázek 8.3: Data logických členů

Z charakteristických údajů je za nejvýznamnější možno považovat napájecí napětí a proudovou spotřebu ze zdroje napájení. Ke každé struktuře se váže navíc údaj o typické době zpoždění signálu. Na tomto místě ještě stručně zmíníme některé specifické doplňující informace.

- TTL je nejstarší obvodové řešení logického integrovaného obvodu, které využívá speciální vstupní obvod s tranzistorem s několika emitory integrovanými do jedné báze. Rozkmit výstupního napětí není totožný s velikostí napájecího napětí. Zatížitelnost logické jedničky je výrazně nižší ( $I_{OH} = 0,4 \text{ mA}$ ) než zatížitelnost logické nuly ( $I_{OL} = 16 \text{ mA}$ ).
- AS navazuje na TTL s tím, že má menší spotřebu ze zdroje napájení, je rychlejší a dovoluje větší zátěž výstupu v obou logických stavech – ( $I_{OH} = 15 \text{ mA}$ ), ( $I_{OL} = 64 \text{ mA}$ )
- LS má výrazně nižší spotřebu za cenu zhoršení v rychlosti  $t_{pd}$  a zmenšení zatížitelnosti v logické nule ( $I_{OH} = 15 \text{ mA}$ ), ( $I_{OL} = 24 \text{ mA}$ )
- ALS je zdokonalená konstrukce LS s menší spotřebou, menší dobou zpoždění a stejnou zatížitelností.
- HCT je CMOS struktura, která je vytvořena tak, aby obvody nahradily analogické obvody TTL a případně s nimi dokázaly spolupracovat v jednom systému. ( $I_{OH} = 6 \text{ mA}$ ), ( $I_{OL} = 6 \text{ mA}$ ). Rozkmit výstupního napětí je dán napájecím napětím, které se může volit v širokém intervalu hodnot.
- ACT je řada obvodů CMOS kompatibilní s bipolárními obvody LS ( $I_{OH} = 24 \text{ mA}$ ), ( $I_{OL} = 24 \text{ mA}$ )
- ALVC je řada CMOS obvodů s nízkým napájecím napětím a zlepšenou rychlostí odezvy – ( $I_{OH} = 24 \text{ mA}$ ), ( $I_{OL} = 24 \text{ mA}$ ).
- AUC patří k obvodům s nejnižším napájecím napětím a vysokou rychlostí – ( $I_{OH} = 8 \text{ mA}$ ), ( $I_{OL} = 8 \text{ mA}$ )

---

Poslední skupina struktur je vytvořena kombinací bipolární a CMOS technologie. Vlastní logická funkce je realizována strukturou CMOS a výstupní logickou úroveň zabezpečují bipolární spínače.

- ABT je plně kompatibilní s napětími bipolárních struktur – ( $I_{OH} = 24 \text{ mA}$ ), ( $I_{OL} = 24 \text{ mA}$ )
- LVT je řada s nízkým napájecím napětím, avšak napěťové úrovně logických stavů jsou kompatibilní se strukturami pětivoltových bipolárních obvodů. Obvody jsou velmi dobře vybaveny pro velkou výstupní zátěž – ( $I_{OH} = 32 \text{ mA}$ ), ( $I_{OL} = 64 \text{ mA}$ )

Uvedené příklady tzv. technologických rodin integrovaných obvodů (technology family) zdaleka nezmiňují celou nabídku, která je na trhu logických integrovaných obvodů. Pro demonstraci principů obvodových řešení jsme použili nejjednodušší univerzální logické funkce NAND.

K doplnění informací o obvodových specifikacích uvedeme ještě další důležitý údaj.

Výstup logického členu na sobě musí nést napětí, které reprezentuje pro danou technologickou rodinu logický stav jedna nebo logický stav nula. Možnost přisoudit vyšší napětí jedničce využíváme častěji, avšak lze se rozhodnout, že vyšší napětí bude reprezentovat nulu a nižší jedničku – takové řešení se někdy označuje jako negativní logika a souvisí s tím příslušně upravená metodika návrhu logických systémů. Proto katalogy uvádějí pro hodnoty a tolerance vyššího napětí v indexu písmeno H a pro nižší napětí písmeno L s tím, že uživatel rozhodne, zda H reprezentuje nulu nebo jedničku a L naopak.

Jsou však vyráběny obvody, které na výstupu mohou nést kromě stavu H nebo L ještě další stav označovaný jako stav Z. Ten nerepresentuje žádnou logickou hodnotu, protože ve

výstupním obvodu vytvoří podmínky odpovídající odpojenému obvodu, tedy stav vysoké impedance. Logický člen s takto upraveným výstupním obvodem se označuje jako obvod s třístavovým výstupem (H-L-Z). Ve stavu Z obvod nedefinuje logickou hodnotu, ale umožňuje připojit k jeho výstupu výstup jiného obvodu, který logický stav vzájemně spojených obvodů určí. Výstupy obvodů, které nemají možnost přejít do stavu vysoké impedance nelze vzájemně spojovat, pokud není zajištěno, že za všech situací reprezentují stejný logický stav. Konflikt různých logických stavů na paralelně spojených výstupech logických členů vede ke zbytečným výkonovým ztrátám a v některých případech i ke zničení obvodů.

Každý obvod s třístavovým výstupem má zvláštní řídicí svorku, která předepsanou logickou hodnotou uvede výstup do požadovaného logického stavu (svorka se označuje obvykle zkratkou EN – Enable – učinit schopným).



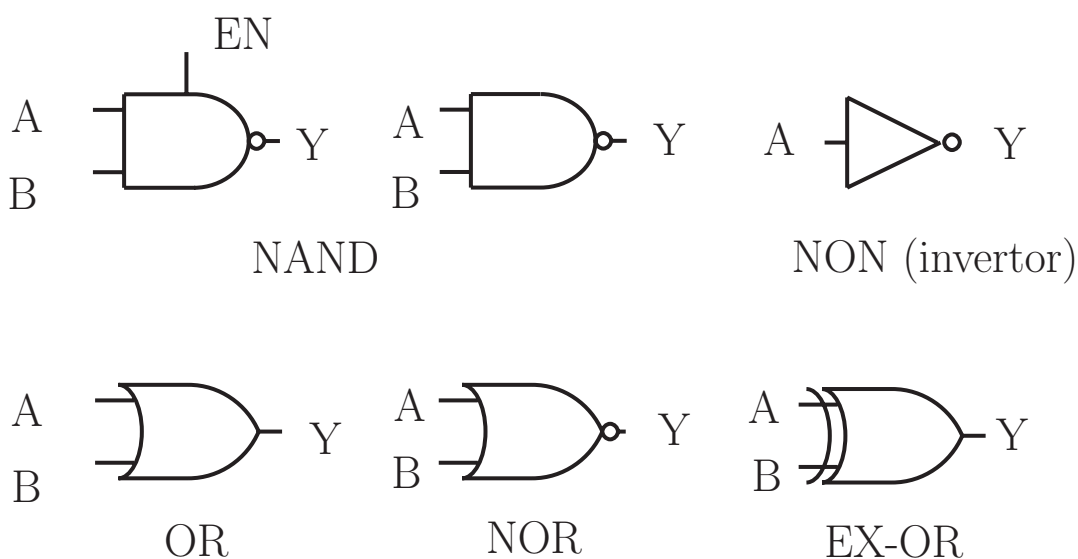
Nyní se věnujeme kategorizaci logických integrovaných obvodů podle typu jejich funkce. V závorce je terminologie z katalogů výrobců integrovaných obvodů.

1. Přenašeče logických signálů, včetně obvodů pro vzájemné přizpůsobení obvodů různých technologických rodin, posilovače zatížených sběrnic a obvody obnovující tvar impulsů (Buffers, Drivers and Transceivers).



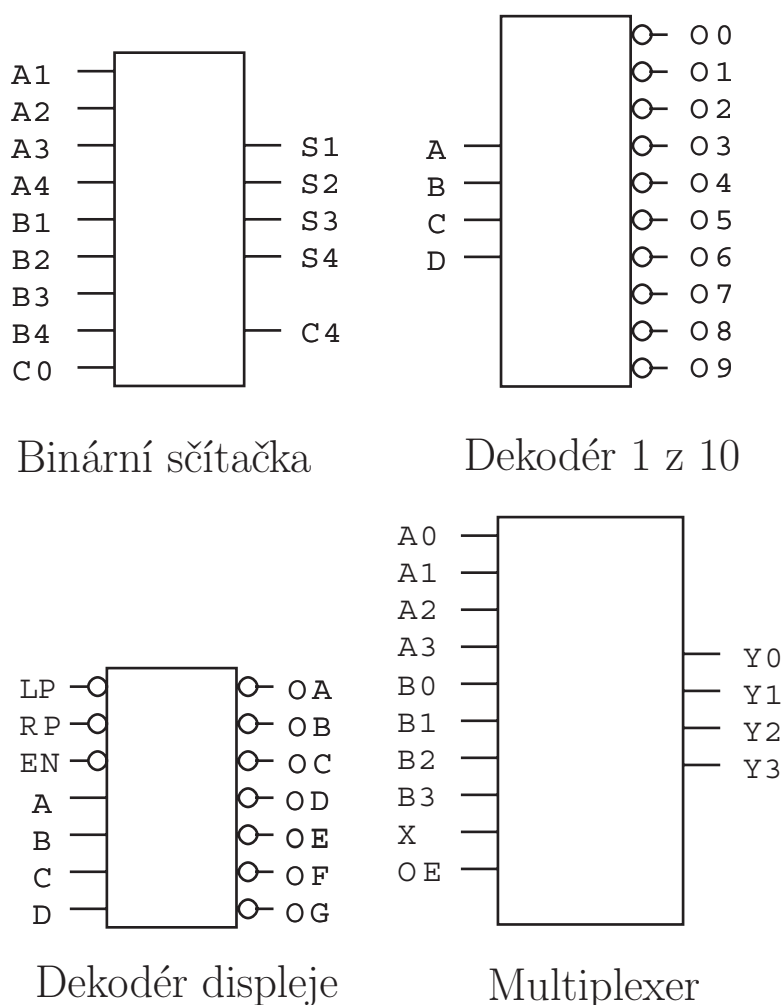
Obrázek 8.4: Buffer

2. Obvody kombinační logiky – hradla (Gates) – obvody realizující jednoduché funkce výrokové logiky. V jednom pouzdře integrovaného obvodu bývá několik hradel. V praxi většinou uživatel sestavuje svou konstrukci spojením více elementů, které mu poskytne jeden čip. V současné době jsou však vyráběny i miniaturní součástky s jediným hradlem v pouzdře (Little Logic), určené pro povrchovou montáž na desce plošných spojů.



Obrázek 8.5: Hradla

3. Kombinační funkční bloky složené z většího počtu elementárních logických členů, které realizují často používané logické kombinační funkce typu dekodérů, logických přepínačů a selektorů – obvody střední hustoty integrace (MSI Functions – Middle scale Integration Functions). Obrázek ukazuje příklad čtyř obvodů z rozsáhlého výběru nabízeného v této kategorii integrovaných obvodů.



Obrázek 8.6: MSI

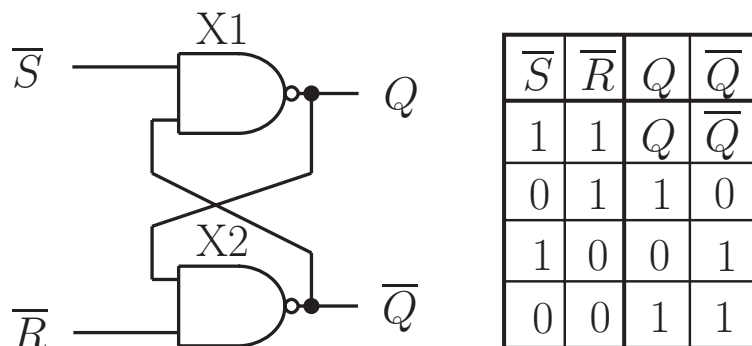
Binární sčítačka realizuje aritmetický součet čtyřbitových čísel A a B s tím, že do výpočtu zahrnuje přenos z nižších binárních řádů C0 a produkuje přenos pro vyšší řád C4.

Dekodér 1 z 10 aktivuje jeden z výstupů  $0 \div 9$  v závislosti na vstupním čtyřbitovém kódu  $A \div D$ .

Dekodér displeje svými výstupy OA÷OG ovládá segmenty sedmisegmentové znakovky v závislosti na vstupním binárním kódu A÷D. s tím, že lze ovládat levou LP a pravou RP tečku a ovládat rozsvícení segmentů (EN).

Multiplexer přepíná logické stavy vstupu A0÷A3 nebo B0÷B3 na výstup Y0÷Y3 v závislosti na logickém stavu vstupu X. Vstup OE (output enable) přepíná výstup Y do stavu vysoké impedance.

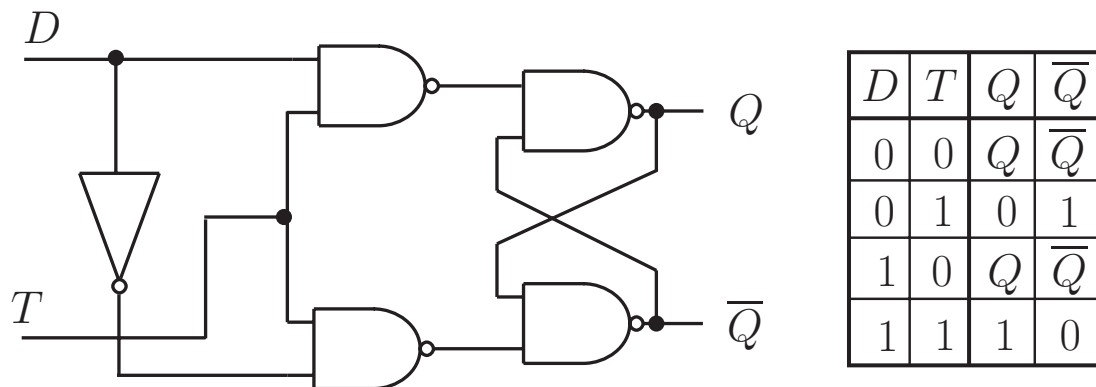
4. Klopné obvody v roli registrů a přechodných pamětí (Flip-Flops, Latches and Registers). Klopný obvod je z obvodového hlediska soustava, která může setrvávat ve dvou různých stavech (např. dvojice tranzistorů zapojená tak, že vždy je jeden ve stavu sepnuto a druhý rozpojeno s tím, že se mohou v obou rolích střídat). Klopný obvod lze také vytvořit z dvojice logických členů, např. NANDů zapojených podle obrázku.



Obrázek 8.7: Klopný obvod R-S

Mezi hradly je zavedena zpětná vazba, která způsobí, že ve stavu kdy jsou oba vstupy v logické jedničce, bude  $Q$  v jedničce a  $\overline{Q}$  v nule, nebo naopak  $Q$  v nule a  $\overline{Q}$  v jedničce. Oba tyto stavy budou v obvodu zachovány, po celou dobu, kdy logické stavy vstupů  $\overline{S}$  a  $\overline{R}$  budou v jedničce. Změnit výstup  $Q$  může vždy jeden ze vstupů, např.  $\overline{S}$  přechodem do nuly a návratem k jedničce „zapíše“ do výstupu  $Q$  jedničku ( $\overline{Q}$  bude nula), podobně  $\overline{R}$  přechodem do nuly a návratem

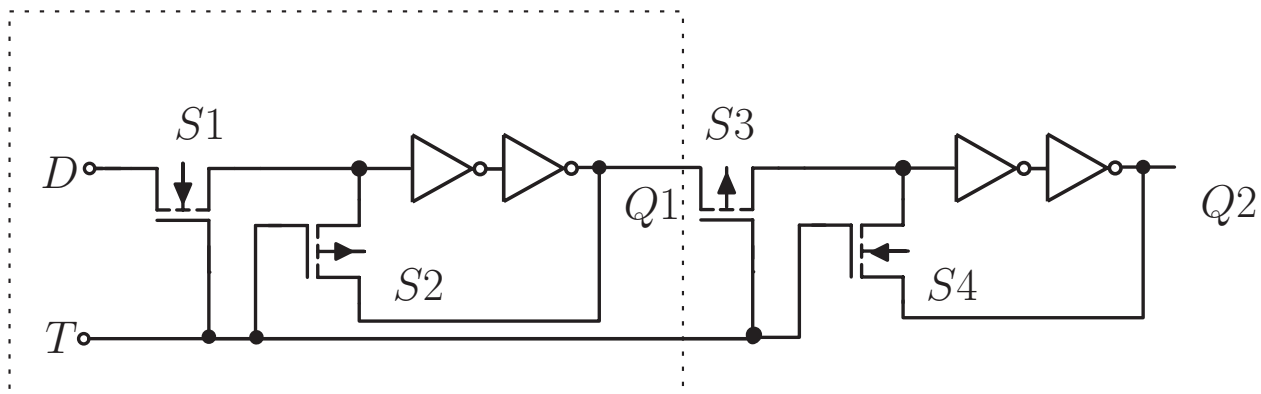
k jedničce „zapíše“ do výstupu  $Q$  nulu ( $\overline{Q}$  bude jednička). Aktivní nula tedy na horním vstupu zapisuje jedničku (nastavení  $S - \text{Set}$ ), aktivní nula na dolním vstupu nastavuje na  $Q$  nulu (nulování  $R - \text{Reset}$ ). Zapojení se označuje jako klopný obvod R-S. Uvést oba vstupy do logické nuly není vhodné, protože výstupy  $Q$  a  $\overline{Q}$  nejsou vzájemně opačné, jak naznačují symboly a navíc může dojít k náhodnému zápisu nuly nebo jedničky, pokud by oba vstupy měnily současně stav do jedničky (tento stav bývá považován za „nedovolený“).



Obrázek 8.8: Klopný obvod typu D

Klopný obvod na dalším obrázku se označuje jako registr typu D. Vstupy  $\overline{S}$  a  $\overline{R}$  klopného obvodu R-S jsou zapojeny na výstupy hradel NAND, která zabezpečí, že obvod na svém výstupu  $Q$  „kopíruje“ stav vstupu  $D$  pokud je  $T$  ve stavu jedna a zaregistruje do paměti R-S klopného obvodu stav, který byl na vstupu  $D$  při přechodu  $T$  do nuly. Pak už vstup  $D$  nemá na výstup  $Q$  vliv – data  $D$  jsou zapamätována. „Nedovolený“ stav je vyloučen zapojením invertoru mezi vstupy obou NANDů. Obvody tohoto typu jsou velmi často používány k zachycení výstupních dat z počítače.

Na dalším obrázku je registr, který se vyznačuje tím, že nekopíruje vstupní data v žádném ze stavů na vstupu  $T$ . Na výstup  $Q2$  je zapsán stav vstupu  $D$ , který tam je vložen v čase bezprostředně předcházejícím skok z jedničky do nuly na vstupu  $T$ .

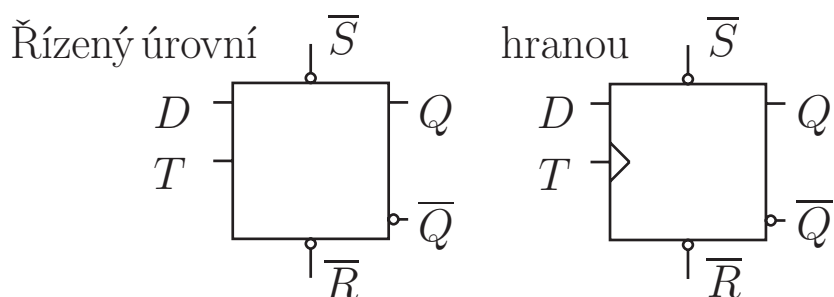


Obrázek 8.9: Klopný obvod typu D řízený hranou

Nejprve si na obrázku povšimněme obvodu v rámečku. Jeho funkce je shodná s funkcí klopného obvodu D na předchozím obrázku. Takto jsou v principu zapojeny registry vyrobené unipolárními technologiemi. Spínač  $S1$  má kanál typu N, takže logická jednička na vstupu  $T$  zajistí jeho sepnutí a logický stav  $D$  je přes dva invertory „zkopírován“ na výstup  $Q1$ . Spínač  $S2$  je rozpojen, protože má kanál typu P. Jakmile signál na  $T$  přejde do logické nuly, uzavře se spínač  $S1$  a sepne spínač  $S2$ . Tak je uzavřena smyčka vazby, která zapsaný stav na  $Q1$  udrží po celou dobu působení logické nuly na vstupu  $T$ , aniž to mohou jakkoli ovlivnit změny stavu na vstupu  $D$ . Obvod se označuje jako registr **řízený logickou úrovní**.

Nyní popíšeme vlastnosti obvodu, který vznikne spojením dvou výše popsanych struktur. Důležitý je rozdíl v typu vodivosti spínačů  $S3$  a  $S4$  oproti stejnohlým spínačům  $S1$  a  $S2$ . Funkce druhého obvodu je shodná s funkcí prvního, ale role signálu  $T$  je opačná. Druhý obvod si „pamatuje“ zapsa-

ný stav po celou dobu trvání logické jedničky na vstupu  $T$ . Do stavu, kdy „kopíruje“ stav z výstupu  $Q1$  na  $Q2$ , přejde tehdy, kdy se na  $T$  objeví stav nula. V témže okamžiku je však zapsán v prvním obvodu a zachycen výstupem  $Q1$  stav vstupu  $D$ . Uvedené uspořádání, které bývá označováno jako uspořádání dvojčinné (nebo také Master-Slave – MS), tedy na svém výstupu  $Q2$  nekopíruje měnící se signál ze vstupu  $D$  ani při  $T$  v nule, ani při  $T$  v jedničce, ale zachycuje stav, který tam je v okamžiku přechodu (hrany) signálu  $T$ , v tomto případě hrany sestupné – změna  $H \rightarrow L$ . Mění se stav  $D$  se projevuje na  $Q1$  v době, kdy druhý obvod výstupem  $Q2$  nereaguje na vstup zapojený na  $Q1$ . Takový registr se označuje jako **obvod řízený hranou** na rozdíl od jednoduchého registru, který ovládá průchod a zachycení dat logickou úrovní.



Obrázek 8.10: Schematické značky registrů

Z předchozího výkladu plyne, že roli registru binárních dat mohou plnit dva různé typy obvodů, které se liší způsobem zápisu. Na obrázku je patrné, jak lze ve schématu oba typy odlišit. V praxi bývá též možno ovládat výstup ještě vstupy  $R$  a  $S$  nezávisle na  $T$ .

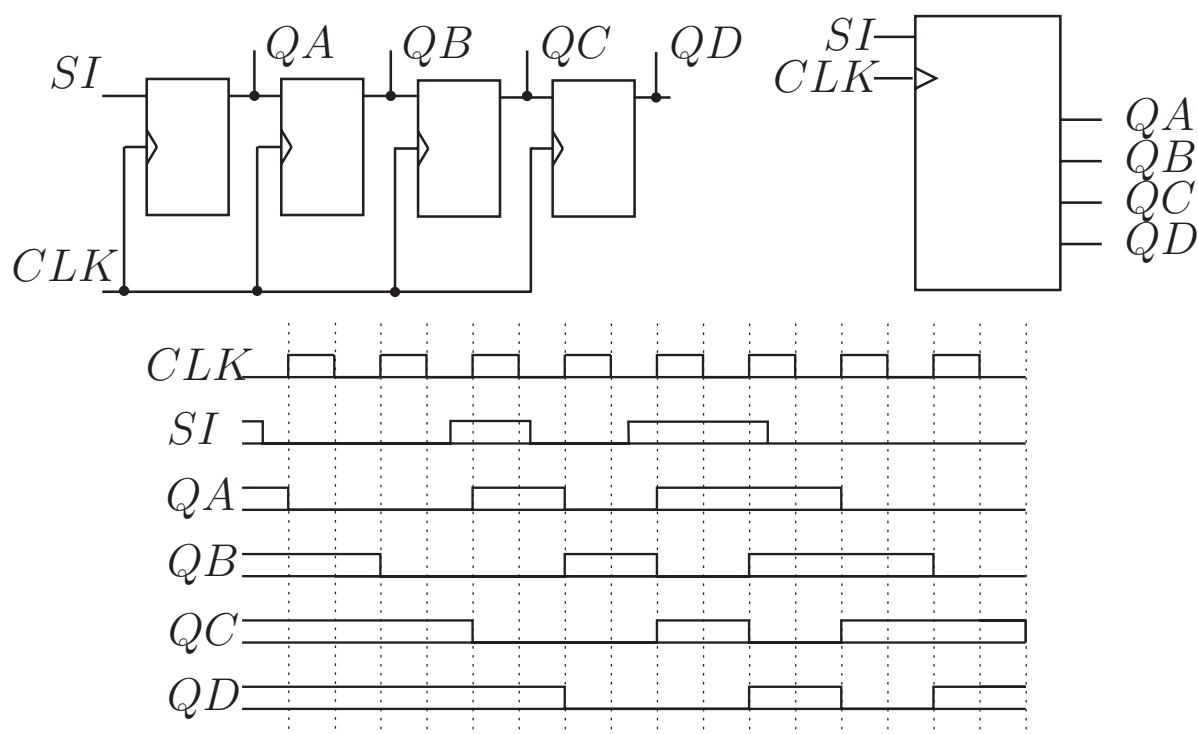
Pro každé konkrétní řešení elektronického systému je třeba rozhodnout, který typ registru bude nutné použít. Záměna obou typů obvodu může být příčinou naprosté nefunkčnosti navrženého systému.

---

Registry jsou elementárními bloky sekvenčních obvodů. Sekvenční obvody umožňují vytvářet systémy, které produkují výstupní stavy nejen v závislosti na okamžitých vstupních stavech, jak to umožňují kombinační obvody, ale i výstupní stavy, které závisejí na časové posloupnosti (sekvenci) vstupních, případně i tzv. vnitřních stavů.

5. Čítače a posuvné registry (Counters). Tak, jako na elementární logické členy navazuje řada obvodů se složitějšími kombinačními funkcemi – MSI, tak na elementární sekvenční členy – klopné obvody (registry) – navazují bloky, které ze sekvenčních elementů tvoří integrované struktury pro složitější sekvenční funkce. Zmíníme se o posuvných registrech a čítačích.

**Posuvný registr** je na následujícím obrázku.

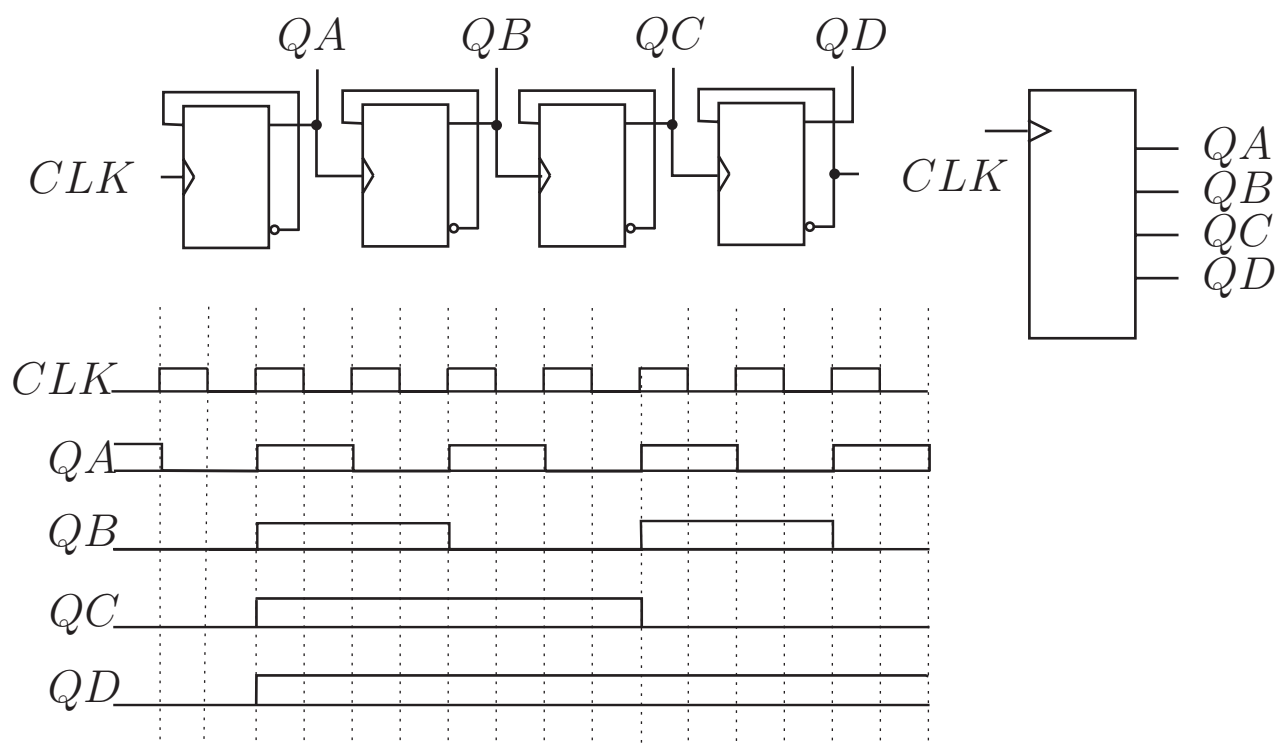


Obrázek 8.11: Posuvný registr

Posuvný registr umožňuje zapisovat informaci, která přichází postupně na jediném vodiči – sériovém vstupu  $SI$ . S každým čelem zapisovacího signálu  $CLK$  se do prvního registru zapíše stav  $SI$  a do každého dalšího registru stav z výstupu registru sousedícího vlevo. Informace se tedy posouvá zleva doprava a po čtyřech zapisovacích impulsích můžeme sériově přijatou informaci vidět na paralelních výstupech  $QA \div QD$ . Posuvné registry jsou vyráběny i tak, že do nich lze informaci zapisovat paralelně a výstup využít jako sériový (na výstupu  $Q$  posledního registru vpravo), že lze informaci posouvat vpravo i vlevo, nebo tak, že je tvoří dlouhé řetězce registrů, které nemusejí mít žádné paralelní výstupy a informace je jen uchována v sériové podobě na dobu danou průchodem dat ze vstupu prvního registru na výstup posledního. Posuvný registr musí být postaven z registrů řízených hranou – nelze ho vytvořit z registrů řízených úrovní. Proč?



**Binární čítač** je na dalším obrázku.



Obrázek 8.12: Binární čítač

Nejprve si povšimněme zapojení, které je na každém registru, tedy spojení svorky  $\overline{Q}$  se vstupem  $D$ . Protože se jedná o obvod řízený hranou zapisovacího (taktovacího, hodinového) impulsu, bude se výstup překlápět vždy do stavu, který je na vstupu v době před příchodem aktivní hrany signálu  $CLK$ . Vzhledem k uvedenému zapojení to bude vždy stav opačný k právě platnému stavu na výstupu  $Q$ . Takto zapojený registr se chová jako dělič taktovacího kmitočtu, protože perioda výstupních impulsů ( $Q$ ) je dvojnásobná oproti periodě taktovacího signálu (kmitočet je poloviční). Prvý registr tedy dělí kmitočet taktování na polovinu, druhý registr je taktován z výstupu prvního, takže jeho kmitočet též dělí na polovinu (kmitočet taktování na čtvrtinu), atd. Budeme-li sledovat kombinaci stavů  $QD \div QA$  můžeme ji interpretovat jako čtyřbitové binární číslo. Před příchodem první aktivní hrany taktování je stav  $[0000]$ , pak následuje  $[1111]$ ,  $[1110]$ ,  $[1101]$ ,

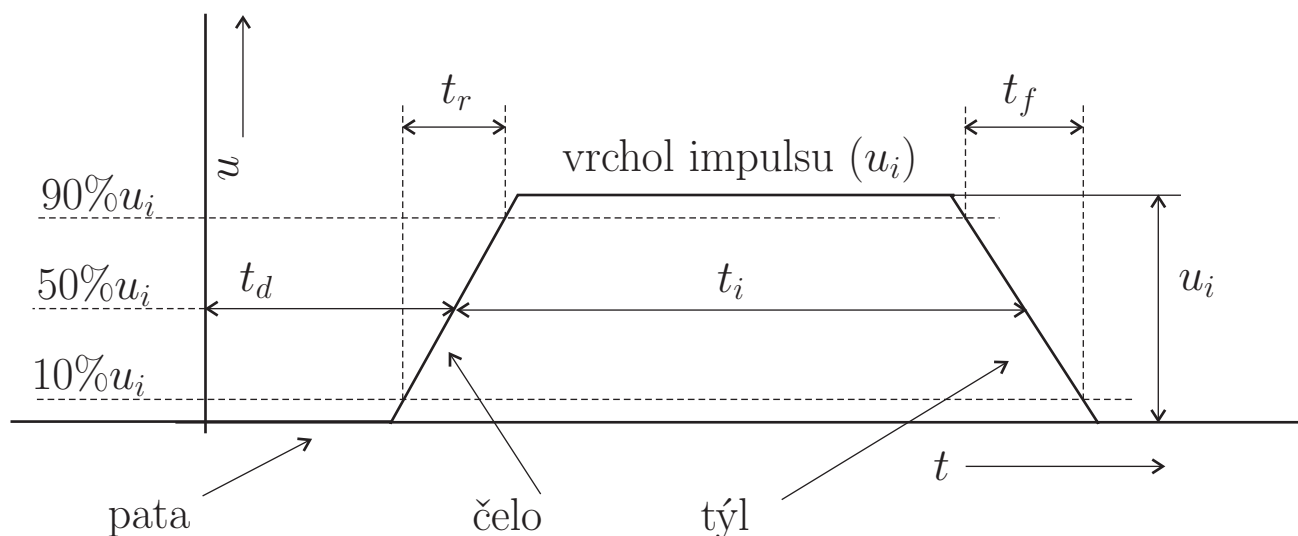
[1100],... Dekadické ekvivalenty by byly 0, 15, 14, 13,... 2, 1, 0, 15,... Obvod tedy odpočítává sestupně vstupní impulsy, a proto se označuje jako čítač, v tomto případě tzv. čítač vratný. Pilný student si nakreslí spojení klopných obvodů, které vytvoří čítač dopředný.

Uvedli jsme zjednodušený systém pro zařazení integrovaných obvodů do kategorií podle typu logické funkce. V katalozích různých výrobců nalezneme funkční specifikace, které mohou být východiskem pro vytvoření dalších kategorií, např. obvody pro ovládání sběrnic, programovatelné obvody, apod.

## Kapitola 9

### Specifika přenosu impulsů, homogenní vedení

Výpočetní technika pracuje téměř výhradně s impulsními signály. Pro popis impulsních signálů se používají parametry a charakteristiky, které umožňují posoudit, zda signál může nebo nemůže sloužit k reprezentaci binárních informací v systému s určitou rychlostí výpočetních operací. Na následujícím obrázku je uveden minimální soubor charakteristik impulsních signálů, s kterým budeme dále pracovat. Pro určité oblasti aplikací je takový soubor možno rozšířit o parametry, které postihnou vlastnosti signálu pro dané použití.



Obrázek 9.1: Impulsní signál

Časový průběh impulsu jsme zjednodušili na čtyři intervaly. Před impulsem a po jeho zániku odpovídá napětí na vybraném místě systému hodnotě označované jako napětí paty impulsu. Impuls má po odeznění přechodného děje napětí odpovídající vrcholu impulsu  $u_i$ . Časový průběh vytvoření a ukončení impulsu je charakterizován takto:

- $t_r$  je doba trvání čela (náběhu) impulsu (rise time) a měří se jako čas, který impulsní napětí potřebuje k přechodu mezi  $10\%u_i$  a  $90\%u_i$ .
- $t_f$  je doba trvání týlu (poklesu) impulsu (fall time) a měří se jako čas, který impulsní napětí potřebuje k přechodu mezi  $90\%u_i$  a  $10\%u_i$ .
- $t_d$  je doba zpoždění čela impulsu (delay time) a může být vztažena k jakémukoli časovému okamžiku, obvykle před příchodem čela. Obecně může být vztažena i k okamžiku pozdějšímu, pak má záporné znaménko. Pokud se vztahuje k jinému impulsu, bývá měřena rovněž vůči okamžiku, kdy tento impuls prochází úrovní  $50\%u_i$ .
- $t_i$  doba trvání impulsu
- u periodicky se opakujících impulsů se uvádí
  - kmitočet nebo perioda opakování impulsu
  - střída (duty cycle), tj., poměr doby trvání impulsu k době trvání paty, opět měřeno v úrovni  $50\%u_i$

Nyní můžeme jako příklad uvést vlastnosti impulsů, které produkuje integrační článek, pokud je buzen impulsy s dostatečně strmým čelem. (viz obr. 3.3)

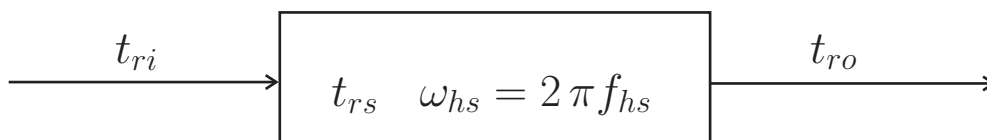
$$t_d = \tau \ln \left( \frac{u_i - 0}{u_i - 0,5u_i} \right) = \tau \ln 2 \approx 0,7\tau$$

$$t_r = t_f = \tau \ln \left( \frac{u_i - 0,1u_i}{u_i - 0,9u_i} \right) = \tau \ln 9 \approx 2,2\tau$$

V praxi však nejčastěji pracujeme s impulsními signály, které postupují z jednoho bloku do druhého s tím, že jak na vstupu, tak na výstupu jsou deformovány a k jejich popisu máme právě jejich časové charakteristiky reprezentované uvedenými parametry. Přesné výpočty vycházející z analýzy modelů vnitř-

ního uspořádání bloků lze provést simulačními programy. Pro kvalitativní úvahy uvedeme několik poznatků.

Mějme lineární systém uvedený na obrázku. Je charakterizován buď časem  $t_{rs}$ , tj. trváním čela impulsu, který se na jeho výstupu objeví, pokud je na jeho vstup zaveden impuls s dostatečně strmým čelem, nebo je charakterizován horním mezním kmitočtem  $\omega_{hs} = 2\pi f_{hs}$ , tedy kmitočtem, na kterém jeho modulová frekvenční charakteristika poklesne o 3 dB, pokud na nízkých kmitočtech vykazuje v určitém pásmu kmitočtů konstantní hodnotu (což bývá většinou splněno). Tento kmitočet umíme vypočítat pro jednoduchý RC obvod. Systémy však bývají složitější a potom je údaj o mezním kmitočtu nebo šířce přenášeného kmitočtového pásma významnou informací.



Obrázek 9.2: Impulsní signál

Pro praxi jsou užitečné následující přibližné vztahy:

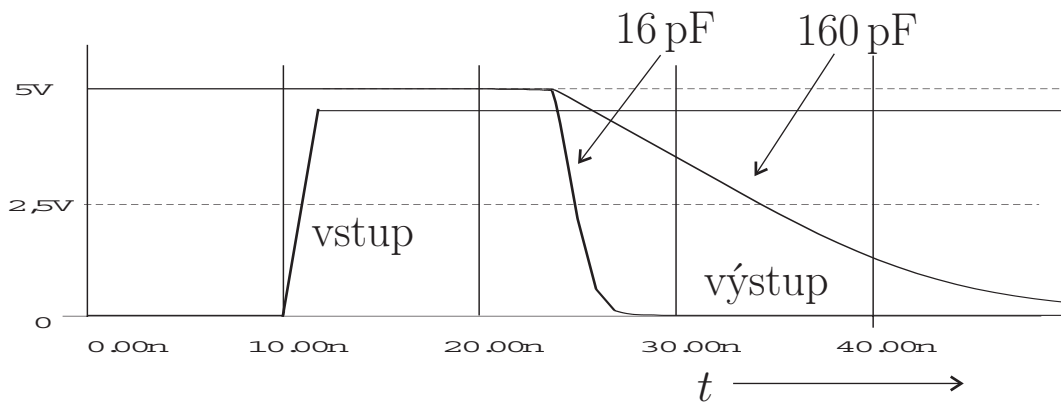
$$t_{rs} \approx \frac{0,35}{f_{hs}}$$

$$t_{ro} \approx \sqrt{t_{ri}^2 + t_{rs}^2}$$

Prvý vztah říká, že pokud zavedeme na vstup systému ideální skok napětí, bude na jeho výstupu impuls „znehodnocen“ tak, že jeho čelo bude trvat dobu  $t_{rs}$ . Jestliže si např. koupíme zesilovač, který má horní mezní kmitočet 1 MHz, tak nemůžeme na jeho výstupu nikdy očekávat impulsy s kratším čelem než 350 ns. Nebo, pokud chceme zesílit impulsy např. z fotodiody optického spoje tak, že budou přímo odpovídat požadované strmosti impulsů v rodině logických členů s  $t_r = 10$  ns, pak musí mít zesilovač šířku pásma alespoň 35 MHz. To by však muse-

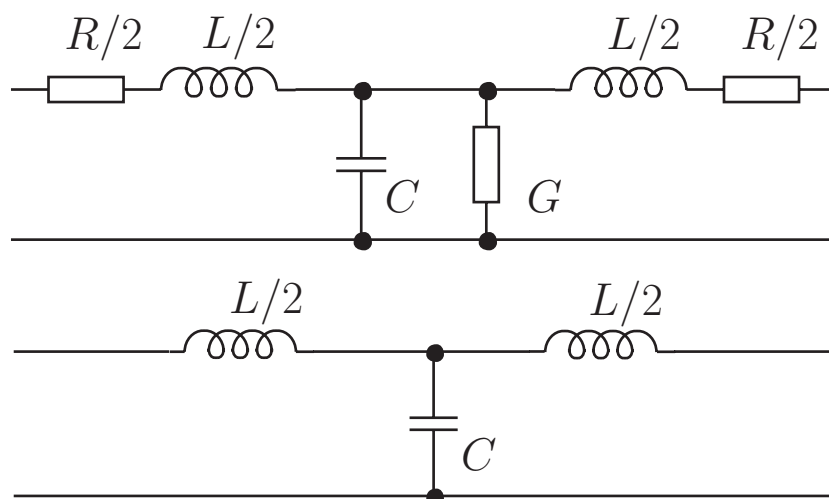
la dioda produkovat čela impulsů výrazně strmější než 10 ns. Pokud bude fotodioda sama produkovat impulsy s čelem např. 10 ns, pak podle druhého vztahu bude mít tentýž zesilovač na výstupu impulsy s  $t_{ro} \approx \sqrt{(100 + 100)} \approx 14$  ns.

Uvedené úvahy se vztahují k obvodům, v jejichž modelech většinou rozhoduje o strmosti impulsních průběhů napětí proces nabíjení kapacitorů a strmost změn proudu určuje působení induktorů. Umíme si tak vysvětlit, proč se strmost čela a týlu impulsu na výstupu logického členu výrazně mění, když k jeho výstupní svorce připojujeme kondenzátory s různou kapacitou. Roli připojovaných kondenzátorů jistě plní i různý počet připojených vstupů dalších logických obvodů. Obrázek ukazuje výstupní napětí logického členu 74HC00 při různých hodnotách připojeného kondenzátoru. Konkrétní hodnoty v obrázku reprezentují připojení jednoho nebo deseti vstupů logických členů téže technologické rodiny.



Obrázek 9.3: Kapacitní zátěž logického členu

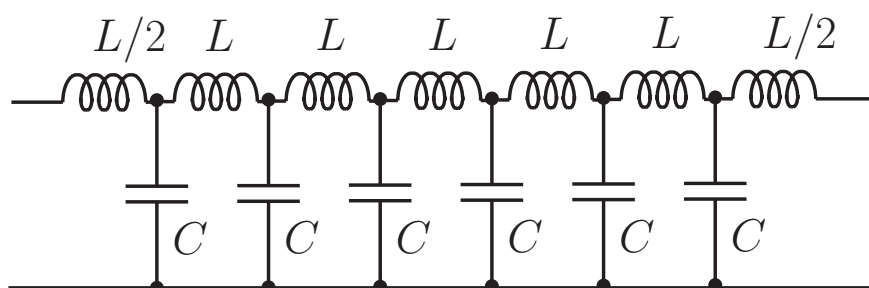
Zátěží pro výstup logického členu jsou i spojovací vedení. Pro kabely i paralelně vedené spoje na desce plošných spojů jsou uváděny typické hodnoty kapacity v pikofaradech na metr. Vodič má však charakter nejen kapacitní, ale vykazuje na jednotku délky také indukčnost (nH/m), odpor ( $\Omega$ /m) a ztrátovou vodivost mezi vodiči (S/m). Každý úsek vedení pak lze modelovat obvodovými prvky podle obrázku.



Obrázek 9.4: Model vedení

Nahoře je model vedení se ztrátami jak na sériovém odporu vedení  $R$ , tak na nedokonalé izolaci mezi vodiči  $G$ . Dole je náhradní obvod úseku vedení, ve kterém jsou zanedbány ztráty a který se obvykle používá při simulaci logických systémů.

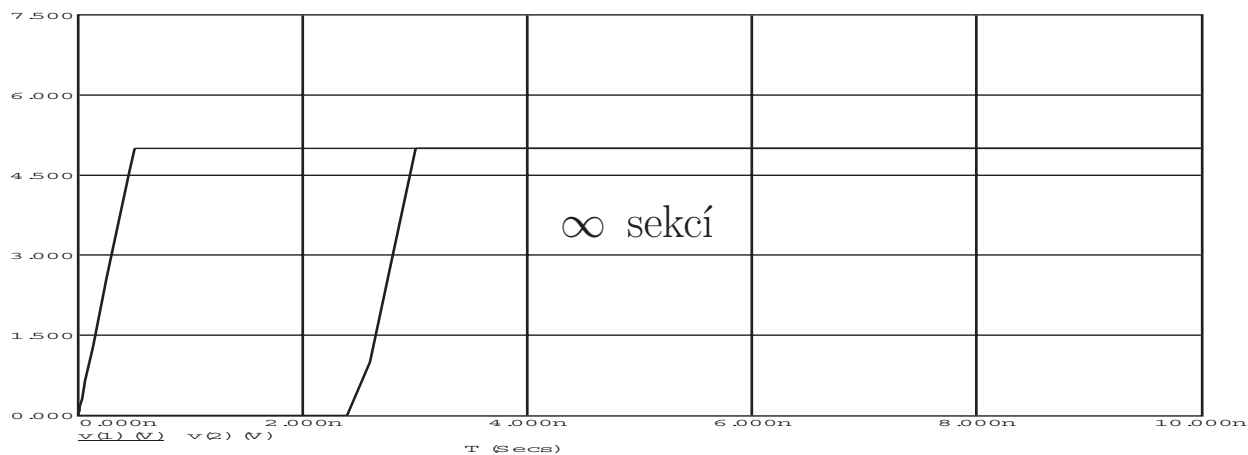
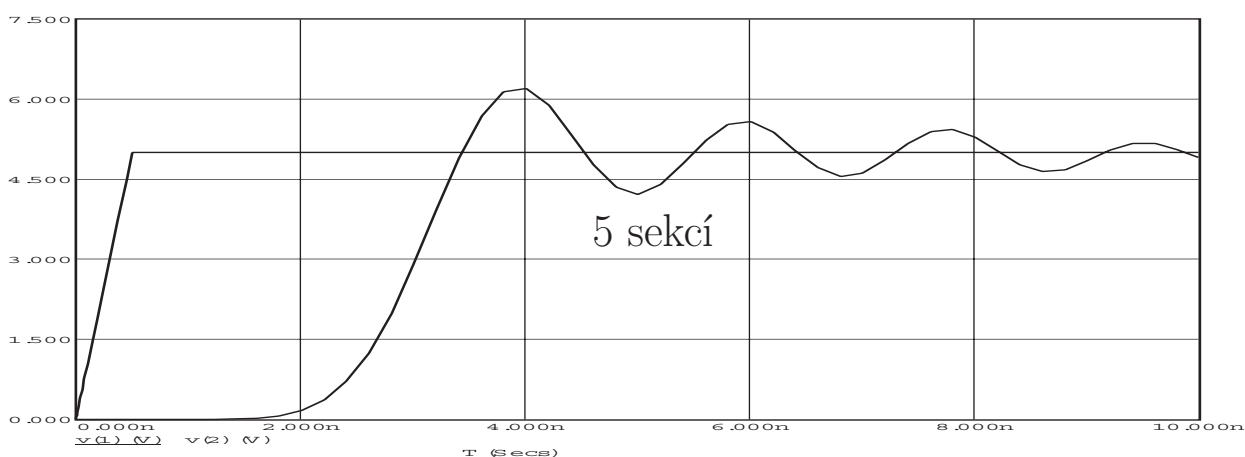
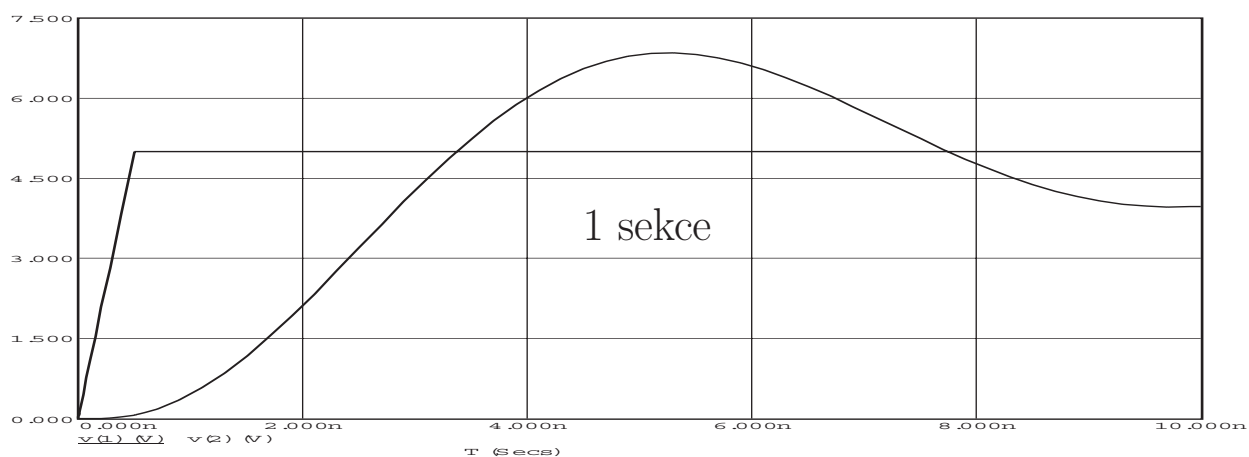
Uvedený model vystihuje jakkoli dlouhý spoj. V obvodech zpracovávajících velmi vysoké kmitočty, nebo velmi strmé časové průběhy však musíme respektovat skutečnost, že kapacita není soustředěna uprostřed vedení, ale je rozložena rovnoměrně podél celého spoje. Vedení tedy rozdělíme na řadu na sebe navazujících krátkých úseků podle obrázku.



Obrázek 9.5: Model vedení s rozloženými parametry

Nezbytnost takového modelování ukazuje jednak experimentální zkušenost, jednak i výsledek simulace. Následující obrázky ukazují simulaci přenosu impulsu vedením o délce 50 cm, které má kapacitu 100 pF/m a indukčnost 250 nH/m. Na prvním obrázku je zobrazen výstupní signál pro model složený ze

soustředěných parametrů, na druhém obrázku je tentýž signál přenesen modelem s parametry rozloženými do pěti sekcí po deseti centimetrech a na třetím obrázku je simulace přenosu vedením, jehož model vychází z teoretického odvození modelu pro nekonečné množství nekonečně krátkých sekcí.



Obrázek 9.6: Simulace vedení s rozloženými parametry



---

Z uvedeného popisu vlastností vedení plyne významný poznatek. Vedení, ač je charakterizováno kapacitou na jednotku délky, se nechová jako kapacitní zátěž obvodu. Přítomnost rozložené indukčnosti vytváří strukturu, která vnáší do přenosu zpoždění. Vedení, které je složeno jen z rozložené indukčnosti a kapacity je bezetrátové, neztrácí se v něm činný výkon a pro stejnosměrné, nebo pomalu se měnící signály se chová jako dokonalý vodič. Vliv na strmost přechodů určuje mezní kmitočet vedení, který nezávisí ani na výstupním odporu zdroje signálu, ani na samotné kapacitě vedení.

Vedení může být i velmi dlouhé a rychlé změny napětí na vstupu nemohou být ovlivněny obvody na výstupu vedení (není tam do té dálky vidět), takže na zdroj signálu působí jen vstup vedení. Z teorie vedení plyne, že se bezetrátové vedení pro vstupující signál chová jako reálný odpor, tzv. charakteristická impedance  $Z_0$ . Na svém výstupu se vedení chová rovněž jako zdroj s vnitřním odporem odpovídajícím charakteristické impedanci. Signál však dospěje na výstup se zpožděním  $t_d$ . Část napětí, které se na výstupu vedení vytvoří se může vrátet zpět jako tzv. odražená vlna a po příslušném zpoždění se projeví na vstupních svorkách. Vstup se tedy něco „dozví“ o poměrech na výstupu vedení až po uplynutí dvojnásobné doby  $t_d$ . Na konci vedení se superponuje odražená vlna k příchozí napětové úrovni a šíří se zpět ke zdroji, kde se opět může odrazit. Na celém vedení se vytvoří podmínky odpovídající ustálenému stavu (stavu, který by tam byl, kdybychom vedení nahradili zkratem) až po odeznění všech odrazů na koncích vedení.

Dlouhé vedení se chová na obou koncích jako obvod s impedancí danou  $Z_0$ . Jde však o obvod, kterým se šíří vlna, která postupně energii ukládá do bezetrátových prvků  $L$  a  $C$  a na konci vedení ji odevzdává do zátěže.

Pro charakteristickou impedanci platí

$$Z_0 = \sqrt{\frac{L}{C}},$$

pro mezní kmitočet vedení platí

$$f_0 = \frac{1}{2\pi\sqrt{L \cdot C}},$$

kde  $L$  je indukčnost a  $C$  je kapacita vedení na jednotku délky.

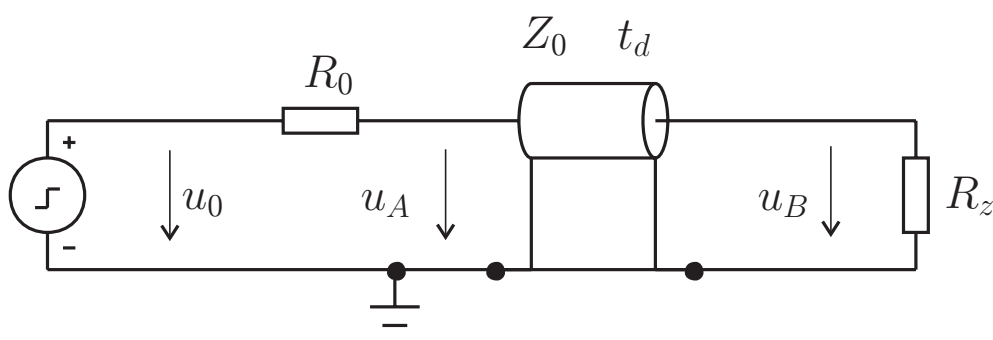
Zpoždění na jednotku délky je dáno vztahem

$$t_d = \sqrt{L \cdot C}.$$

Následující tabulka ukazuje hodnoty parametrů charakterizujících některé typy vedení.

	$L$ [nH/m]	$C$ [pF/m]	$Z_0$ [ $\Omega$ ]	$t_d$ [ns/m]
vodič ve vzduchu	2000	6	600	3,5
kroucená dvojlinka	500-1000	50-100	80-120	$5 \div 10$
plochý kabel	500-1000	50-100	80-120	$5 \div 10$
koax. kabel	250	100	50	5

Uspořádání obvodu, ve kterém se uplatňuje vliv dlouhého vedení lze obecně znázornit následujícím obrázkem.



Obrázek 9.7: Obvod s vedením

Pro popis chování takového obvodu nejprve zavedeme dva koeficienty odrazu

$$\rho_A = \frac{R_0 - Z_0}{R_0 + Z_0} \quad \text{a} \quad \rho_B = \frac{R_z - Z_0}{R_z + Z_0}.$$

Je-li na vstup v čase  $t = 0$  zaveden impuls o velikosti  $U = u_0(0)$  platí následující vztahy

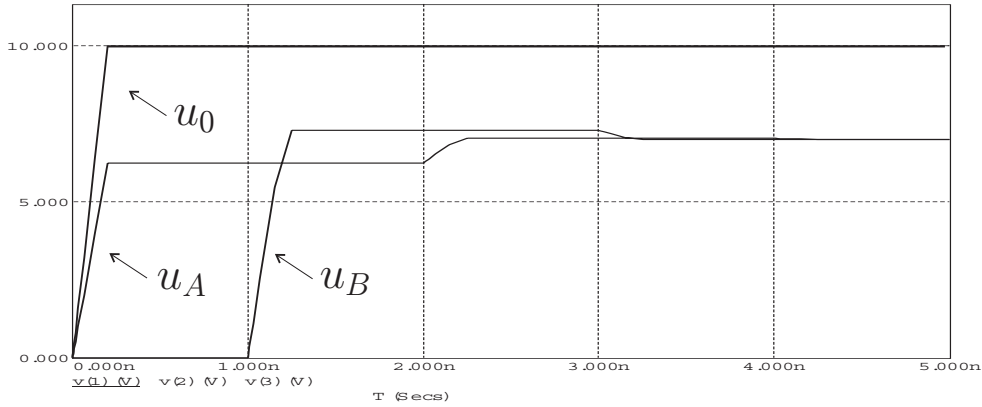
$$u_A(0) = U \frac{Z_0}{Z_0 + R_0} \quad u_B(0) = 0$$

potom

$$\begin{aligned} u_B(t_d) &= u_A(0)(1 + \rho_B) \\ u_A(2t_d) &= u_A(0)(1 + \rho_B + \rho_B \rho_A) \\ u_B(3t_d) &= u_A(0)(1 + \rho_B + \rho_B \rho_A + \rho_B \rho_A \rho_B) \\ u_A(4t_d) &= u_A(0)(1 + \rho_B + \rho_B \rho_A + \rho_B \rho_A \rho_B + \rho_B \rho_A \rho_B \rho_A) \\ &\dots \end{aligned}$$

$$u_B(\infty) = u_A(\infty) = U \frac{R_z}{R_z + R_0}$$

Názorně to ukazuje obrázek pro případ, že  $Z_0 = 50 \Omega$ ,  $R_0 = 30 \Omega$  a  $R_z = 70 \Omega$ . Je tedy  $\rho_A = -0,25$  a  $\rho_B = 0,1667$ .



Obrázek 9.8: Odrazy na vedení

V uvedeném grafu nabývá napětí  $u_A$  postupně hodnot 6,25 V, 7,03 V a 7 V, zatímco napětí  $u_B$  hodnot 0 V, 7,29 V, 6,99 V, 7 V.

Lze ukázat, že při vhodné volbě hodnot rezistorů  $R_0$  a  $R_z$  nedojde k žádnému odrazu, nebo odraz nenaruší tvar výstupního signálu. Jsou to případy, kdy je vedení impedančně při-

způsobeno, a to buď na začátku nebo na konci. Impedančního přizpůsobení dosáhneme pokud bude

- $\rho_B = 0$ , tedy tehdy, kdy  $R_z = Z_0$ . Vedení je na svém konci impedančně přizpůsobeno a napětí se na výstupu ustálí okamžitě po uplynutí doby  $t_d$ . Na vstupu je napětí odpovídající ustálenému stavu okamžitě s příchodem vrcholu vstupního impulsu a již se nezmění.
- $\rho_A = 0$  a  $\rho_B = 1$ , tedy tehdy, kdy  $R_0 = Z_0$  a současně  $R_z \rightarrow \infty$ . Vedení je impedančně přizpůsobeno ke zdroji signálu a na výstupu je naprázdno (častý případ spojení obvodů CMOS, kdy výstupní vnitřní odpor logického členu má hodnotu blízkou charakteristické impedanci a výstup vedení je zapojen na vstup izolovaných hradel). V tomto případě se na vstupu vedení vytvoří nejprve napětí poloviční než má zdroj impulsu, takový impuls se šíří vedením, na jehož konci se při odrazu zdvojnásobí na hodnotu shodnou s napětím zdroje a když odražená vlna dorazí zpět na vstup, ustálí se vstupní napětí na vrcholu vstupního impulsu. (Nelze tedy na výstup logického členu připojit současně se vstupem vedení vstupy dalších logických členů, protože by po dobu  $2t_d$  měly na vstupu nedovolenou napěťovou úroveň).
- $\rho_A = 0$  a  $\rho_B = -1$ , tedy tehdy, kdy  $R_0 = Z_0$  a současně  $R_z = 0$ . Vedení je přizpůsobeno na vstupu a na konci je zkrat. Na vstupu vedení se vytvoří napětí poloviční než je napětí zdroje  $U$ . Vlna s touto „výškou“ se šíří ke konci vedení a odrazí se s opačnou polaritou (na zkratu je nulové napětí) a za dobu  $2t_d$  se na vstupu vedení vytvoří ustálené nulové napětí. Takto lze generovat na vstupu vedení krátké, poměrně přesně časově definované impulsy.

Další varianty a simulaci zcela obecných vztahů na vstupu a výstupu ponecháváme na studentovi.

Dosavadní výklad by mohl vést k úvaze, že jsou všechny zdroje signálu trvale zatíženy charakteristickými impedancemi připojených vodičů. To však platí jen v době, kdy se ze zdroje šíří dopředná vlna a na vstupních svorkách nepůsobí odražené vlny. Pokud se napětí na vedeních mění tak pomalu, že se zpětná vlna vrátí dříve než se vstupní signál výrazně změní, pak lze vstup vedení považovat za obvod se soustředěnými parametry a počítat s ním jako s vodičem o nulovém odporu, který nechá na výstup zdroje působit přímo připojený vstup navazujícího obvodu. Pro posouzení nutnosti řešit spoj s ohledem na odrazy a související defekty v napěťových úrovních platí empirický vztah

$$t_r \leq 2 t_d l,$$

který říká, že vedení o délce  $l$  ovlivní významně přenos impulsů, pokud impulsy mají trvání čela kratší, než je dvojnásobek doby zpoždění. Např. pro kroucený pár se zpožděním  $t_d = 10 \text{ ns/m}$  a impulsy s časem  $t_r = 2 \text{ ns}$ , začne být vliv odrazů významný již od délky spoje 10 cm.

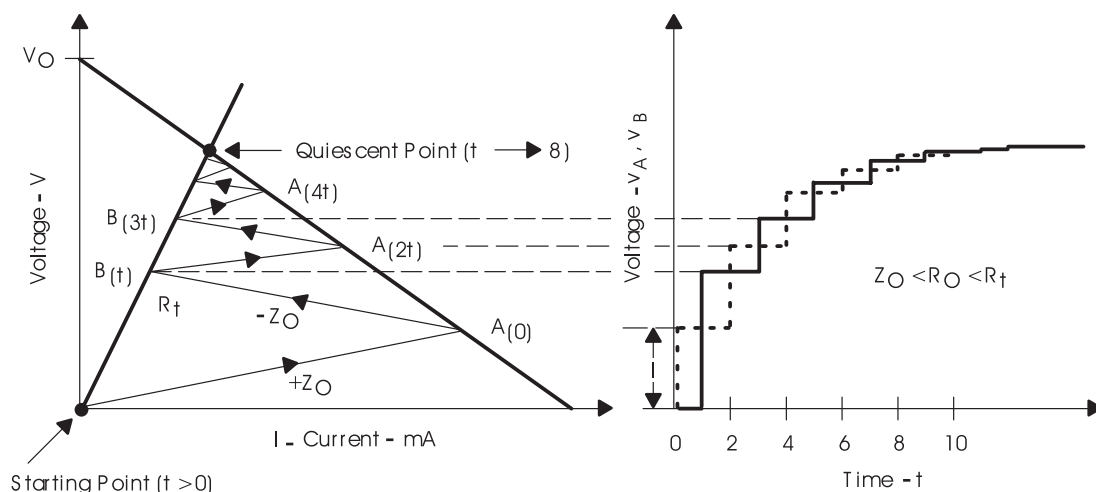
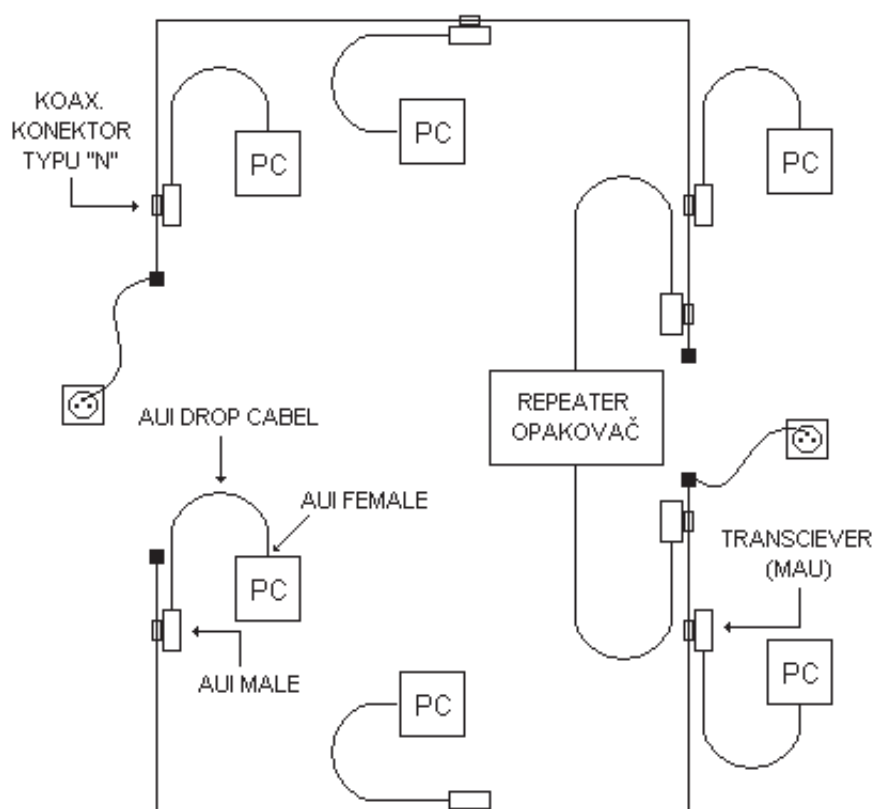


Figure 14. Line Reflections for Terminated Line

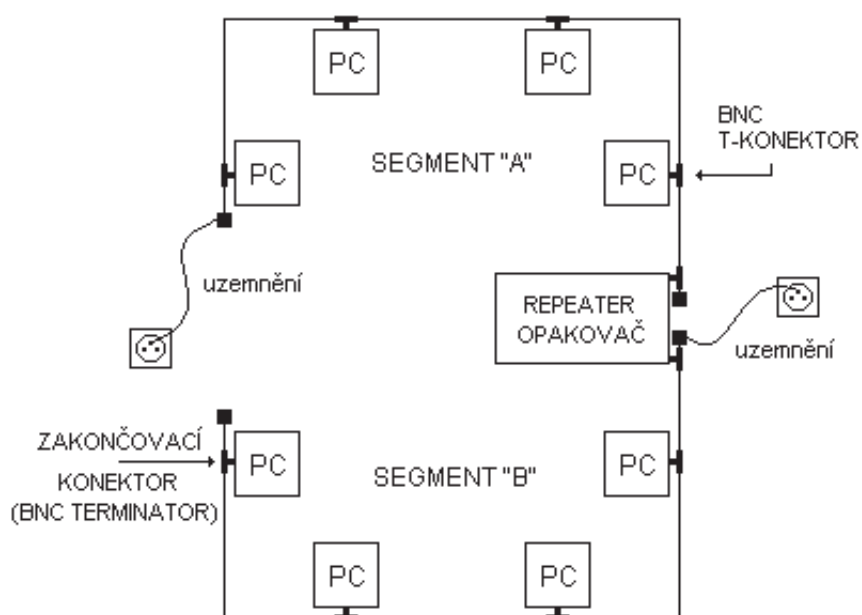
<http://focus.ti.com/lit/an/sdya014/sdya014.pdf>



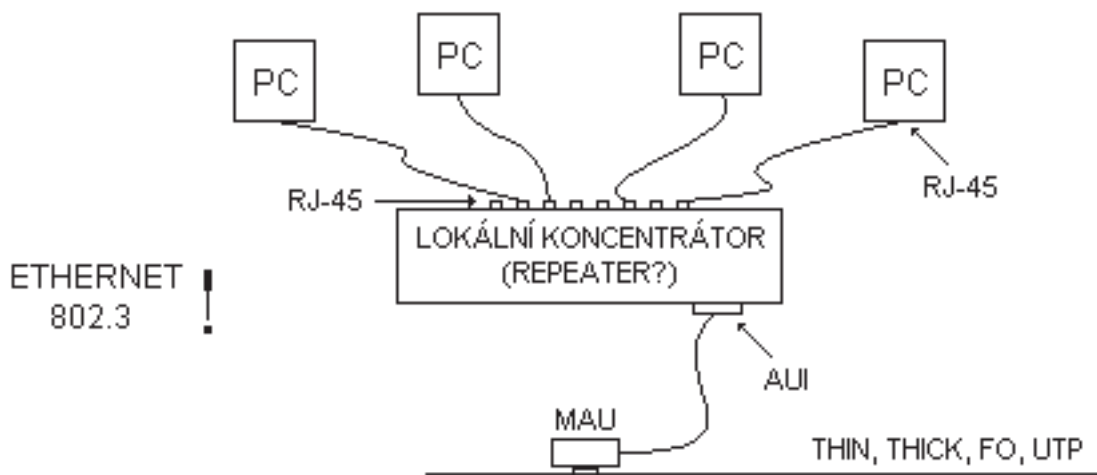
Obrázek 9.9: Odrazy na vedení - grafická konstrukce



Obrázek 9.10: Tlustý Ethernet



Obrázek 9.11: Tenký Ethernet



Obrázek 9.12: Ethernet - kroucený pár (<http://www.fi.muni.cz/usr/brandejs/P005/lan.html>)

Obrázky ukazují tři různé typy kabelového spojení v síti Ethernet. Tlustý koaxiální kabel musí být na obou koncích zakončen a připojené počítače jsou „napíchnuty“ na střední vodič kabelu. U tenkého Ethernetu jsou stanice připojeny konektory typu **T** a na konci musí být koncovka s rezistorem  $50\ \Omega$ . Kabeláž kroucenými páry má hvězdicovou konfiguraci a každý počítač má své připojení dvěma kroucenými páry s charakteristickou impedancí  $100\ \Omega$ .