

Раздел 1. Лекция 3.

Системные и периферийные
шины. Часть 1

Основные вопросы лекции

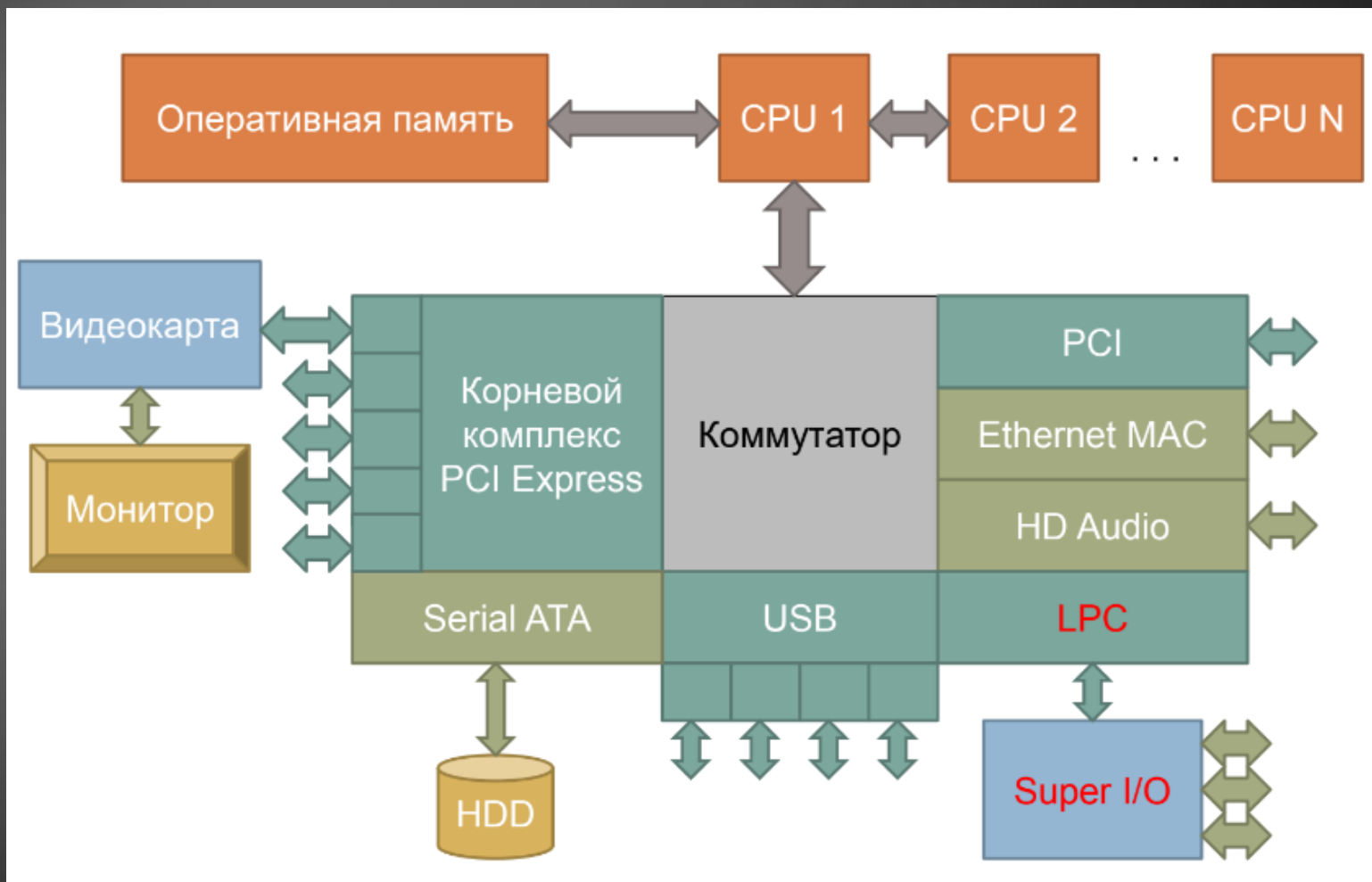
1. Обзор периферийных шин.
2. Шина PCI: архитектура, топология; система адресации, прерывания; формат транзакции; конфигурационный механизм; физический и электрический интерфейс.

1. Обзор периферийных шин

В рамках данной темы будут рассмотрены следующие шины:

1. LPC (Low Pin Count) — специализированная системная периферийная шина;
2. PCI (Peripheral Components Interconnect) — базовая системная магистраль (шина) компьютера архитектуры x86, предназначенная для подключения внутренних периферийных устройств и контроллеров внешних интерфейсов;
3. PCI-X (Peripheral Component Interconnect eXtended) — шина для подключения рабочих станций и серверов, разработана на основе шины PCI.
4. PCI-Express (Peripheral Component Interconnect Express) — шина, предназначенная для подключения внутренних периферийных устройств и контроллеров внешних интерфейсов, разработанная на основе шины PCI;

1. Шина LPC в архитектуре современного ПК



1. Шина LPC – для подключения Legacy-устройств

LPC (Low Pin Count) – специализированная системная периферийная шина:

- **PS/2** — разъем для подключения клавиатуры и мыши;
- **VGA** — разъем для подключения мониторов по стандарту видеоинтерфейса VGA;
- **IDE** (Integrated Drive Electronics) *или на текущий момент (ATA - AT Attachment)* — параллельный интерфейс подключения накопителей (жёстких дисков и оптических приводов);
- последовательный порт **RS-232** (Recommended Standard 232) — стандарт последовательной асинхронной передачи двоичных данных;
- параллельный порт **IEEE 1284** (порт принтера, параллельный порт, Line Print Terminal, LPT);
- контроллер дисководов гибких дисков (floppy);
- порт для подключения джойстика (игровой порт, Gameport/MIDI-port — разъем ввода/вывода для подключения аналогового игрового манипулятора или музыкального синтезатора).

1. Шина LPC – основные характеристики

Была разработана в 1992 году корпорацией Intel для замены шины ISA (Industrial Standard Architecture), сохранив программную совместимость для системных и периферийных устройств, входящих в архитектуру IBM PC XT/AT.

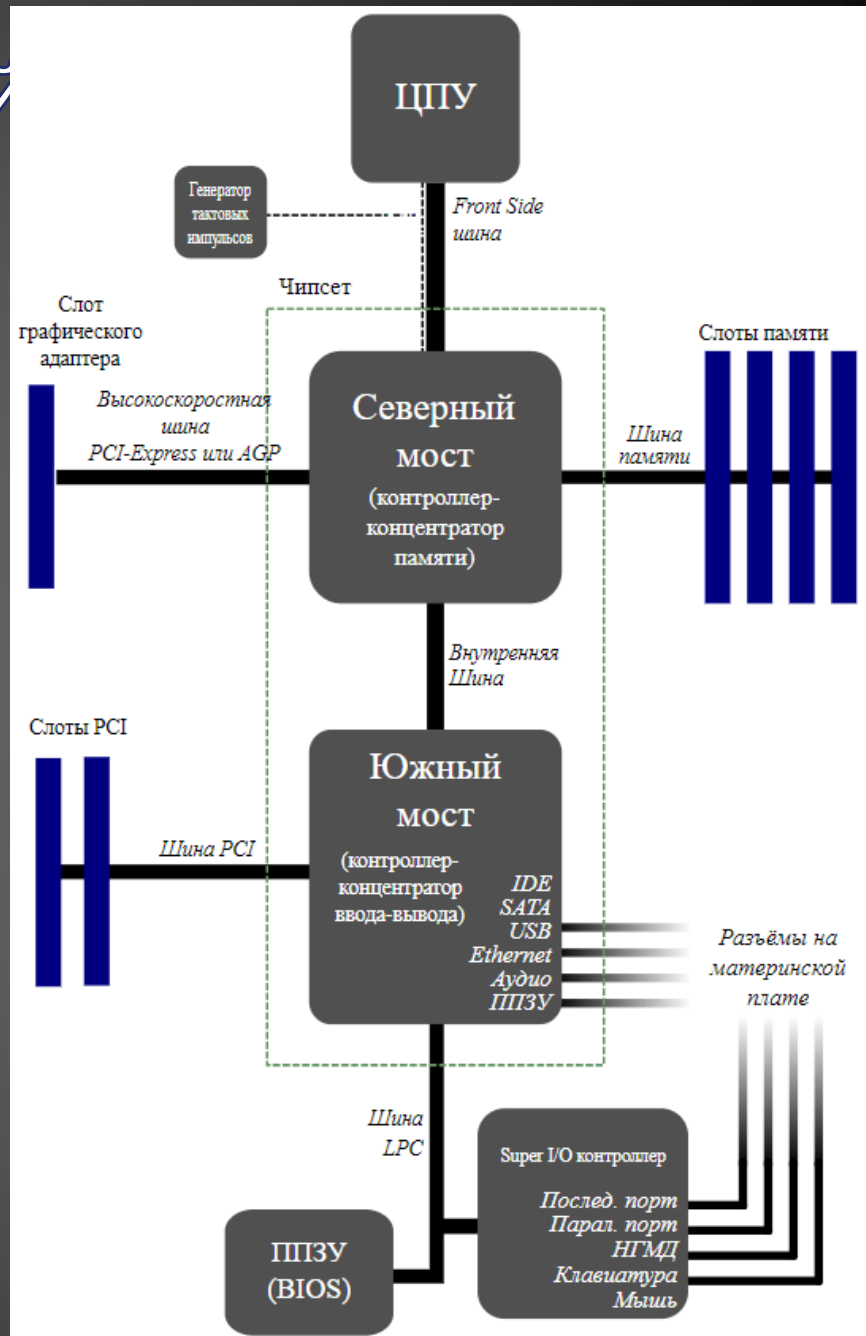
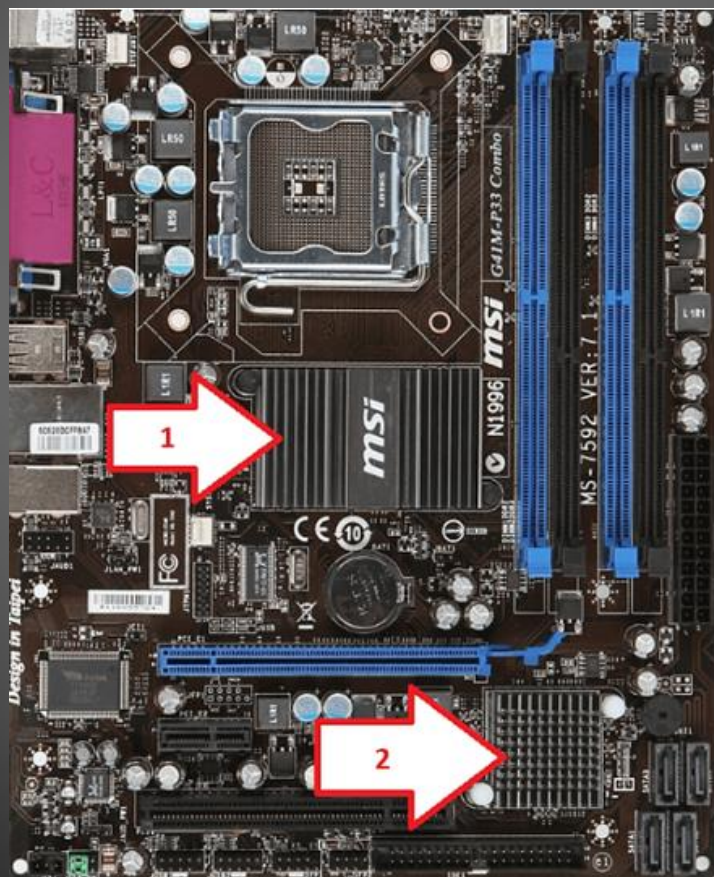
Шина LPC является:

- синхронной параллельной;
- мультиплексированной, с разрядностью 4 бита;
- частота 33,3 МГц;
- обычно используется для подключения единственного физического устройства – моста Super I/O, также может поддерживать IO-контроллеры, BIOS Firmware (микросхемы flash-BIOS), аудиокодеки;
- разъемов и карт расширения не существует;
- **мост PCI-LPC** обычно входит в состав микросхемы «южного моста».

ИНАЧЕ: LPC служит для подключения к контроллеру ввода-вывода (I/O Controller Hub, ICH, Southbridge, функциональный контроллер чипсета) **более медленных устройств системы** (по сравнению с северным мостом).

Контроллер Super I/O реализует такие устройства, как контроллер FDD, клавиатурный порт, принтерный интерфейс LPT, com-порты и проч.)

1. Шина LPC & Южный МОСТ



1. Шина LPC & Южный мост

Что такое северный и южный мост

Мост — это чип, который распаян на материнской плате и является частью чипсета. Традиционно чипсет материнской платы состоит из двух чипов, которые называют северным и южным мостом.

Данные чипы называют мостами потому, что они выполняют связующую функцию между центральным процессором компьютера и остальными комплектующими. Что касается названий «северный» и «южный», то эти названия указывают на расположение данных чипов на материнской плате. По аналогии с полюсами на глобусе, северный мост находится ближе к верхней, а южный ближе к нижней части платы.

Нужно отметить, что на современных материнских платах два моста больше не используется. Вместо северного и южного мостов теперь используется исключительно южный мост, так как все функции северного моста были интегрированы в процессор.

Где находится северный и южный мост

Как уже было сказано, **северный мост** — это чип, который располагается в верхней части материнской платы, сразу под процессором. Такое расположение обусловлено тем, что северный мост подключается напрямую к центральному процессору компьютера. Обычно на северном мосту расположен массивный радиатор или даже радиатор с вентилятором, поскольку данный мост греется значительно сильнее южного.

Южный мост — это чип в нижней части материнской платы. Обычно на нем расположен более мелкий радиатор, на некоторых материнских платах южный мост вообще не комплектуется радиатором. В современных материнских платах чипсет может состоять только из одного южного моста.

1. Шина LPC & Южный мост

За что отвечает северный и южный мост

Для того чтобы понять, за что отвечает северный и южный мост достаточно взглянуть на блок схему типичного компьютера.

В верхней части блок схемы вы видите ЦПУ – это центральный процессор. Он с помощью шины подключен к северному мосту, который в свою очередь подключен к слоту графического адаптера (PCI Express или AGP), к шине памяти и к южному мосту. Таким образом, **северный мост отвечает** за связь центрального процессора с графическим адаптером, памятью и южным мостом. Также от северного моста зависят параметры работы системной шины, оперативной памяти и видео адаптера.

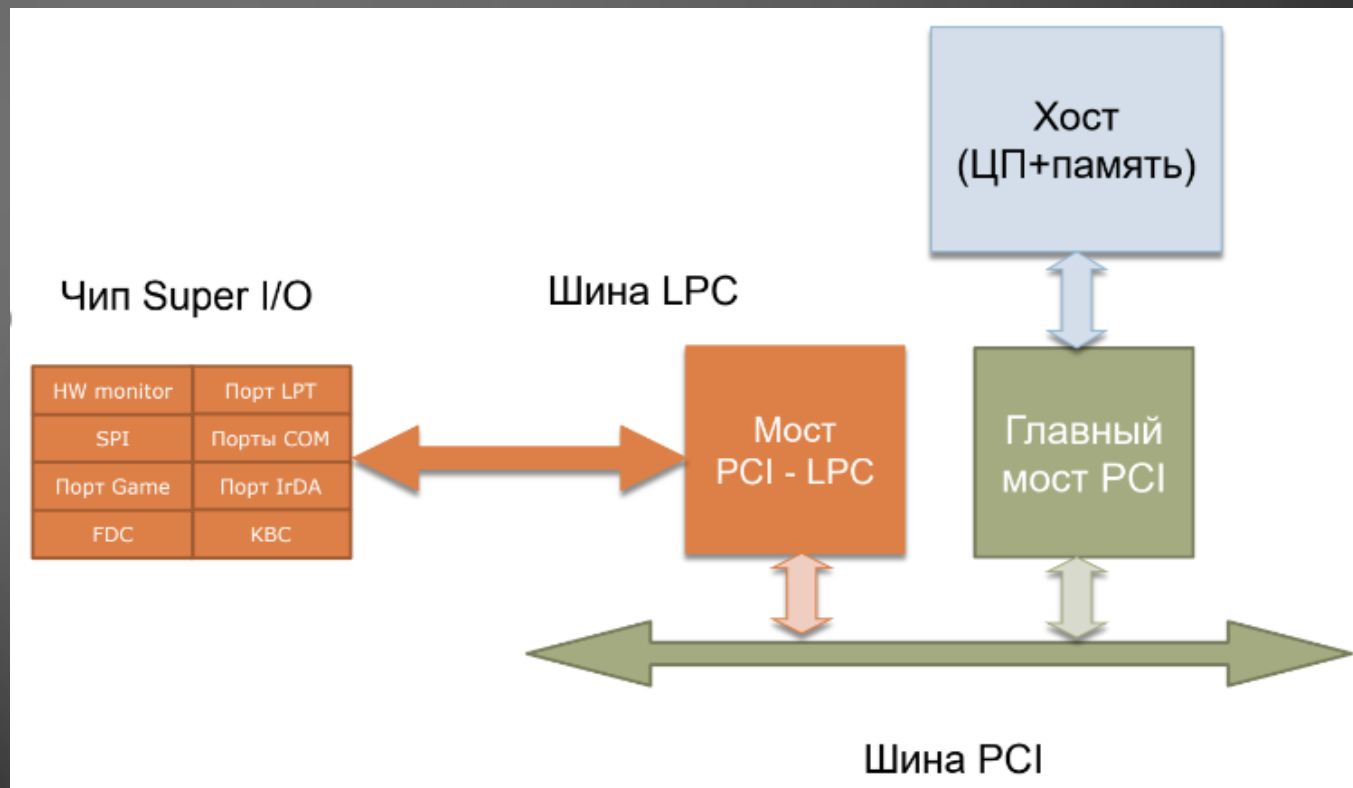
Южный мост отвечает взаимодействие с внешними устройствами и остальные функции материнской платы. Он включает в себя контроллеры PCI Express, PCI, SATA, PATA, RAID, USB, Ethernet, Firewire и т.д. Также южный мост отвечает за управление питанием, энергонезависимую память BIOS и прерывания. Взаимодействие южного моста с процессором происходит через северный мост.

Поскольку южный мост напрямую работает со внешними устройствами, которые подключаются к компьютеру, то вероятность его поломки значительно выше, чем вероятность поломки северного моста. Часто причиной преждевременной смерти южного моста становится короткое замыкание USB-разъема или подключение неисправного накопителя. Северная часть чипсета также может выйти из строя, но, для нее более характерной проблемой является перегрев.

Нужно отметить, что в случае поломка моста не обязательно выбрасывать всю материнскую плату. Во многих случаях проблему можно решить заменой чипа на новый или бывший в использовании с аналогичной платы. Но, такую процедуру обычно делают на только дорогих материнских платах, поскольку на бюджетных моделях это экономически не целесообразно.

1. Шина LPC. Super I/O & LPC & PCI

Топология – управляемая хостом шина, но чаще используется соединение «точка-точка».



1. Шина LPC. Интерфейс

Интерфейс LPC использует ряд сигналов шины PCI, в частности, импульсы синхронизации CLK PCI, то есть **LPC синхронизирован с шиной PCI. Однако устройства LPC могут вводить произвольное число тактов ожидания.**

Контроллер LPC является мостом PCI и встраивается в контроллер ввода-вывода (ICH, (I/O controller hub)).

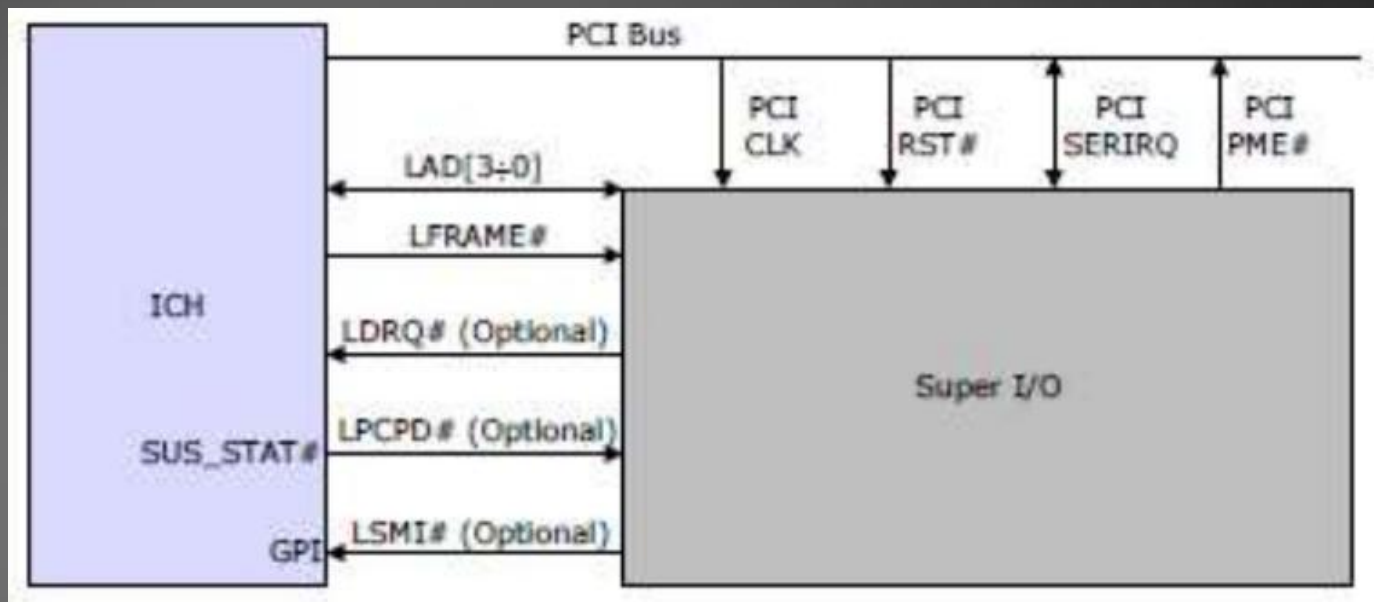
Интерфейс программно прозрачен и не требует каких-либо драйверов.

Синхронная, частота синхронизации 33 МГц, уровни напряжения совпадают с PCI 3.3V. **Реализуется как мост PCI-LPC (PCI-ISA), отслеживающий все обращения за пределами пространства устройств PCI.**

Не поддерживает общий механизм конфигурирования и «Plug&Play» ввиду специфики подключенных устройств (с фиксированными адресами, заложенными в архитектуре системы).

По пропускной способности LPC эквивалентен ISA.

1. Шина LPC. Интерфейс



Обязательные сигналы (7 линий):

LAD[3:0] – мультиплексированная шина команд, адреса и данных;

LFRAME# - сигнал границы кадра (подачи команды);

LRESET# - сигнал сброса, берется с шины PCI;

LCLK – сигнал синхронизации, берется с шины PCI (Тактовая частота 33 МГц, те же функции, что PCICLK);

Дополнительные:

SERIRQ# - линия прерывания устройства, не подключенного к PIC напрямую;

LPME#, LPCPD# - управление питанием - сигнал о начале цикла изменения энергопотребления;

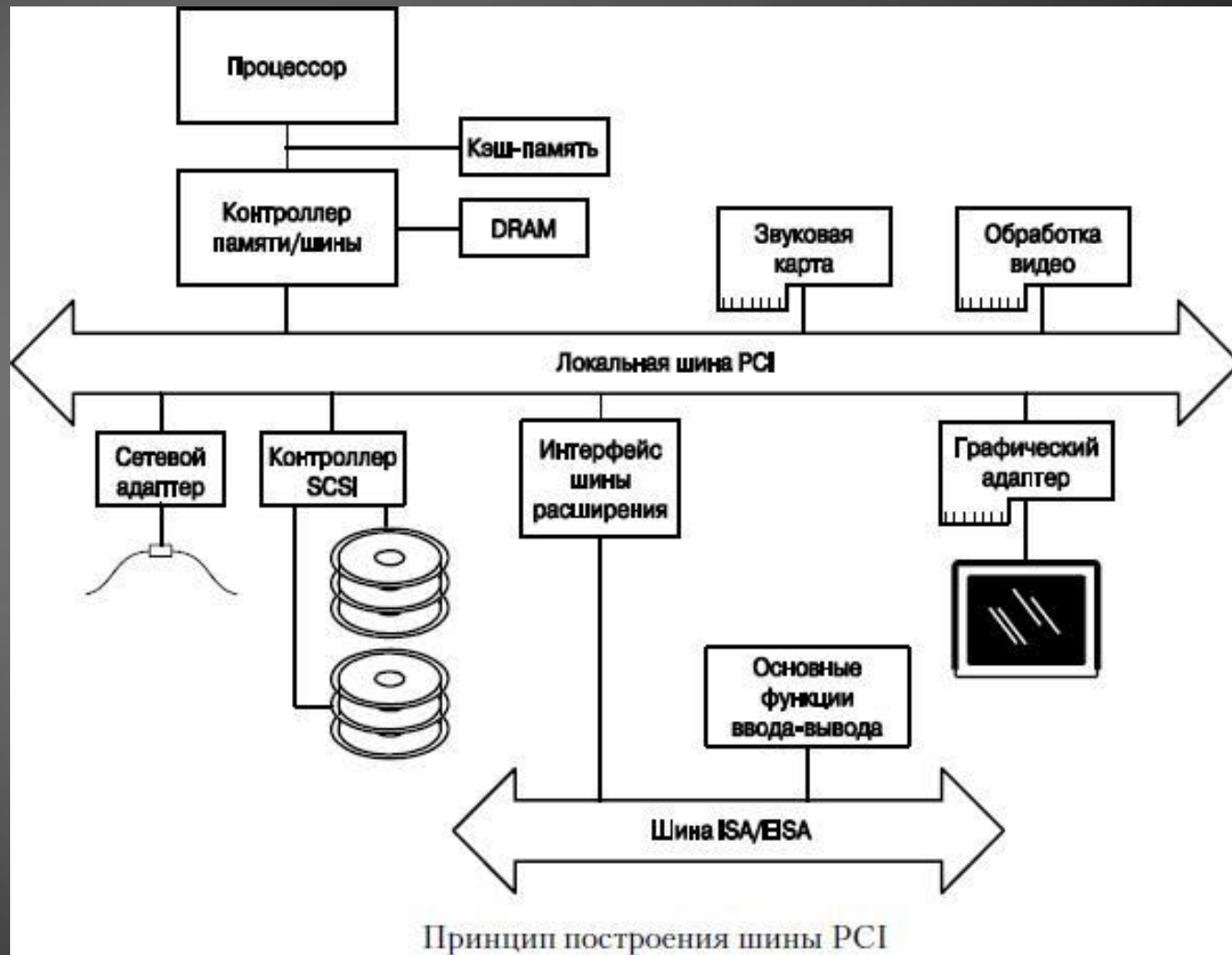
LDRQ# - сигнал DMA/Bus Master.

1. Шина LPC. Замена устаревшего ISA

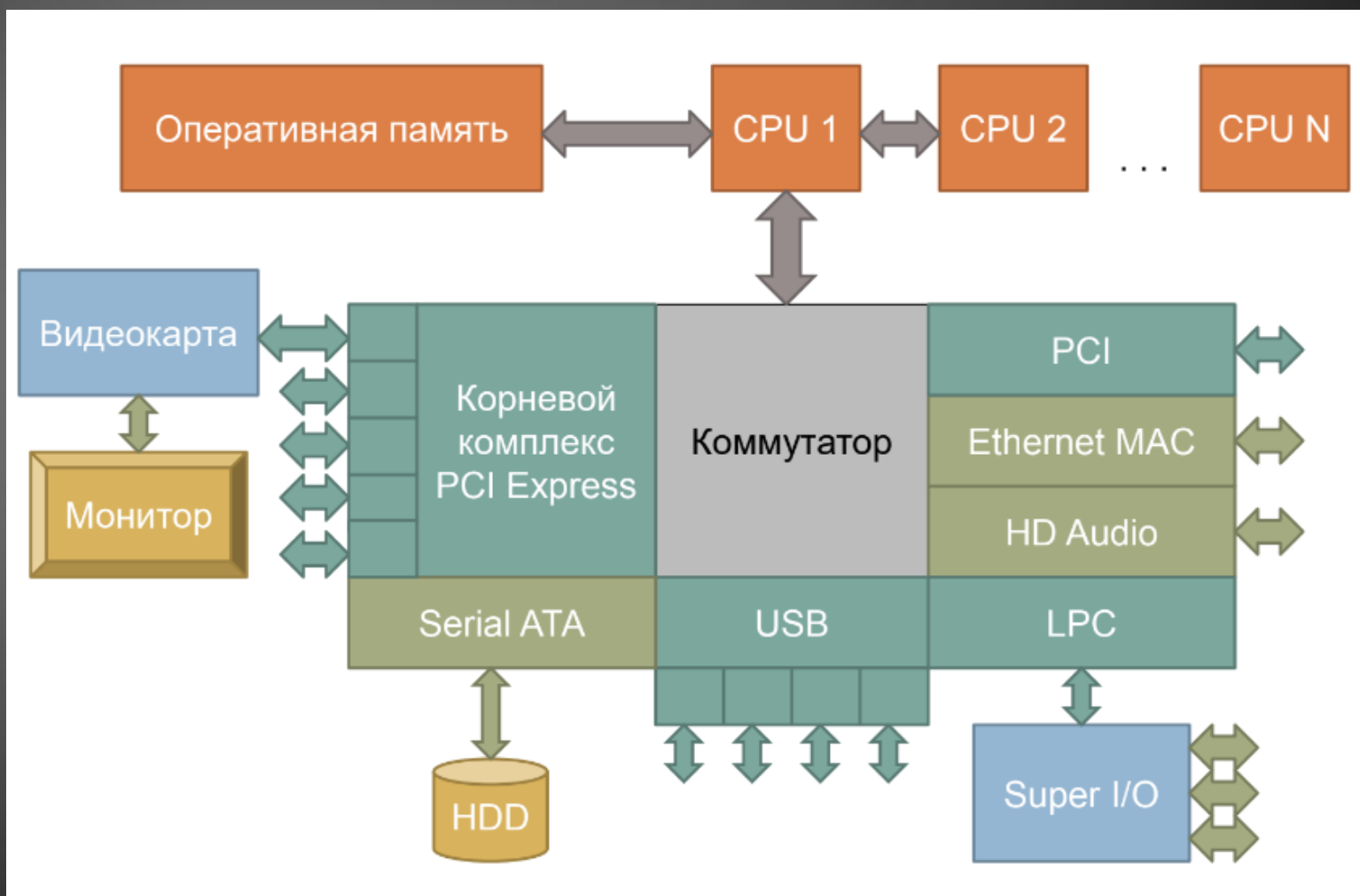
Интерфейс LPC — это замена устаревшего, с большим числом контактов, асинхронного интерфейса ISA с сохранением всех циклов обращения ISA:

- чтение–запись памяти (1 байт);
- чтение–запись ввода–вывода (1, 2, 4 байта – 16–ти и 32–х разрядные передачи ICH преобразует в последовательность байтовых передач);
- чтение–запись через DMA (1 или 2 байта);
- прямое управление шиной (busmastering) чтение–запись (1, 2 или 4 байта).

2. Шина PCI



2. Шина PCI



2. История создания

1992 - первая версия спецификации PCI (PCI Special Interest Group, Intel).

Изначально она позиционировалась как высокоскоростная дополнительная шина для подключения к общей магистрали ПК устройств с повышенными требованиями к пропускной способности (например, сетевых и графических контроллеров). Со временем PCI вытеснила аналоги и заняла место базовой системной магистрали.

Сегодня PCI устарела и используется для подключения Legacy-устройств. Однако ее логическая структура и механизмы управления лежат в основе работы более современных шин.

2. Версии спецификаций

Стандарт	Спецификация	Разрядность, биты	Напряжение, В	Частота, МГц	Пропускная способность, Мб/с
PCI 2.3	29.03.2002	32	5	33	133
PCI 3.0	03.02.2004	32	5 или 3,3	33 или 66	133 (если частота 33 МГц) 256 (если частота 66 МГц)
PCI 64	-	64	3,3 или 5	33	266
PCI 66	-	64	3,3	66	533
PCI-X 2.0	2002	64	1,5 или 3,3	66-533	1024-4096

2. Характеристики

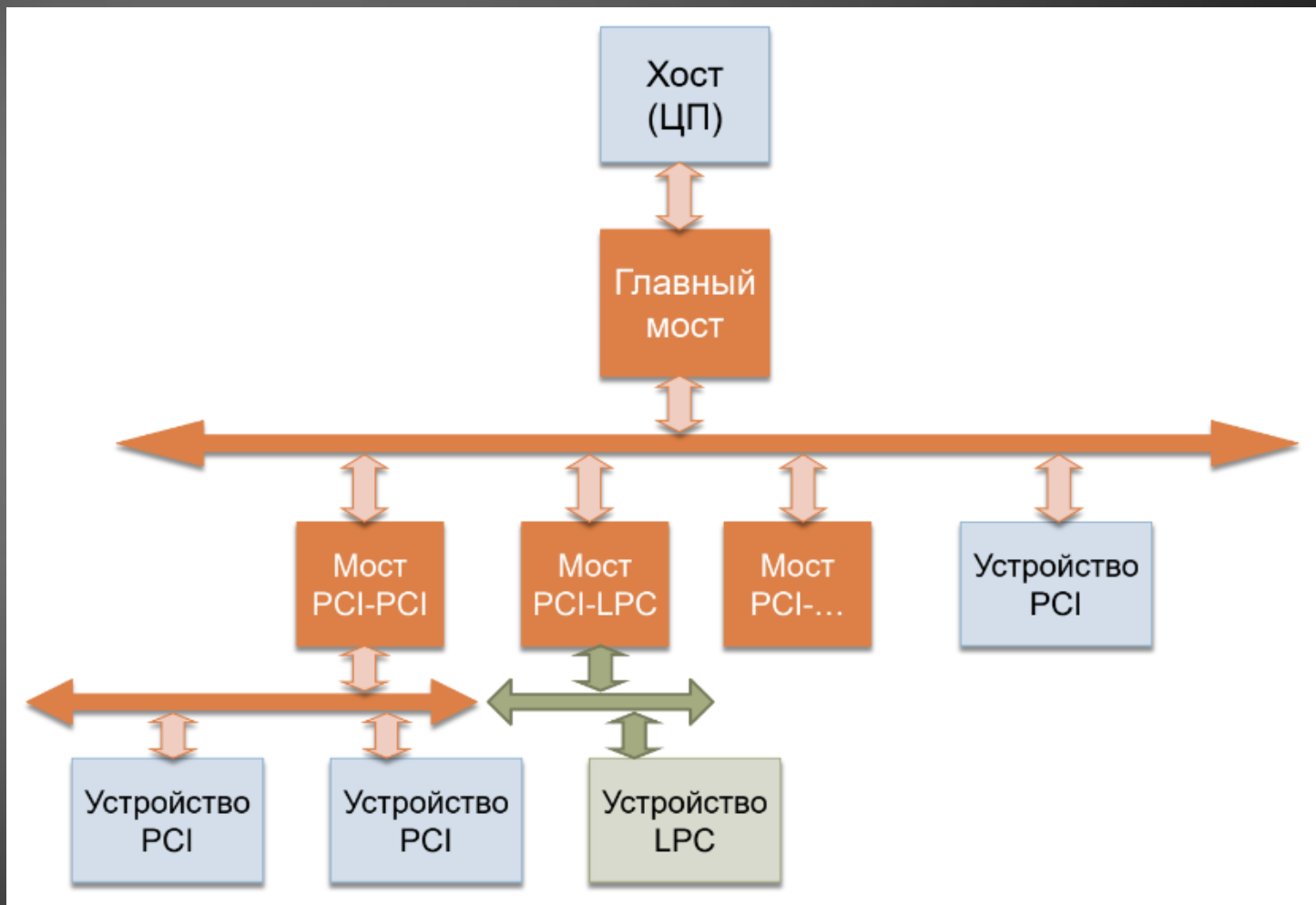
Шина PCI является синхронным параллельным электрическим интерфейсом с общей средой передачи данных (топология «шина»). Состоит из мультимплексированных линий передачи адреса и данных (разделение по времени) и линий различных управляющих сигналов.

Основные характеристики:

- разрядность (ширина) – 32 или 64 бита;
- тактовая частота – 33.3 или 66.6 МГц;
- адресация – 32 или 64 бита (не зависит от ширины шины);
- пропускная способность – от 133 до 533 Мб/с в зависимости от реализации;
- количество подключаемых устройств – зависит от реализации, но не более 32 для одного физического сегмента шины.

Шина PCI разводится внутри микросхем или на печатной плате (обычно материнской). Устройства могут быть выполнены в виде микросхем, плат расширения (например, ATX), модулей Mini PCI, Compact PCI, PXI и т.д.

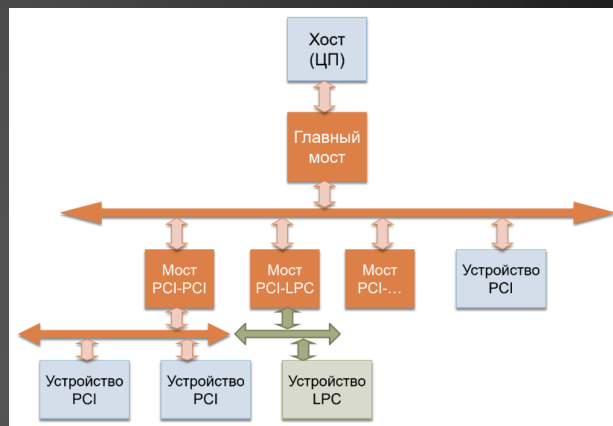
2. Архитектура и топология



2. Архитектура и топология

В общем случае шина PCI имеет топологию **многоуровневая шина**:

- к первичной шине могут подключаться устройства – **мосты**, управляющие вторичными шинами, и так далее;
- помимо упомянутых мостов PCI-PCI, к шине подключаются мосты для связи с другими шинами, в их задачи входит трансляция транзакций, поступающих по шине PCI, к устройствам, которые подключены к другой шине.



Хост – источник команд и основной потребитель данных; в случае компьютера x86 это системное ядро – процессор и системная память.

Хост подключен через главный мост (Host bridge), который является устройством PCI и действует от имени хоста. Хост занимается также распределением ресурсов и конфигурированием всех устройств PCI.

Мосты играют роль **арбитров**, обрабатывая запросы от устройств на доступ к шине и отслеживая соблюдение протокола обмена.

2. Транзакции

В рамках *транзакции* определены два объекта:

- инициатор обмена (Initiator);
- целевое устройство (Target).

В рамках одной физической шины в конкретный момент может происходить только одна транзакция. Если физических шин несколько, то транзакции на них могут выполняться одновременно (Peer Concurrency), если пути прохождения данных не пересекаются.

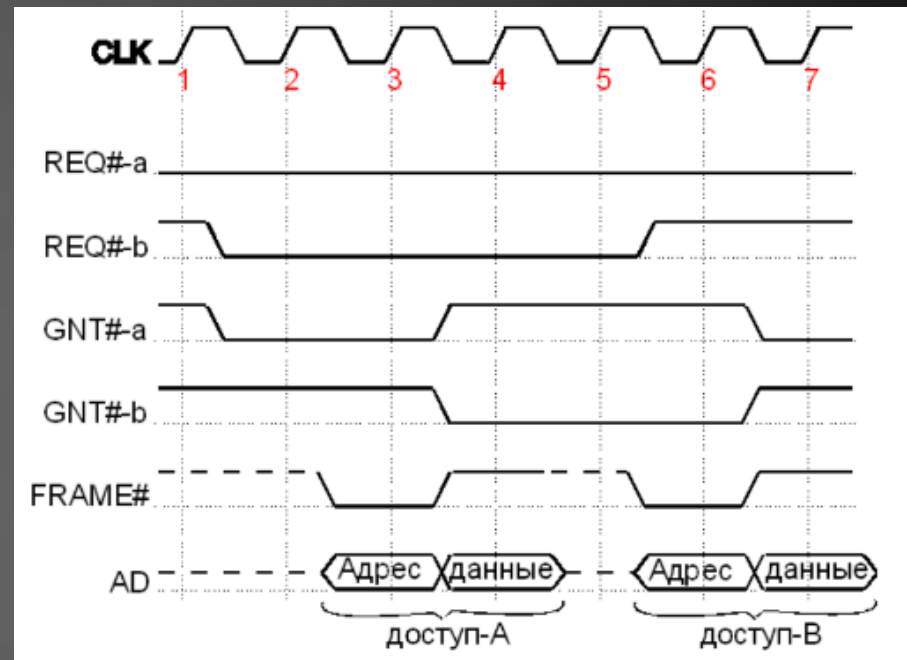
Устройство, ставшее инициатором обмена и взявшее на себя временное управление шиной, называется **Bus Master**. Наличие этой функции не обязательно для устройств. Решение о передаче управления шиной принимает арбитр данной шины.

Механизм Bus Mastering фактически заменяет механизм с выделенным контроллером DMA: каждое устройство самостоятельно осуществляет доступ к системной памяти, выполняя все функции контроллера DMA.

2. Доступ к шине и фазы транзакции

До начала транзакции устройство-инициатор подает запрос на доступ к шине (REQ# подведена к каждому устройству от арбитра шины).

Арбитр анализирует пришедшие запросы и одному из устройств выдает разрешение – низкий уровень на линии GNT# (линии REQ# и GNT# парные).



Устройство, получившее разрешение, ожидает окончания текущей транзакции (снятие сигнала FRAME#), после чего начинает работу.

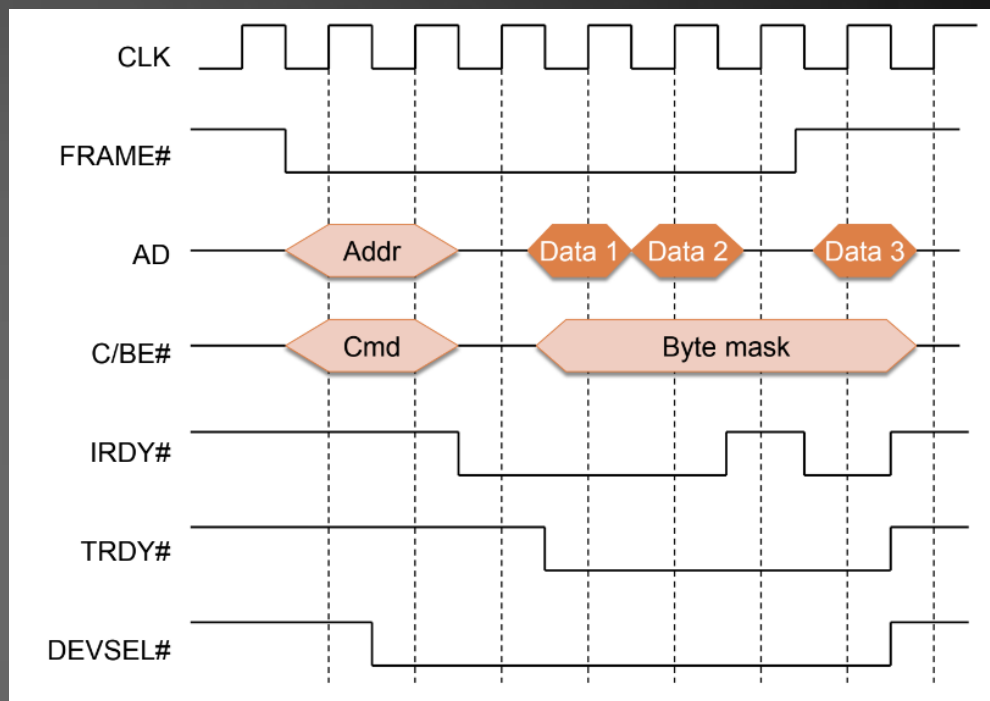
В транзакции обязательно имеется одна фаза адресации и одна или несколько фаз передачи данных. Фактически фаза соответствует одному тактовому интервалу, за время которого по шине передается одна группа данных (32 или 64 бита).

2. Сигналы шины PCI

- AD [31:0] ([63:0]) – мультиплексированная шина адреса/данных
- C/BE[3:0]# - мультиплексированная шина команд/маска разрешения байт
- FRAME# - сигнал кадра (транзакции)
- DEVSEL# - подтверждение выбора от целевого устройства
- IRDY# - инициатор готов к обмену
- TRDY# - целевое устройство готово к обмену
- STOP# - досрочное прекращение транзакции
- REQ# - запрос на доступ к шине
- GNT# - разрешение на доступ к шине
- PAR – бит четности линий AD и C/BE#
- PERR# - ошибка четности
- CLKRUN# - частота синхронизации номинальная
- RST# - сброс
- IDSEL – выбор устройства
- SERR# - ошибка

2. Фаза транзакции

Первая фаза транзакции – фаза адресации, в рамках которой устройство-инициатор обращается к целевому устройству с помощью адреса. Подав сигнал FRAME# (начало транзакции), инициатор на шину A/D выставляет 32- или 64-битный адрес, а на шину C/BE# – код операции (команду).



Фазу адресации отслеживают все устройства на шине, включая мост. То устройство, которое определило принадлежность адреса к своим ресурсам, сообщает об этом сигналом DEVSEL#. Мост также может взять на себя роль целевого устройства, чтобы передать транзакцию на другие шины.

На появление сигнала DEVSEL# отведено 3 такта. Если его не будет, считается, что произошла аварийная ситуация, и устройство заканчивает транзакцию с уведомлением своего драйвера.

2. Фаза данных

Получив сигнал DEVSEL#, инициатор готовит внутренние буферы к обмену и выставляет IRDY# по готовности. При выполнении записи в следующем такте на A/D поступает первая группа данных.

Целевое устройство по готовности выставляет сигнал TRDY# и выставляет первую группу данных при выполнении чтения. Его отсутствие означает необходимость холостого такта, в течение которого инициатор прекращает передачу (или повторяет первую фазу данных).

Холостой такт может вводить и инициатор снятием сигнала IRDY#.

Маска байтов (линии C/BE#) определяет, какие байты из группы (по шине передаются сразу 4 или 8) заполнены полезными данными. Маску формирует тот, кто выставляет данные (при записи – инициатор, при чтении – целевое устройство).

2. Завершение транзакции

Длина транзакции заранее неизвестна, поскольку она может быть закончена по инициативе трех агентов – инициатора, целевого устройства или арбитра.

Со стороны инициатора – снятием сигнала FRAME#:

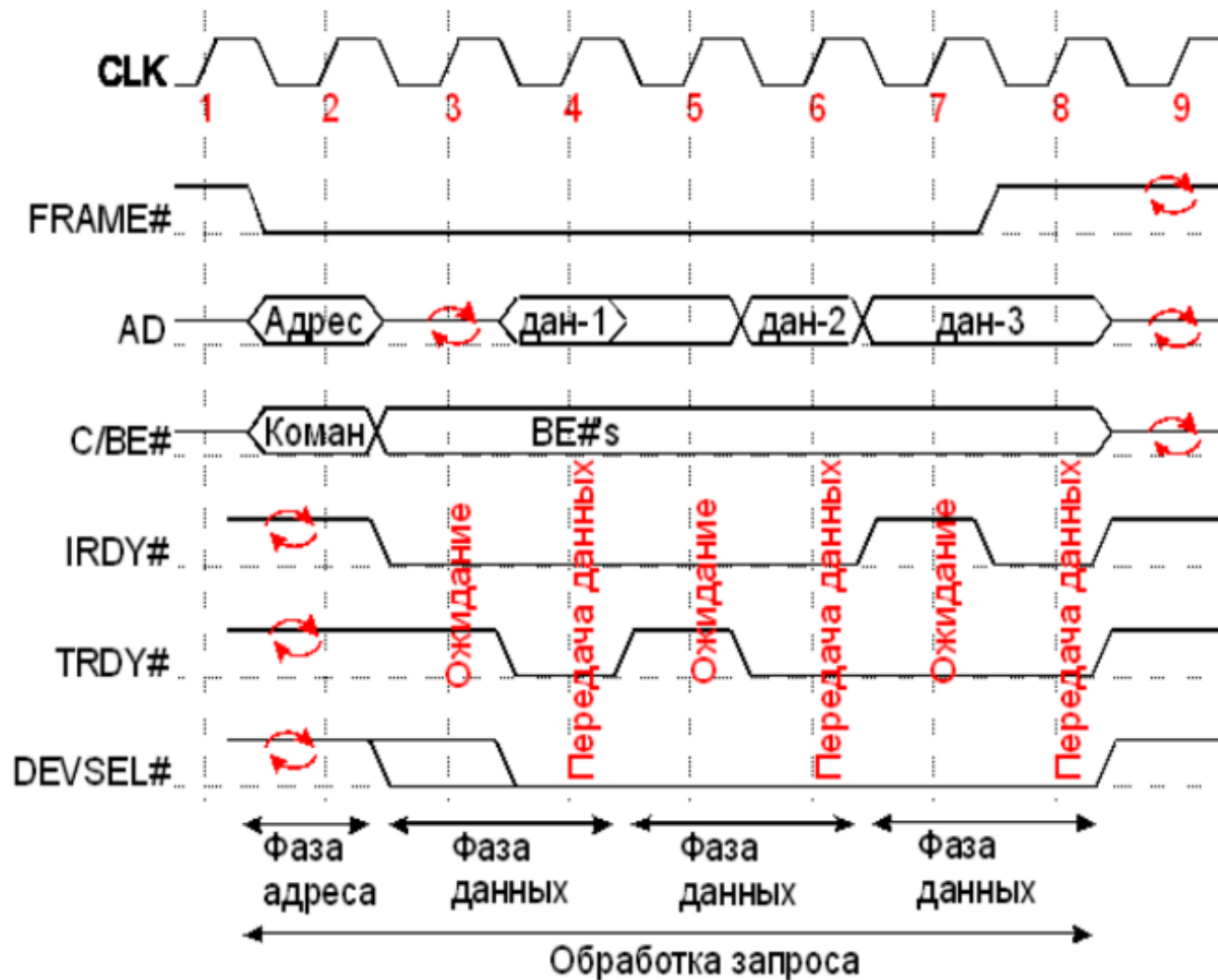
- нормальное завершение: после передачи всех данных;
- прекращение (master-abort): инициатор не дождался сигнала DEVSEL#.

Со стороны целевого устройства – сигналом STOP#:

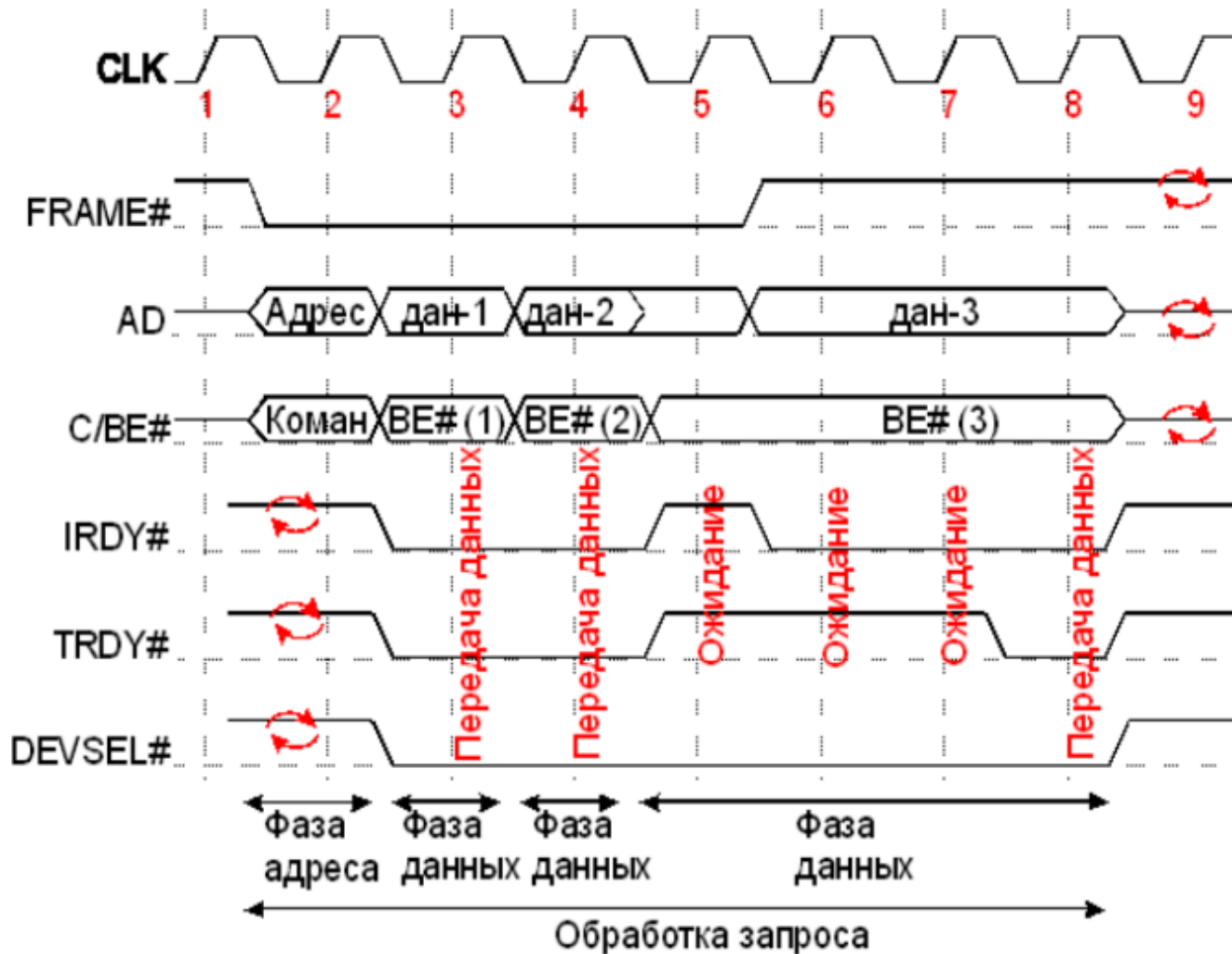
- повтор (retry): сигнал STOP# выставляется до сигнала TRDY# в первой фазе данных. Это запрос повторения той же транзакции;
- отключение (disconnect): STOP# выставляется в очередной фазе данных. Запрос на повтор со следующей (если был установлен TRDY#) или текущей (не был установлен TRDY#) фазы данных;
- отказ (target-abort): снятие DEVSEL# вместе с установкой STOP#.

Со стороны арбитра – снятием сигнала GNT#. Это может потребоваться, например, если инициатор не закончил транзакцию вовремя.

2. Чтение



2. Запись



2. Механизмы доступа к устройствам

Существует 4 механизма доступа к устройствам со стороны хоста или других устройств:

1. Обращение к области памяти или портам, выделенным устройству.
2. Обращение к конфигурационным регистрам (в конфигурационном адресном пространстве).
3. Широковещательные сообщения ко всем устройствам шины.
4. Механизм обмена сообщениями.

Для подачи сигналов хосту устройства применяют механизм прерываний:

- Маскируемые (INTx или MSI - Message Signaled Interrupt).
- Немаскируемые (NMI – NonMaskable Interrupt).
- Системные (SMI – System Management Interrupt).

Когда устройства сконфигурированы, они адресуются через диапазоны пространства памяти или портов на основе анализа адреса, передаваемого в начале транзакции. В противном случае требуется механизм конфигурационного доступа.

2. Адресация устройств

Адрес памяти может быть 32- или 64-битным, он зависит не от разрядности мультимплексированной шины A/D, а от текущей адресации в системе (режима работы процессора).

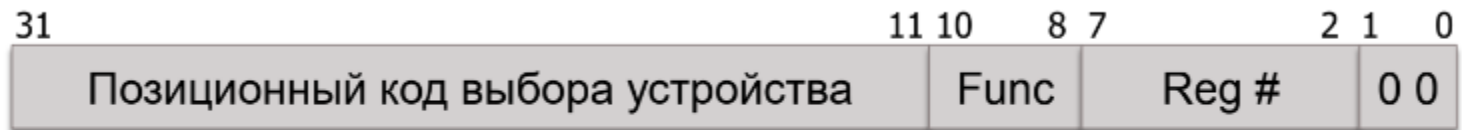
Физический адрес передается по линиям AD[31:2] или AD[63:2]. Линии AD[1:0] задают порядок изменения адресов в пакете:

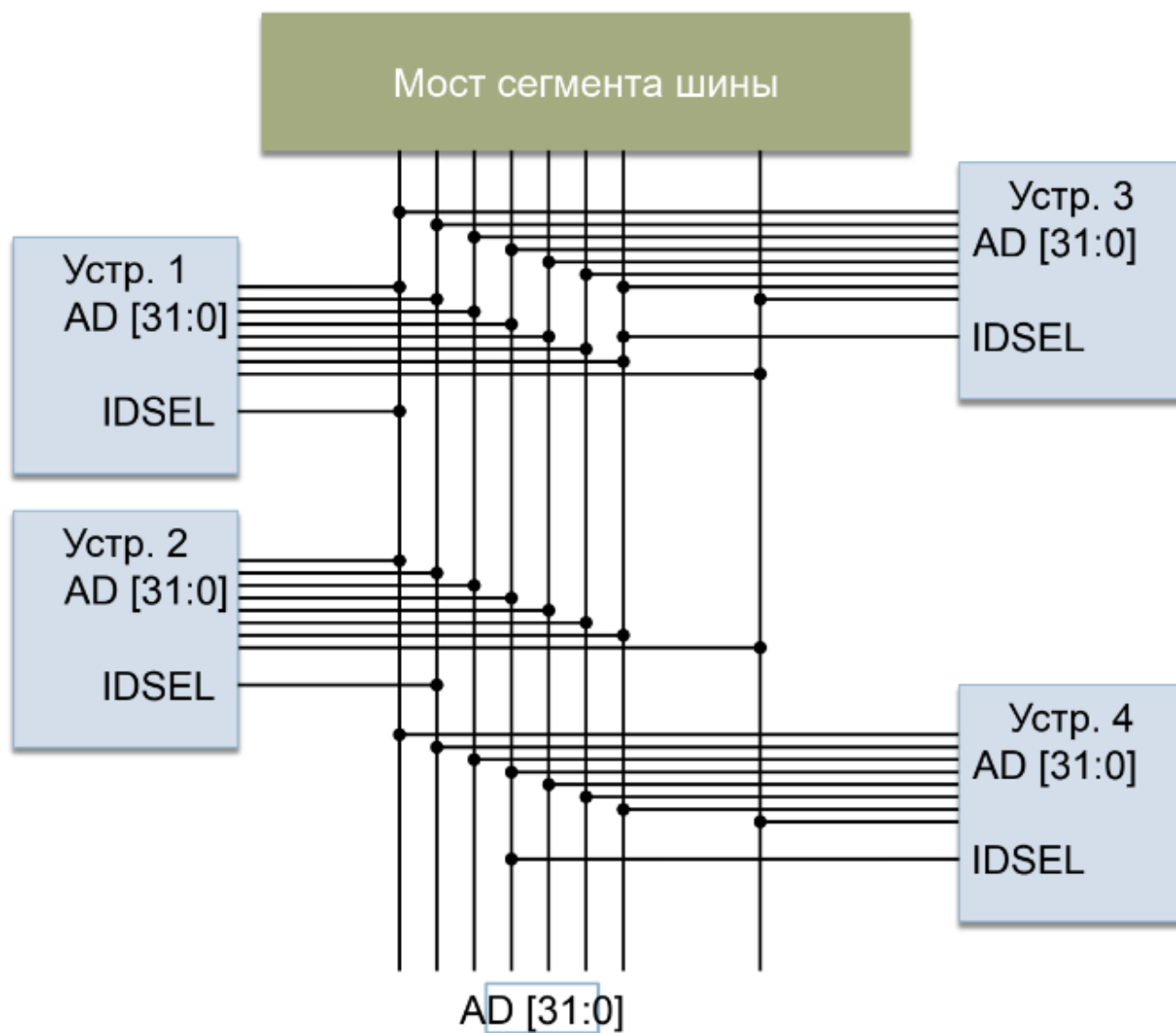
- 00 – линейный инкремент (+4 для 32-битной, +8 для 64-битной шины данных) 01, 11 – резерв 10 – сворачивание адресов с учетом строки кэша (Cache Line Wrap mode).
- Все исполнители должны проверять разряды AD[1:0] и затем либо выполнять пакетную передачу в запрошенном режиме, либо прекратить транзакцию одним из двух способов: отсоединением с данными (disconnect with data) в течение первой фазы данных или отсоединением без данных (disconnect without data) во второй фазе.
- Передача со свертыванием строк кэша позволяет в одной транзакции считать или записать одну строку кэша исполнителя целиком.

Адрес портов в архитектуре x86 – 32-битный, но используются только 16 младших бит; в других архитектурах могут быть отличия. Адрес двойного слова передается по линиям AD[31:2]. Линии AD[1:0] определяют байты, подлежащие маскированию. Байт, на который указывает полный адрес, должен быть доступен (сброшен соответствующий бит линии C/BE#). Значащими являются только младшие 16 бит адреса (для архитектуры x86).

2. Конфигурационный адрес

Конфигурационные регистры адресуются в конфигурационном цикле. У каждого устройства имеется поле из 256 байт. Конфигурационный адрес состоит из позиционного номера устройства (задается мостом в поле IDSEL), номера функции (состоит из 3 бит, обрабатывается устройством) и номера регистра (состоит из 6 бит, всего 64 регистра по 32 бита).





2. Команды

Команда передается в фазе адреса каждой транзакции по шине C/BE#. Она определяет тип транзакции, метод адресации, направление обмена данными и т.д.

Перечень команд:

- чтение;
- запись.

2. Прерывания

Устройства PCI могут подавать сигнал прерывания 4 способами:

- Проводная сигнализация по линиям INTx# (*стандартный PIC - Programmable Interrupt Controller*);
- Сигнализация по линиям PME#;
- Сигнализация фатальной ошибки SERR#;
- Сигнализация с помощью сообщений (*контроллеру APIC*).

Линия SERR# вызывает немаскируемое прерывания NMI, сигнализирующее о серьезном сбое в системе. Другие источники прерываний обрабатываются контроллером прерываний.

2. Конфигурирование устройств

Все устройства PCI, а также функции в пределах физического устройства, имеют блок регистров размером 256 байт, доступный только через конфигурационный цикл транзакции. Часть регистров стандартизовано, часть оставлено на усмотрение разработчика, часть может отсутствовать.

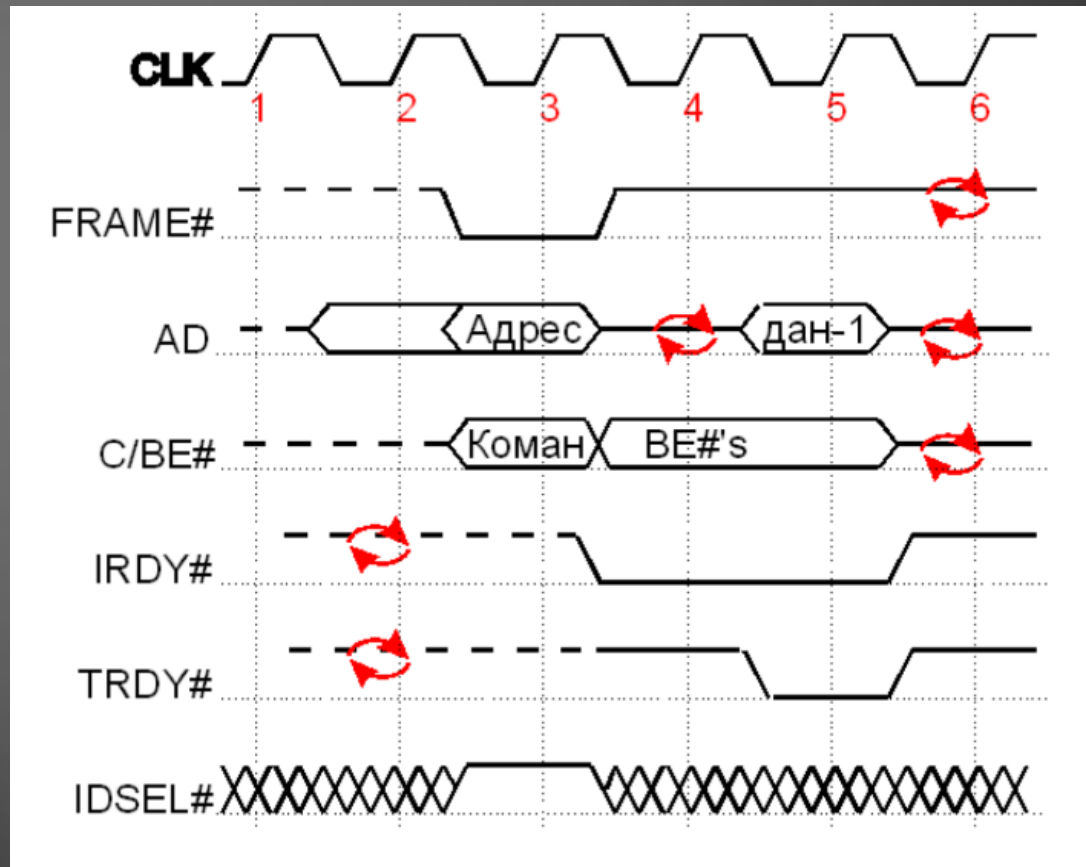
В регистрах устройства хранится описание требований к следующим ресурсам:

- регистры в пространстве в-в;
- регистры, отображенные на память;
- память, допускающая предвыборку.

Базовые адреса ресурсов описываются регистрами BAR (Base Address Register), которых имеется 6 (для 32-битной адресации). После того, как в регистры BAR записаны новые значения (или сохранены значения по умолчанию), можно выставлять биты, позволяющие устройству отвечать на запросы по выданным адресам, а также инициировать транзакции.

2. Автоконфигурация

Устройства PCI, с точки зрения пользователя являются plug'n'play.



2. Контроль достоверности передачи

Для контроля достоверности (корректности) передаваемых данных в шине PCI предусмотрен **механизм четности** (parity). Сигнал **PAR** – признак нечетного количества единиц на линиях AD [31:0] и C/BE#[3:0]. Сигнал **PAR64** используется для контроля четности линий AD[63:32] и C/BE#[7:4] в случае применения 64-битной шины. Эти сигналы вырабатываются устройством, которое управляет шиной AD. Задержка сигналов PAR и PAR64 составляет один такт (для того, чтобы устройство успело подсчитать количество пришедших бит).

В случае обнаружения нарушения четности в фазе данных приемник вырабатывает сигнал PERR# (с задержкой в один такт) и выставляет бит 15 в регистре состояния.

Для фазы адреса проверку четности выполняет целевое устройство, при ошибке вырабатывается другой сигнал – SERR#, выставляется бит 14 в регистре состояния.

2. Электрический интерфейс шины PCI

Физически шина PCI разводится на печатных платах: материнской плате и платах расширения, соединяемых через щелевой (реже – штырьковый) разъем. Длина проводников жестко лимитирована ввиду использования эффекта отражения сигналов от концов нетерминированных линий. Сигнал должен отразиться и вернуться за $1/3$ тактового периода (10 нс для 33 МГц, 5 нс для 66 МГц).

Предусмотрено два варианта реализации электрического интерфейса – с уровнями 5 В или 3.3 В, в зависимости от модели главного моста PCI. Устройства могут быть совместимыми с платами 5 В, 3.3 В либо с обеими типами одновременно.

2. Параметры интерфейсных сигналов

Параметры	Интерфейс 5V	Интерфейс 3.3V
Напряжение питания V_{cc}	4.75 – 5.25 В	3.0 – 3.6 В
Вх. напряжение низкого уровня	-0.5 – 0.8 В	-0.5 – $0.3 \cdot V_{cc}$ В
Вх. напряжение высокого уровня	$2 - V_{cc} + 0.5$ В	$V_{cc}/2 - V_{cc} + 0.5$ В
Вых. напряжение низкого уровня	≤ 0.55 В	$\leq 0.1 \cdot V_{cc}$ В
Вых. напряжение высокого уровня	≥ 0.8 В	$\geq 0.9 \cdot V_{cc}$ В

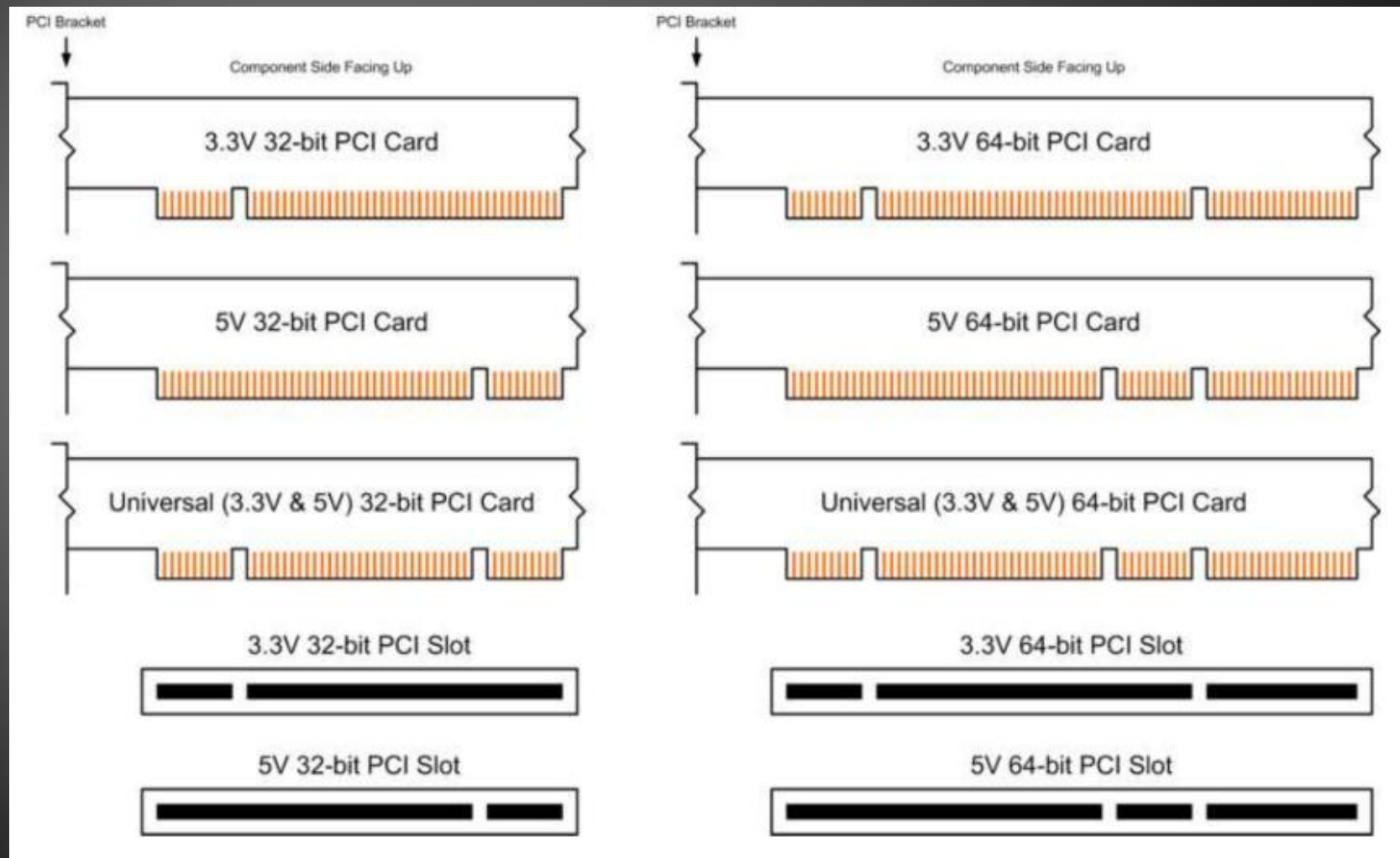
2. Тактовая частота

Тактовая частота 66 МГц поддерживается при отсутствии устройств, у которых заземлен контакт M66EN. При этом превышение частоты не контролируется шиной и может приводить к сбоям в устройствах и мостах.

Снижение частоты и остановка CLK (обычно в целях снижения энергопотребления) предусмотрены и должны поддерживаться устройствами.

Для частоты 66 МГц может применяться размытие спектра (Spectrum Spread) с частотой модуляции 30-33 МГц, что позволяет уменьшить уровень ЭМИ без ухудшения стабильности работы устройств на шине.

2. Разъемы и слоты карт PCI



2. Разъемы и слоты карт PCI

Стандартный слот имеет щелевую конструкцию с двумя рядами контактов с шагом 0,05 дюйма (0,127 мм). Для 64-битной шины слот имеет 94 контакта в каждом ряду, для 32-битной – 62 контакта.

Для механического ограничения установки 5 В карт расширения в 3.3 В слоты и наоборот предназначены ключи:

- Слот 5V: ключ в позиции 50, 51
- Слот 3.3V: ключ в позиции 12, 13
- Универсальный слот: ключей нет
- Карта 5V: ключ в позиции 50, 51
- Карта 3.3V: ключ в позиции 12, 13
- Универсальная карта: оба ключа

Большинство слотов на плате по ключам соответствуют режиму 5V (хотя на самом деле поддерживают только 3.3 V), разъемы у карт расширения обычно универсальные или на 3.3 V.

2. Слоты PCI

Различия между картами и слотами 3.3V и 5V – в питании буферных схем, подаваемом на линии Vi/o (A10, A16, B19, A/B59, A66, B70, B79, A84, B88). Питание +3.3V, +5V, +12V, -12V подается на все типы слотов. Питание +3.3V_{aux} (+3.3V_{sb}) подается на устройства при отсутствии других напряжений и наличии сигнала PME#.

Контакты PRSNT1# и PRSNT2# должны быть заземлены на карте для сигнализации о требуемой мощности питания – 25, 15 или 7.5 Вт.

Избирательное отключение напряжения питания и CLK на слотах при отсутствии карт применяется для уменьшения общего потребления и снижения уровня ЭМИ.

2. Карты PCI

Три стандартных типоразмера:

1. Полноразмерные: 107x312 мм.
2. Укороченные: 107x175 мм.
3. Низкопрофильные: 64.4x? мм.

Даже укороченные (Short card) считаются слишком большими для современных систем, чаще используются карты еще меньшей длины. Низкопрофильные (Low profile) карты могут устанавливаться и в стандартные корпуса; их питание – 3.3V.

2. Соединение линий

Большинство одноименных линий на всех слотах и контакты встроенных устройств электрически соединены.

Исключения:

- Сигналы REQ# и GNT# индивидуальны для каждого слота/посадочного места, они подведены к мосту, обслуживающему шину.
- Сигнал IDSEL подключен к одной из линий шины AD.
- Сигналы INTA#-INTD# циклически сдвигаются (в общем случае).
- Сигнал CLK заводится от индивидуального контакта буфера синхронизации, длина всех линий строго выравнивается.

2. Малогабаритные конструктивы

Карты PCI в мобильных компьютерах имеют иные габариты и конструкцию.

Конструктивы для установки внутри корпуса:

- Small PCI (SFF PCI): 85,6x54 мм, толщина 3.3, 5 или 10.5 мм, контакт двухрядный штырьковый 108 контактов, периферийные цепи подключаются ленточным кабелем, внешние разъемы не предусмотрены.
- Mini PCI Type I: 70x46 мм, толщина может варьироваться (нет корпуса), контакт двухрядный штырьковый 100 контактов. Помимо сигналов шины PCI, заведены сигналы от модемной розетки, AC-Link, цифровые звуковые линии, линия активности карты (для PM).
- Mini PCI Type II: 78x46 мм, с внешними разъемами (сеть, модем) высотой до 13.5 мм.
- Mini PCI Type III: 51x60 (44,6x60 – Type B) мм, иной разъем (печатный двухрядный), карты фиксируются на защелках, имеется два внутренних разъема для сетевой и модемной розеток.

2. Малогабаритные конструктивы

Конструктив для внешней установки – PC Card, или PCMCIA.

Все карты имеют единый разъем с 68 контактами, но могут работать через один из 4 интерфейсов:

- Интерфейс памяти: обращение к карте как к модулю асинхронной динамической памяти с шириной шины данных 8 или 16 бит (шины разделены). По сигналу CE# карта выбирается, сигнал OE#/WE# - разрешение чтения/записи соответственно. Минимальное время цикла – 100 нс. Для доступа к конфиг. регистрам используется сигнал REG#.
- Интерфейс памяти и портов в-в: аналогично, добавлены сигналы IORD#/IOWR#. Время цикла чтения портов увеличено до 255 нс.
- ATA: через разъем разведены сигналы ATA.
- Cardbus – сигналы шины 32-битной PCI с частотой 33 МГц, добавлен сигнал CAUDIO (выход на спикер), CD1#/CD2# (признак наличия карты), VS1#/VS2# (признак 5V/3.3V).

2. PC Card

Карта PC Card имеет площадь 54x85,5 мм, реже встречаются варианты Small PC Card – 45x42,8 мм.

Толщина варьируется:

- Type I: 3.3 мм (карты памяти, встречаются редко).
- Type II: 5 мм (наиболее распространен).
- Type III: 10,5 мм (обычно – винчестеры).
- Type IV: 16 мм (не используется).



Карты Cardbus подключаются к системной шине через мост PCI-PCCard. Дополнительные регистры CIS (Card information structure) содержат информацию о возможностях карты.

Существуют стандарты управления слотами и устройствами PC Card – подачей/отключением питания, обнаружением, конфигурацией и т.д.

2. Заключение

Шина PCI является синхронным параллельным электрическим интерфейсом с общей средой передачи данных (топология «многоуровневая шина»). Состоит из мультиплексированных линий передачи адреса и данных (разделение по времени) и линий различных управляющих сигналов.

Механизм Bus Mastering фактически заменяет механизм с выделенным контроллером DMA.

На текущий момент устарела, но используется в промышленных и встраиваемых решениях!