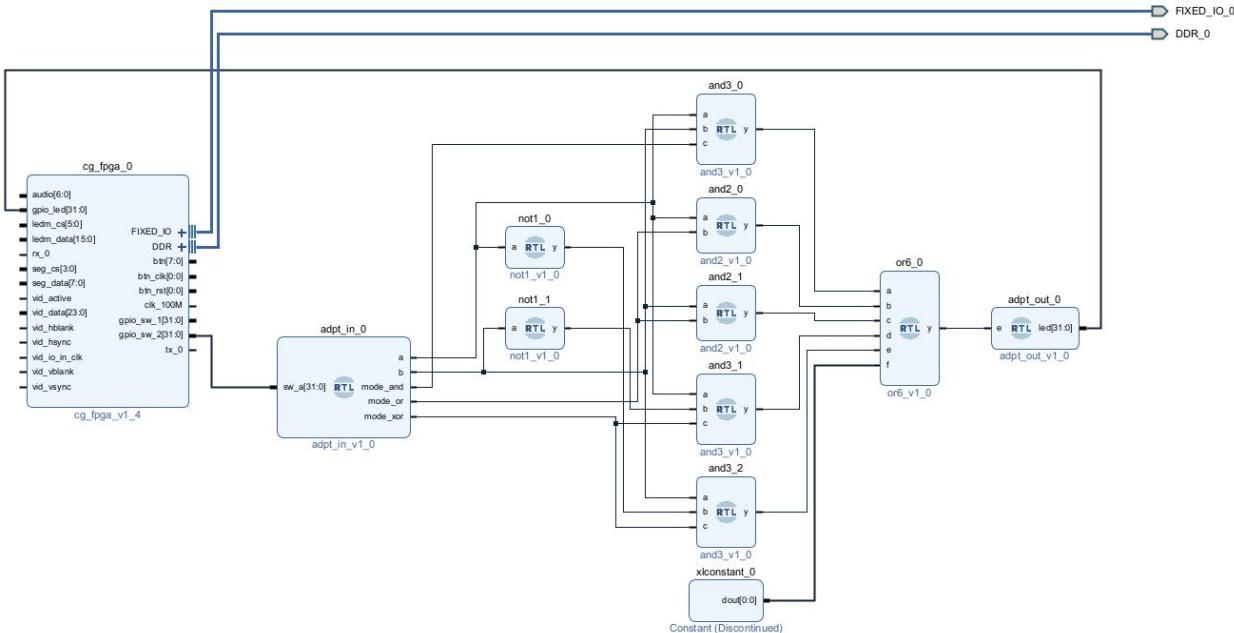


计算机组成与设计 课程实验报告

学号：202422201082		姓名：孙豪阳	班级： 学堂计算机 24 级
实验题目：逻辑运算电路			
实验学时： 2		实验日期： 2025. 9. 15	
实验目的： 学会并且掌握设计一个能实现 1 位逻辑乘 ab 、逻辑或 $a+b$ ，半加 $(a \oplus b)$			
实验软件和硬件环境： 软件环境： Vivado 软件、FPGA 实验平台 硬件环境： 1. 实验室台式机 2. FPGA 服务器，PYNQ-Z2 开发板			
实验原理和方法： 二进制逻辑运算法则、电路连接知识			
实验步骤： (1) 电路图设计：根据电路图完成原理图设计。原理图如图所示：			
			
(2) 原理图编译，生成 bitstream:			
(3) 登录 sdu FPGA 实验平台进行评测验证:			

提交评测

实验总得分: 100.00

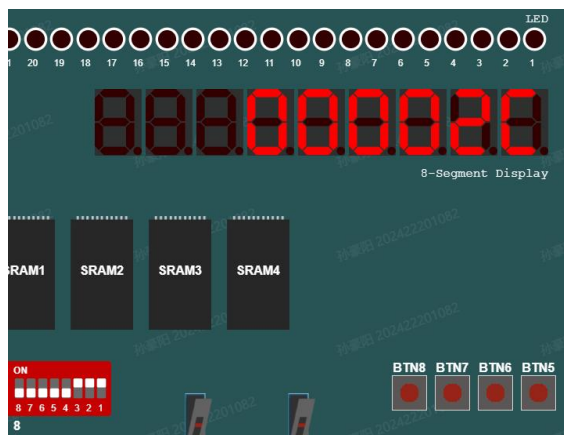
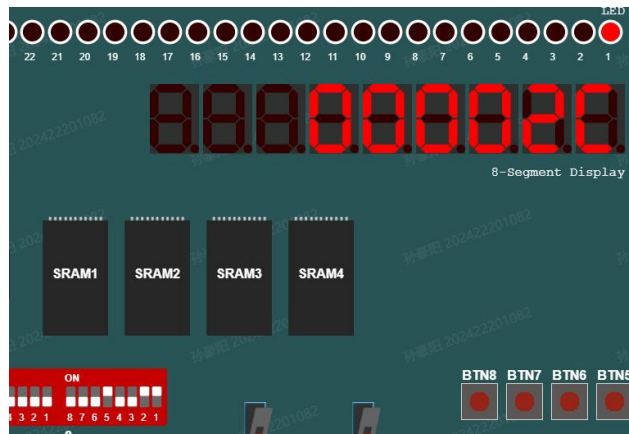
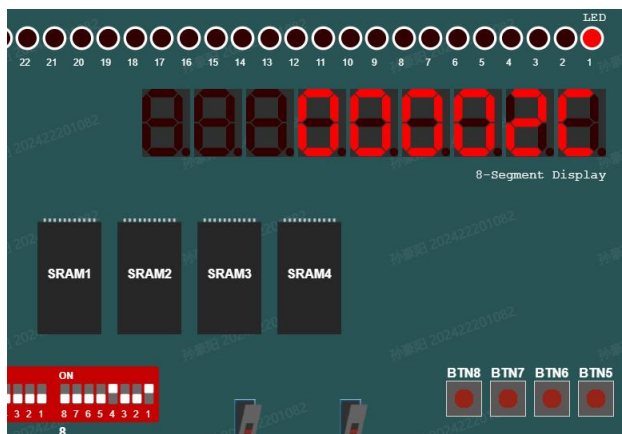
Accept | 得分: 100 | 2025-09-15 10:45:56

自动评测得分 (百分制): 100

— 当前分数是百分制, 最后转换为实际得分。

发现可以通过评测

在远程平台上使用 FPGA 对功能进行验证, 发现与、或、非、异或均可以实现。



(4) 进行拓展实验代码设计:

```
module adpt_in4_modes
(
    input [31:0] sw2,
    output [3:0] A,
    output mode_and, mode_or, mode_xor
);
    wire [31:0] s = ~sw2;
    assign A = s[3:0];
    assign {mode_and, mode_or, mode_xor} = s[10:8];
endmodule

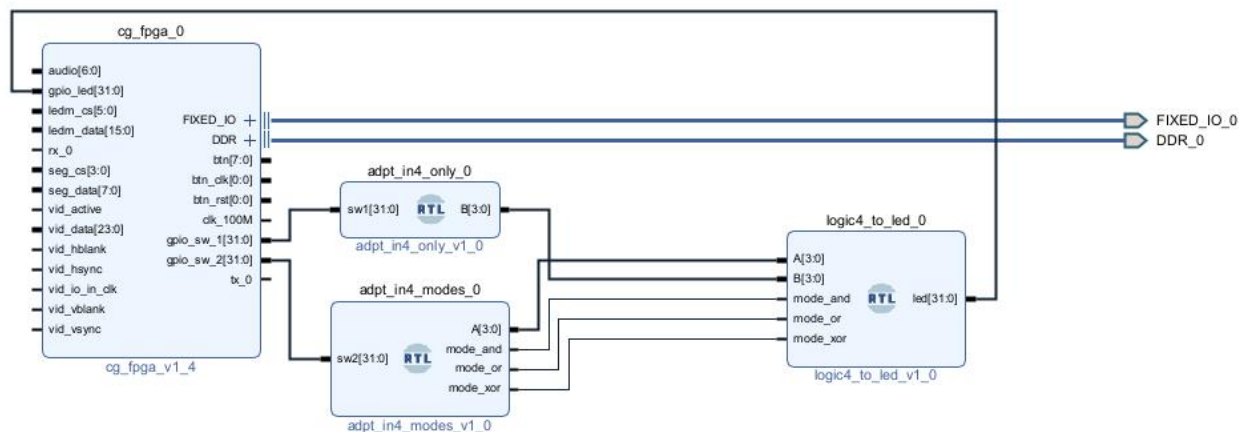
module adpt_in4_only
(
    input [31:0] sw1,
    output [3:0] B
);
    wire [31:0] s = ~sw1;
    assign B = s[3:0];
endmodule

module logic4_to_led
(
    input [3:0] A, B,
    input mode_and, mode_or, mode_xor,
    output [31:0] led
);
    wire [3:0] y_and = A & B;
    wire [3:0] y_or = A | B;
    wire [3:0] y_xor = A ^ B;

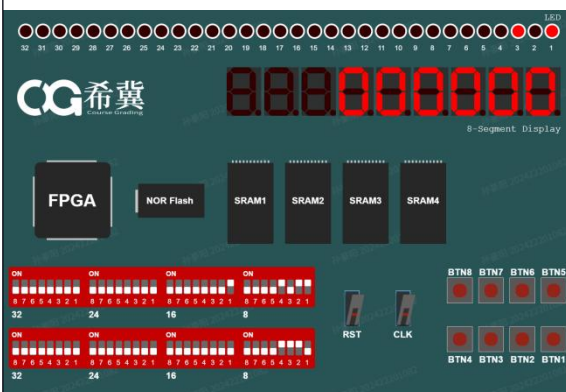
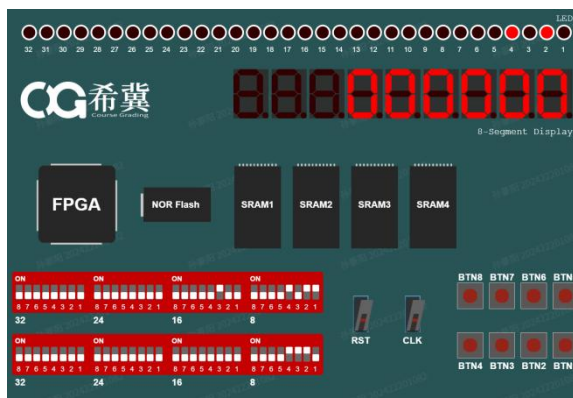
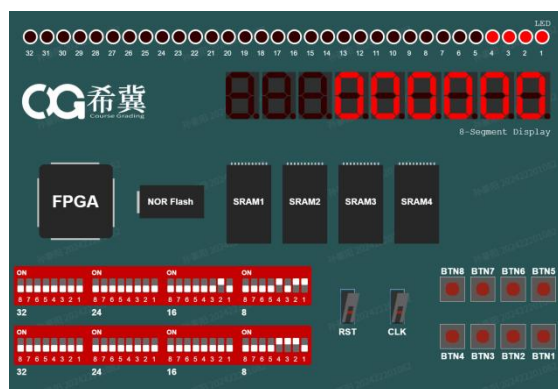
    wire [3:0] Y = ({4{mode_and}} & y_and) |
                  ({4{mode_or}} & y_or) |
                  ({4{mode_xor}} & y_xor);

    assign led = ~(28'b0, Y);
endmodule
```

(5) 根据编写的代码所实现的功能设计 design_2 进行电路连接：



(6) 生成 bitstream 登录 sdu FPGA 平台验证功能（以 1011 和 1110 为例进行四位二进制与、或、异或操作）：



结论分析与体会：

学习到了逻辑运算法则、电路连接知识，并且能够使用 vivado 画出电路图，进行验证。了解环境配置原理图设计等一系列流程。完成实验报告后在基础实验的基础上进行拓展实验。尝试了使用 verilog 语言进行对硬件的重新编写，使其支持更多功能。同时对 vivado 的使用有了更深的认识

