山东大学 计算机科学与技术 学院

计算机组成与设计 课程实验报告

|  |  |  |  |
| --- | --- | --- | --- |
| 学号：202422201082 | 姓名：孙豪阳 | | 班级： 学堂计算机24级 |
| 实验题目：逻辑运算电路 | | | |
| 实验学时：2 | | 实验日期：2025.9.15 | |
| 实验目的：  学会并且掌握设计一个能实现1位逻辑乘ab 、逻辑或a+b ，半加(a⊕b) | | | |
| 实验软件和硬件环境：  软件环境：  Vivado软件、FPGA实验平台  硬件环境：  1.实验室台式机  2.FPGA服务器，PYNQ-Z2开发板 | | | |
| 实验原理和方法：  二进制逻辑运算法则、电路连接知识 | | | |
| 实验步骤：   1. 电路图设计：根据电路图完成原理图设计。原理图如图所示：      1. 原理图编译，生成 bitstream： 2. 登录sdu FPGA 实验平台进行评测验证：     发现可以通过评测  在远程平台上使用 FGPA 对功能进行验证，发现与、或、非、异或均可以实现。   1. 进行拓展实验代码设计：   拓展实验代码   1. 根据编写的代码所实现的功能设计 design\_2 进行电路连接：   线路图拓展   1. 四位与生成 bitstream 登录 sdu FPGA 平台验证功能（以1011和1110为例进行四位二进制与、或、异或操作）：   四位或  四位异或 | | | |
| 结论分析与体会：  学习到了逻辑运算法则、电路连接知识，并且能够使用 vivado 画出电路图，进行验证。了解环境配置原理图设计等一系列流程。完成实验报告后在基础实验的基础上进行拓展实验。尝试了使用 verilog 语言进行对硬件的重新编写，使其支持更多功能。同时对 vivado 的使用有了更深的认识 | | | |
|  | | | |