山东大学 计算机科学与技术 学院

计算机组成与设计 课程实验报告

|  |  |  |  |
| --- | --- | --- | --- |
| 学号：202422201082 | 姓名： 孙豪阳 | | 班级：学堂计算机24级 |
| 实验题目：数据选择电路设计 | | | |
| 实验学时：2 | | 实验日期： 2025.09.22 | |
| 实验目的：   1. 掌握数据选择器的工作原理 2. 掌握采用基本逻辑门设计实现数据选择器的方法 | | | |
| 实验软件和硬件环境：  软件环境：  Vivado软件、FPGA实验平台  硬件环境：   1. 硬件环境：微型计算机、Windows10 及以上操作系统；FPGA 云实验平 台。 2. 软件环境：FPGA 开发工具软件 Vivado。 | | | |
| 实验原理和方法： | | | |
| 实验步骤：   1. 设计原理图 2. 根据原理图完成电路连接      1. 原理图编译 2. 登录SDU FPGA 平台进行验证 我们以（0000、1111、1010、0101）四个二进制为例   当 A=B=0 时，输出第0个四位二进制数  C:\Users\11\Documents\WeChat Files\wxid_o4zf18eu2npt12\FileStorage\Temp\19d8beea93febdee4e6910d996d3ae5.png  当 A=1，B=0 时，输出第1个四位二进制数  C:\Users\11\Documents\WeChat Files\wxid_o4zf18eu2npt12\FileStorage\Temp\9561543c6da8771b2f523c1fa1f9e3c.png  当 A=0，B=1 时，输出第2个四位二进制数  C:\Users\11\Documents\WeChat Files\wxid_o4zf18eu2npt12\FileStorage\Temp\a2a8b551db52a4e04c9ce8ac4fb4217.png  当 A=B=1 时，输出第3个四位二进制数  C:\Users\11\Documents\WeChat Files\wxid_o4zf18eu2npt12\FileStorage\Temp\c6dec1558edfb0dbf4ca183f3bfb8f8.png 综上可以看出，能够通过A、B两个开关实现四个四位二进制数的选择输出。 | | | |
| 结论分析与体会：  本次实验没有做基础实验而是直接挑战拓展实验，并且根据实验结果来看很好地完成了任务。对数据选择器的原理有了更深刻的认识，也掌握了如何使用基本逻辑门实现数据选择器。 | | | |
|  | | | |