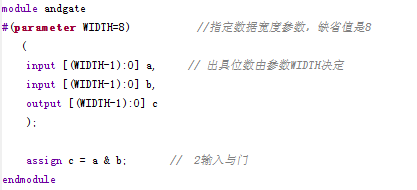
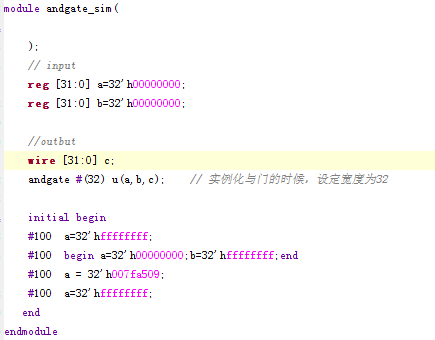
IP核封装过程

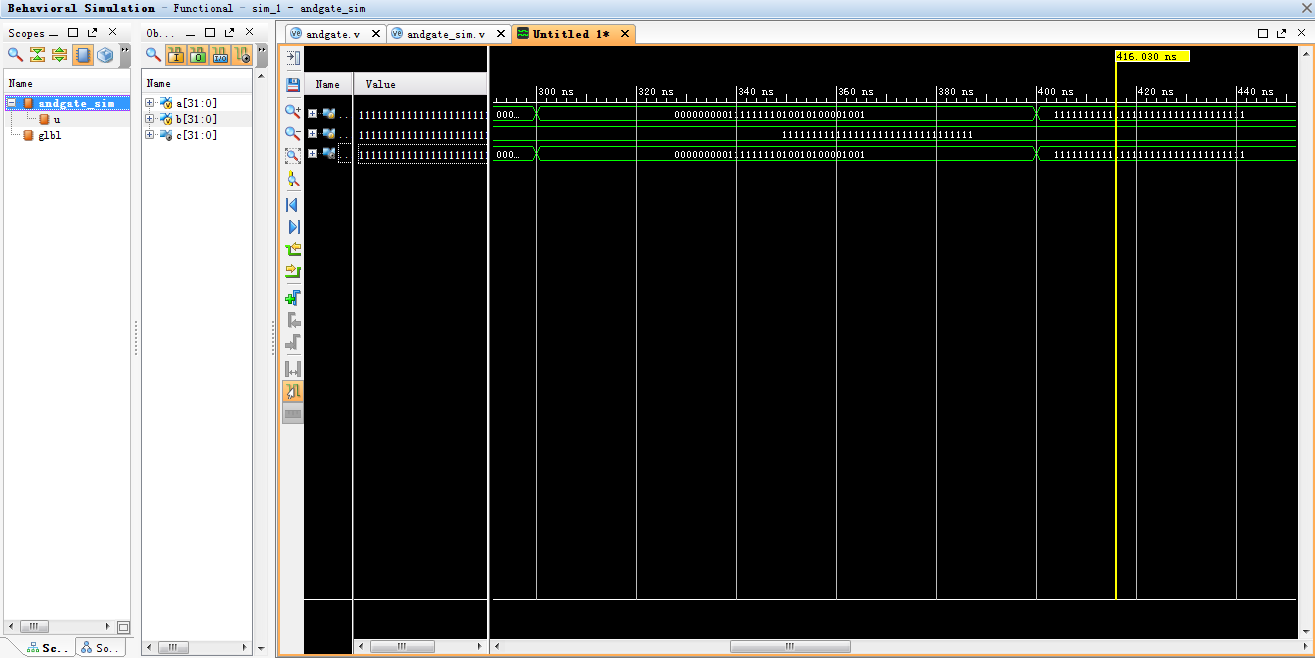
以一个基本门电路设计与封装为例，使用Verilog HDL语言的数据流描述方法设计一个数据宽度可在1~32之间变化的2输入与门，利用仿真来验证设计，并将该与门封装成可变数据宽度参数的IP核。

1. 设计模块
2. 打开vivado，新建工程shiyan1-2(名字自己取，不能含有中文或特殊字符), 在工程文件中新建设计文件(andgate.v)，并输入设计代码，实现一个数据宽度可在1~32之间变化的2输入与门的电路模块。

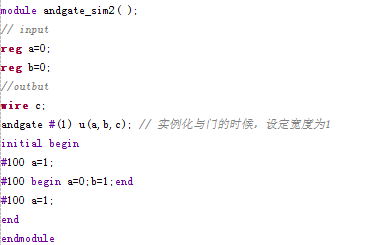


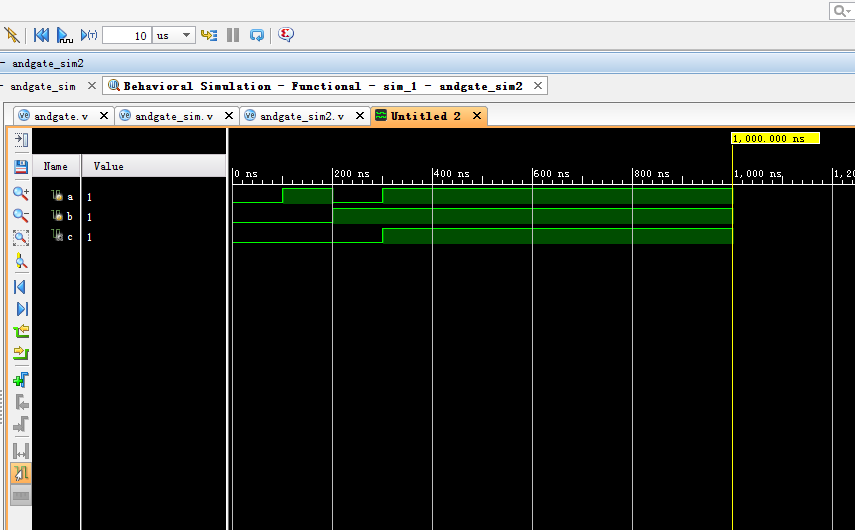
1. 编写仿真文件，并进行仿真。
2. 仿真32位的2输入与门(andgate\_sim.v)，情况如下：



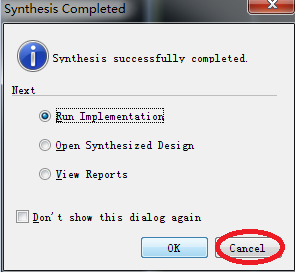


1. 仿真1位的2输入与门(andgate\_sim2.v)，情况如下：

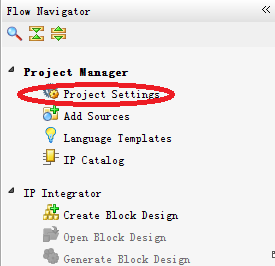




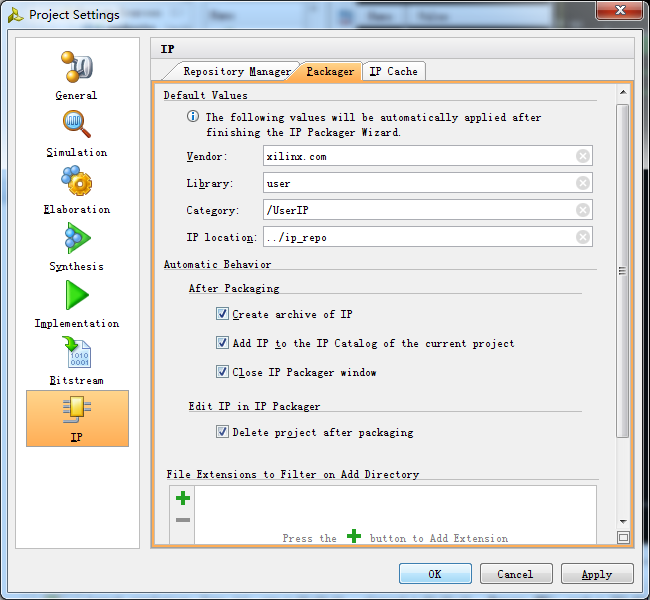
1. 验证无误后，封装IP核
2. 对仿真正确的andgate模块进行综合，综合结束后在出现的对话框中选择Cancel。



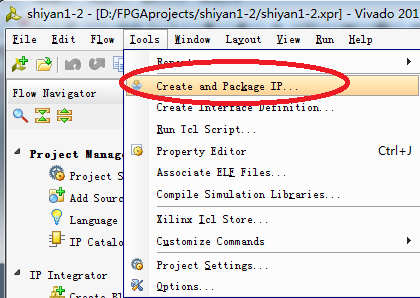
1. 在Flow Navigator 中选择Project Settings。

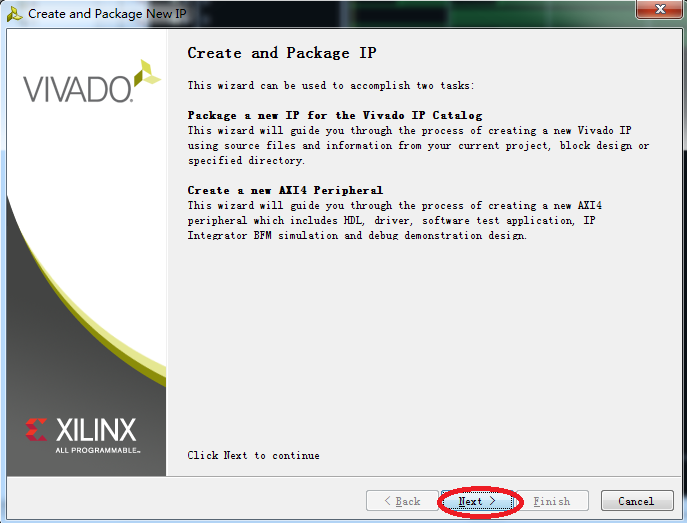


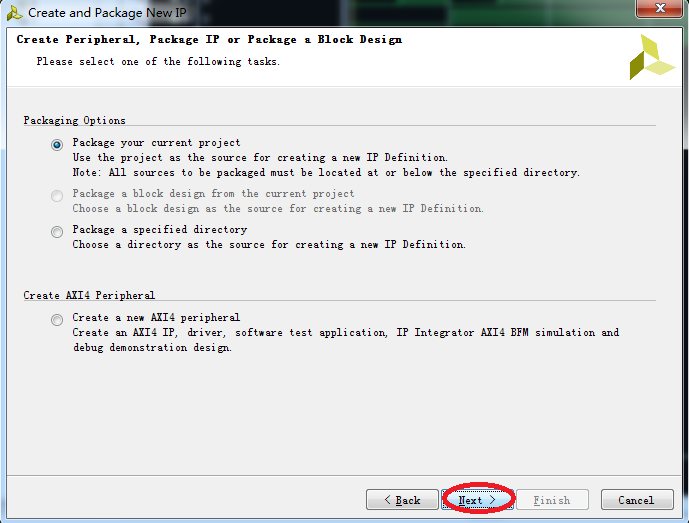
1. 在Project Settings对话框中选择IP，并进入Packager选项卡，如图进行设置。设置好后，点击Apply，然后点击OK。记住这里设置的各个属性。



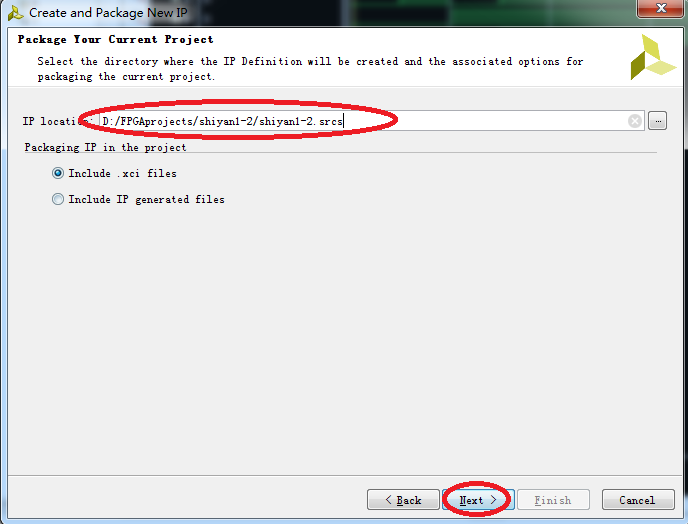
1. 在Vivado的菜单栏中选择Tools->Create and Package IP…。在弹出的窗口中点击Next。在之后弹出的窗口中如图2-39所示设置封装选项。点击Next。



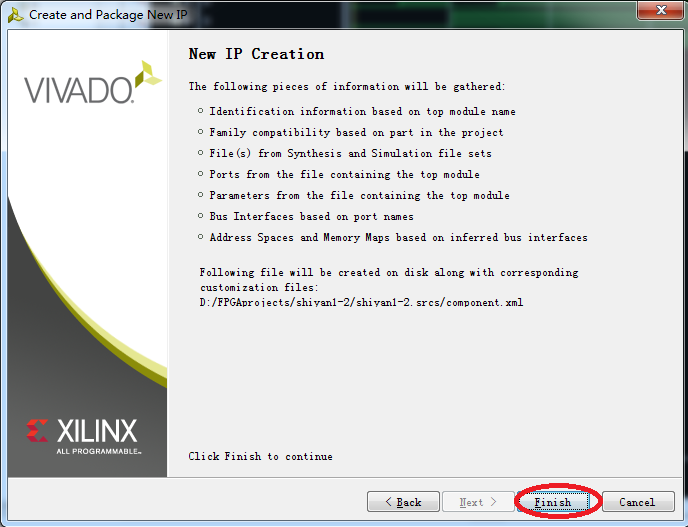




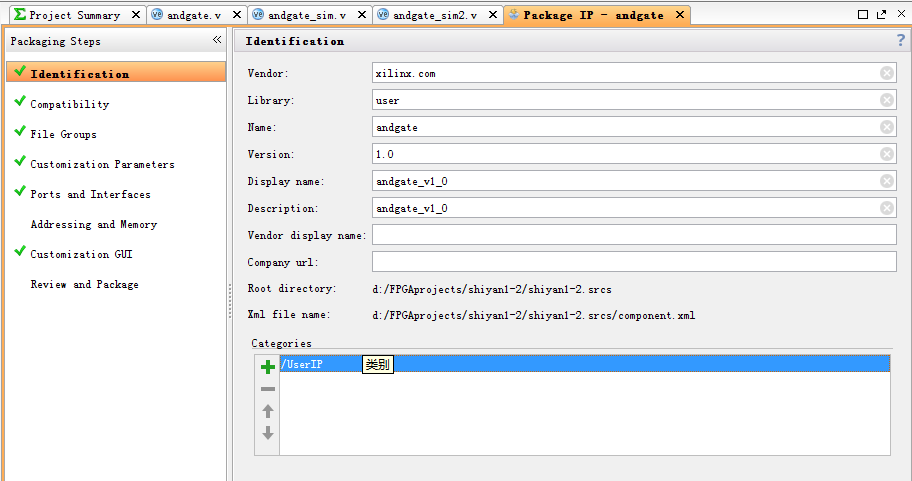
1. 设置IP Location，可以使用默认路径，不做修改，不过我们知道了封装后的IP放在了D:/FPGAprojects/shiyan1-2/shiyan1-2.srcs这个文件夹中，点击Next。



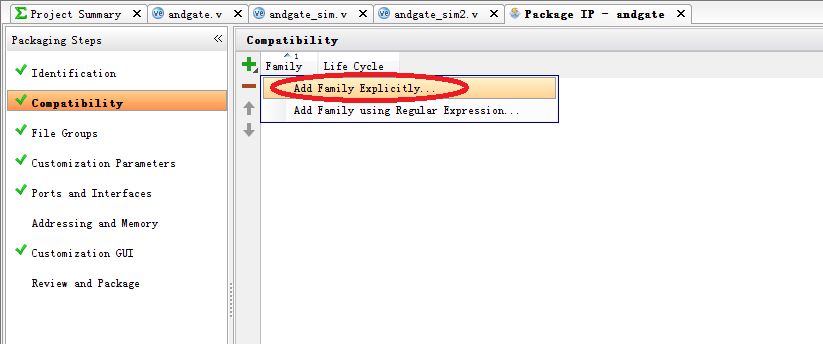
1. 随后点击Finished，进行IP核封装的具体设置。

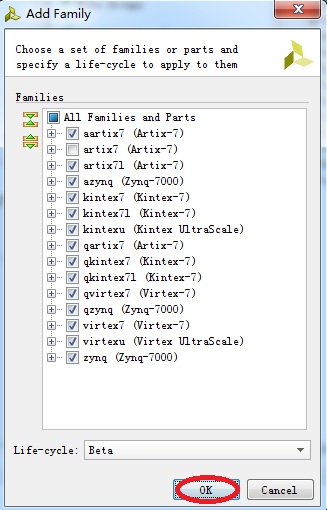


1. Identification设置,可以就是用默认设置，不做修改。

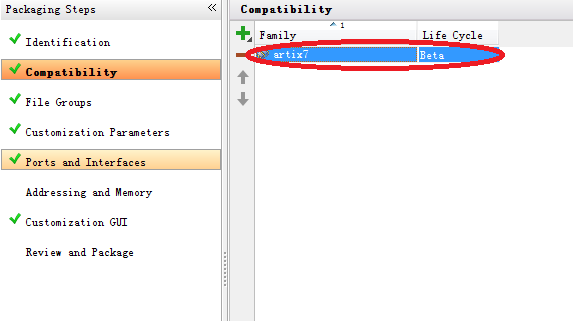


1. Compatibility设置，添加IP核支持的芯片家族，点击Add Family Explicitly,选中除artix7之外的所有芯片家族（因为artix7系列已经有了），然后点击OK。这样就设置完了compatibility。

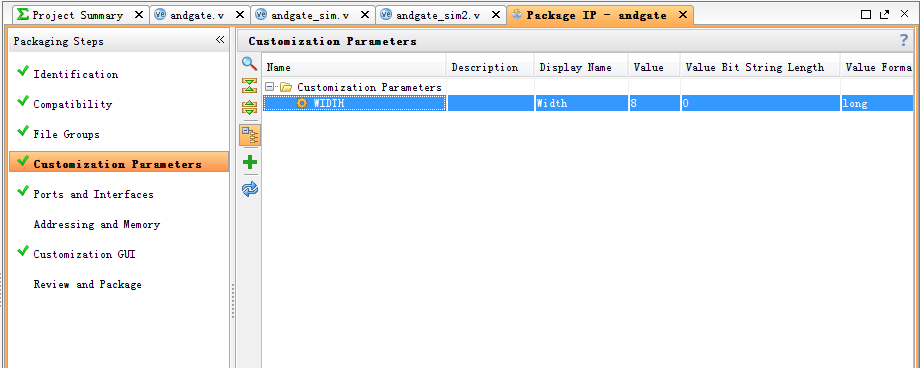


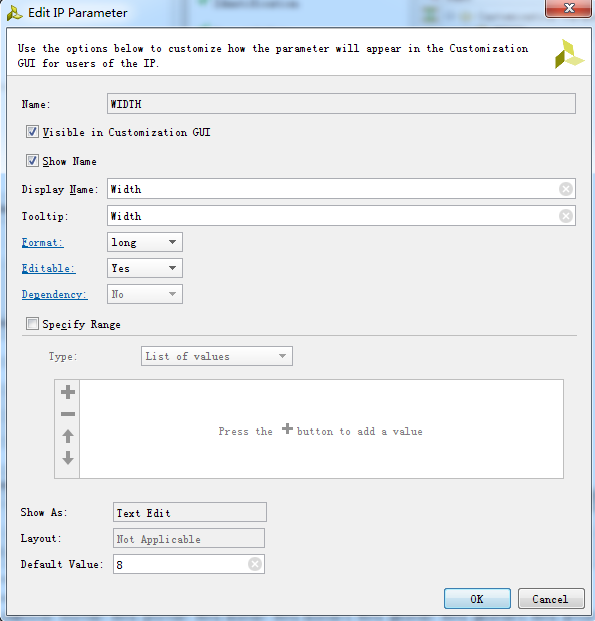


在这一步中，只要保证artix7系列被选中即可。



1. 接下来设置Customization Parameters。双击WIDTH（图中高亮部分），弹出Edit IP Parameter对话框，设置参数后点击OK。





1. 接下来我们到Review and Packaging，点击Package IP。andgate的IP核就生成了，在D:/FPGAprojects/shiyan1-2/shiyan1-2.srcs路径下，xilinx.com\_user\_andgate\_1.0.zip这个文件中。

