**pc\_reg.v**

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| 接口名 | 方向 | 位宽 | 描述 | 接线 |
| clk | in | 1 | 时钟 |  |
| rst\_n | in | 1 | 复位（同步） |  |
| PCchange\_enable\_i | in | 1 | 取指使能 | 来自mem.v的mem\_ce\_o |
| branch\_flag\_i | in | 1 | 标志是否跳转 | 来自ctrl.v |
| branch\_addr\_i | in | 31:0 `RegBus | 跳转目标地址 |
| stalled\_i | in | 5:0 | 流水线停顿控制信号 |
| pc\_o | out | 31:0 `InstAddrBus | 要读取的指令地址PC | 接入if\_id.v  同时作为 rom\_addr\_o接入cpu\_ahb\_if.v |
| ce\_o | out | 1 | 指令存储器使能信号 | 接入cpu\_ahb\_if.v |

**if\_id.v**

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| 接口名 | 方向 | 位宽 | 描述 | 接线 |
| clk | in | 1 | 时钟 |  |
| rst\_n | in | 1 | 复位（同步） |  |
| pc\_i | in | 31:0 `InstAddrBus | 取指阶段读取的指令地址 | 来自pc\_reg.v |
| inst\_i | in | 31:0 `InstBus | 取指阶段取得的指令 | 来自 rom  经过cpu\_ahb\_if.v |
| ex\_branch\_flag\_i | in | 1 | 标志是否跳转 | 来自ctrl.v |
| stalled\_i | in | 5:0 | 流水线停顿控制信号 |
| pc\_o | out | 31:0 `InstAddrBus | 译码阶段的指令地址 | 接入id.v |
| inst\_o | out | 31:0 `InstBus | 译码阶段的指令 |

**Regsfile.v**

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| 接口名 | 方向 | 位宽 | 描述 | 接线 |
| clk | in | 1 | 时钟 |  |
| rst\_n | in | 1 | 复位（同步） |  |
| int\_assert\_i | in | 1 | 中断发生标志 | interrupt\_ctrl.v |
| we\_i | in | 1 | 写使能 | 来自mem\_wb.v |
| waddr\_i | in | 4:0 `RegAddrBus | 要写入的寄存器地址 |
| wdata\_i | in | 31:0 `RegBus | 要写入的数据 |
| re1\_i | in | 1 | port1读使能 | 来自id.v |
| raddr1\_i | in | 4:0 `RegAddrBus | port1要读取的寄存器地址 |
| rdata1\_o | out | 31:0 `RegBus | port1读出的值 | 接入id.v |
| re2\_i | in | 1 | port2读使能 | 来自id.v |
| raddr2\_i | in | 4:0 `RegAddrBus | port2要读取的寄存器地址 |
| rdata2\_o | out | 31:0 `RegBus | port2读出的值 | 接入id.v |

**id.v**

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| 接口名 | 方向 | 位宽 | 描述 | 接线 |
| pc\_i | in | 31:0 `InstAddrBus | 译码阶段的指令地址 | 来自if\_id.v |
| inst\_i | in | 31:0 `InstBus | 译码阶段的指令 |
| reg1\_data\_i | in | 31:0 `RegBus | 读入的寄存器值1 | 来自Regsfile.v |
| reg2\_data\_i | in | 31:0 `RegBus | 读入的寄存器值2 |
| ex\_wreg\_i | in | 1 | 写寄存器使能 | 来自ex.v |
| ex\_wreg\_data\_i | in | 31:0 `RegBus | 写寄存器地址 |
| ex\_wreg\_addr\_i | in | 4:0 `RegAddrBus | 写寄存器数据 |
| ex\_branch\_flag\_i | in | 1 | 标志是否跳转 |
| ex\_aluop\_i | in | 5:0 `AluOpBus | 运算的类型 |
| mem\_wreg\_i | in | 1 | 写寄存器使能 | 来自mem.v |
| mem\_wreg\_data\_i | in | 31:0 `RegBus | 写寄存器数据 |
| mem\_wreg\_addr\_i | in | 4:0 `RegAddrBus | 写寄存器地址 |
| csr\_ data\_i | in | 31:0 `RegBus |  | 来自csr\_reg.v |
| rcsr\_ addr\_o | out | 31:0 `DataAddrBus |  | 接入csr\_reg.v |
| reg1\_read\_o | out | 1 | RF port1 读使能 | 接入Regsfile.v |
| reg2\_read\_o | out | 1 | RF port2 读使能 |
| reg1\_addr\_o | out | 4:0 `RegAddrBus | RF port1 读地址 |
| reg2\_addr\_o | out | 4:0 `RegAddrBus | RF port2 读地址 |
| stallreq | out | 1 | 译码阶段发出的停止指令 | 接入ctrl.v |
| pc\_o | out | 31:0 `InstAddrBus | 指令地址 | 接入id\_ex.v |
| inst\_o | out | 31:0 `InstBus | 指令 |
| aluop\_o | out | 5:0 `AluOpBus | 运算的子类型 |
| alusel\_o | out | 3:0 `AluSelBus | 运算的类型 |
| operand1\_o | out | 31:0 `RegBus | 运算的源操作数1 |
| operand2\_o | out | 31:0 `RegBus | 运算的源操作数2 |
| wreg\_addr\_o | out | 4:0 `RegAddrBus | 目的寄存器地址 |
| wreg\_o | out | 1 | 标志是否写入目的寄存器 |
| wcsr\_o | out | 1 | 写csr使能 |
| csr\_data\_o | out | 31:0 `RegBus | 写csr数据 |
| wcsr\_addr\_o | out | 31:0 `DataAddrBus | 写csr地址 |

**id\_ex.v**

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| 接口名 | 方向 | 位宽 | 描述 | 接线 |
| clk | in | 1 | 时钟 |  |
| rst\_n | in | 1 | 复位 |  |
| id\_pc\_i | in | 31:0 `InstAddrBus | 指令地址 | 来自id.v |
| id\_inst\_i | in | 31:0 `InstBus | 指令 |
| id\_aluop\_i | in | 5:0 `AluOpBus | 运算的子类型 |
| id\_alusel\_i | in | 3:0 `AluSelBus | 运算的类型 |
| id\_operand1\_i | in | 31:0 `RegBus | 运算的源操作数1 |
| id\_operand2\_i | in | 31:0 `RegBus | 运算的源操作数2 |
| id\_wreg\_addr\_i | in | 5:0 `RegAddrBus | 目的寄存器地址 |
| id\_wreg\_i | in | 1 | 标志是否写入目的寄存器 |
| id\_wcsr\_i | in | 1 | csr使能 |
| id\_csr\_data\_i | in | 5:0`RegBus | 写csr数据 |
| id\_wcsr\_addr\_i | in | 1:0 `DataAddrBus | 写csr地址 |
| ex\_branch\_flag\_i | in | 1 | 分支标志 | 来自ex.v |
| stalled\_i | in | 5:0 | 流水线停顿控制信号 | 来自ctrl.v |
| ex\_pc\_o | out | 31:0 `InstAddrBus | 执行阶段的指令地址 | 接入ex.v |
| ex\_inst\_o | out | 31:0 `InstBus | 执行阶段的指令 |
| ex\_aluop\_o | out | 5:0 `AluOpBus | 运算的子类型 |
| ex\_alusel\_o | out | 3:0 `AluSelBus | 运算的类型 |
| ex\_operand1\_o | out | 31:0 `RegBus | 运算的源操作数1 |
| ex\_operand2\_o | out | 31:0 `RegBus | 运算的源操作数2 |
| ex\_wreg\_addr\_o | out | 5:0 `RegAddrBus | 要写入的目的寄存器地址 |
| ex\_wreg\_o | out | 1 | 是否有要写的目的寄存器 |
| ex\_wcsr\_o | out | 1 | 写csr使能 |
| ex\_csr\_data\_o | out | 31:0 `RegBus | 写csr数据 |
| ex\_wcsr\_addr\_o | out | 31:0 `DataAddrBus | 写csr地址 |

**ex.v**

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| 接口名 | 方向 | 位宽 | 描述 | 接线 |
| int\_assert\_i | in | 1 | 中断发生标志 |  |
| int\_addr\_i | in | 31:0`InstAddrBus | 中断跳转地址 |  |
| pc\_i | in | 31:0 `InstAddrBus | 执行阶段的指令地址 | 来自id\_ex.v |
| inst\_i | in | 31:0 `InstBus | 执行阶段的指令 |
| aluop\_i | in | 5:0 `AluOpBus | 运算的子类型 |
| alusel\_i | in | 3:0 `AluSelBus | 运算的类型 |
| operand1\_i | in | 31:0 `RegBus | 运算的源操作数1 |
| operand2\_i | in | 31:0 `RegBus | 运算的源操作数2 |
| wreg\_addr\_i | in | 5:0 `RegAddrBus | 要写入的目的寄存器地址 |
| wreg\_i | in | 1 | 是否有要写的目的寄存器 |
| wcsr\_i | in | 1 | 写csr使能 |  |
| csr\_data\_i | in | 31:0 `RegBus | 写csr地址 |  |
| wcsr\_addr\_i | in | 31:0 `DataAddrBus | 写csr数据 |  |
| muldiv\_result\_i | in | 63:0 `DoubleRegBus | 表示运算的结果 | 来自mul\_div |
| muldiv\_done | in | 1 | 指示乘除法是否完成 |
| int\_assert\_i | in | 1 | 中断发生标志 | 来自interrupt\_ctrl.v |
| int\_addr\_i | in | 31:0 `InstAddrBus | 中断跳转地址 |
| muldiv\_start\_o | out | 1 | 运算使能信号 | 接入mul\_div |
| muldiv\_dividend\_o | out | 31:0 `RegBus | 被除数/乘数1 |
| muldiv\_divisor\_o | out | 31:0 `RegBus | 除数/乘数2 |
| mul\_or\_div | out | 1 | 乘除法选择 |
| muldiv\_reg1\_sign\_o | out | 1 | 有无符号数选择1 |
| muldiv\_reg2\_sign\_o | out | 1 | 有无符号数选择2 |
| wreg\_addr\_o | out | 5:0 `RegAddrBus | 写寄存器地址 | 接入ex\_mem.v |
| wreg\_o | out | 1 | 写寄存器使能 |
| wreg\_data\_o | out | 31:0 `RegBus | 写寄存器数据 |
| aluop\_o | out | 5:0 `AluOpBus | 运算的子类型 |
| memaddr\_o | out | 31:0 `DataAddrBus | 加载或存储指令中需要访问的内存地址 |
| operand2\_o | out | 31:0 `RegBus | （存储指令中被存储的）源操作数2 |
| wcsr\_o | out | 1 | 写csr使能 | 接入csr\_reg.v |
| wcsr\_addr\_o | out | 31:0 `DataAddrBus | 写csr地址 |
| wcsr\_data\_o | out | 31:0 `RegBus | 写csr数据 |
| branch\_flag\_o | out | 1 | 标志是否跳转 | 接入ctrl.v |
| branch\_addr\_o | out | 31:0 `RegBus | 跳转目标地址 |

**ex\_mem.v**

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| 接口名 | 方向 | 位宽 | 描述 | 接线 |
| clk | in | 1 | 时钟 |  |
| rst\_n | in | 1 | 复位 |  |
| ex\_wreg\_addr\_i | in | 5:0 `RegAddrBus | 执行阶段寄存器地址 | 来自ex.v |
| ex\_wreg\_i | in | 1 | 执行阶段寄存器使能 |
| ex\_wreg\_data\_i | in | 31:0 `RegBus | 执行阶段寄存器数据 |
| ex\_aluop\_i | in | 5:0 `AluOpBus | 运算的子类型 |
| ex\_memaddr\_i | in | 31:0 `DataAddrBus | 访存地址 |
| ex\_operand2\_i | in | 31:0 `RegBus | 源操作数2 |
| stalled\_i | in | 5:0 | 流水线停顿控制信号 | 来自ctrl.v |
| mem\_wd | out | 5:0 `RegAddrBus | 访存阶段寄存器地址 | 来自ex.v |
| mem\_wreg | out | 1 | 访存阶段寄存器使能 |
| mem\_wdata | out | 31:0 `RegBus | 访存阶段寄存器数据 |
| mem\_aluop\_o | out | 5:0 `AluOpBus | 运算的子类型 |
| mem\_memaddr\_o | out | 31:0 `DataAddrBus | 访存地址 |
| mem\_operand2\_o | out | 31:0 `RegBus | 运算的源操作数2 |

**mem.v**

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| 接口名 | 方向 | 位宽 | 描述 | 接线 |
| wreg\_addr\_i | in | 5:0 `RegAddrBus | 访存阶段寄存器地址 | 来自ex\_mem.v |
| wreg\_i | in | 1 | 访存阶段寄存器使能 |
| wreg\_data\_i | in | 31:0 `RegBus | 访存阶段寄存器数据 |
| aluop\_i | in | 5:0 `AluOpBus | 运算的子类型 |
| memaddr\_i | in | 31:0 `DataAddrBus | 访存地址 |
| operand2\_i | in | 31:0 `RegBus | 源操作数2 |
| int\_assert\_i | in | 1 | 中断发生标志 |  |
| ram\_data\_i | in | 31:0 `DataBus | 内存信号的输入 | 来自ram |
| ram\_addr\_o | out | 31:0 `DataAddrBus | 内存的地址信号 | 接入ram |
| ram\_we\_o | out | 1 | 内存的使能信号 |
| ram\_sel\_o | out | 2:0 | 内存的片选信号 |
| ram\_data\_o | out | 31:0 `DataBus | 写入内存的数据 |
| ram\_ce\_o | out | 1 | 内存的片使能信号 |
| wreg\_addr\_o | out | 5:0 `RegAddrBus | 写寄存器地址 | 接入mem\_wb.v 和 id.v |
| wreg\_o | out | 1 | 写寄存器使能 |
| wreg\_data\_o | out | 31:0 `RegBus | 写寄存器数据 |

**mem\_wb.v**

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| 接口名 | 方向 | 位宽 | 描述 | 接线 |
| clk | in | 1 | 时钟 |  |
| rst\_n | in | 1 | 复位 |  |
| mem\_wreg\_addr\_i | in | 5:0 `RegAddrBus | 写寄存器地址 | 来自mem.v |
| mem\_wreg\_i | in | 1 | 写寄存器使能 |
| mem\_wreg\_data\_i | in | 31:0 `RegBus | 写寄存器数据 |
| stalled\_i | in | 5:0 | 流水线停顿控制信号 | 来自ctrl.v |
| wb\_wreg\_addr\_o | out | 5:0 `RegAddrBus | 回写阶段寄存器地址 | 接入regsfile.v |
| wb\_wreg\_o | out | 1 | 回写阶段寄存器使能 |
| wb\_wreg\_data\_o | out | 31:0 `RegBus | 回写阶段寄存器数据 |

**ctrl.v**

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| 接口名 | 方向 | 位宽 | 描述 | 接线 |
| stallreq\_from\_id | in | 1 | 译码阶段流水行停顿请求 | 来自id.v |
| stallreq\_from\_ex | in | 1 | 执行阶段流水行停顿请求 | 来自ex.v的  muldiv\_start\_o |
| stallreq\_from\_if | in | 1 | 取指阶段流水行停顿请求 | 来自cpu\_ahb\_if.v |
| stallreq\_from\_mem | in | 1 | 访存阶段流水行停顿请求 | 来自cpu\_ahb\_mem.v |
| stallreq\_from\_interrupt | in | 1 | 中断流水线停顿请求 | 来自interrupt\_ctrl.v |
| stallreq\_from\_jtag | in | 1 |  |  |
| branch\_flag\_i | in | 1 | 分支跳转标志 | 来自ex.v |
| branch\_addr\_i | in | 31:0 `InstAddrBus | 分支跳转地址 |
| branch\_flag\_o | out | 1 | 分支跳转标志 | 接入pc\_reg.v |
| branch\_addr\_o | out | 31:0 `InstAddrBus | 分支跳转地址 |
| stalled\_o | out | 5:0 | 流水线中断信号 | 接入流水线各个阶段 |

**Interrupt\_ctrl.v**

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| 接口名 | 方向 | 位宽 | 描述 | 接线 |
| clk | in | 1 | 时钟 |  |
| rst\_n | in | 1 | 复位 |  |
| int\_flag\_i | in | 13:0 `INT\_BUS |  | 外部输入 |
| inst\_i | in | 31:0 `InstBus | 当前指令 | 来自id.v |
| inst\_addr\_i | in | 31:0 `InstAddrBus | 当前指令地址 |
| branch\_flag\_i | in | 1 | 标志是否跳转 | 来自ctrl.v |
| branch\_addr\_i | in | 31:0 `RegBus | 跳转的地址 |
| div\_i | in | 1 | 乘除法使能 | 来自ex.v |
| global\_int\_en\_i | in | 1 | 全局中断使能标志 | 来自csr\_reg.v |
| csr\_mtvec | in | 31:0 `RegBus |  | 来自csr\_reg.v |
| csr\_mepc | in | 31:0 `RegBus |  |
| csr\_mstatus | in | 31:0 `RegBus |  |
| stallreq\_interrupt\_o | out | 1 | 中断请求信号 | 来自ctrl.v |
| we\_o | out | 1 | 中断写使能 | 接入csr\_reg.v |
| waddr\_o | out | 31:0`DataAddrBus | 中断写地址 |
| raddr\_o | out | 31:0`DataAddrBus | 中断读地址 |
| data\_o | out | 31:0 `RegBus | （中断信息） |
| int\_addr\_o | out | 31:0 `InstAddrBus |  | 接入ex.v |
| int\_assert\_o | out | 1 |  |

**csr\_reg.v**

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| 接口名 | 方向 | 位宽 | 描述 | 接线 |
| clk | in | 1 | 时钟 |  |
| rst\_n | in | 1 | 复位 |  |
| we\_i | in | 1 | csr写使能 | 来自ex.v |
| waddr\_i | in | 31:0`DataAddrBus | 写csr寄存器的地址 |
| wdata\_i | in | 31:0 `RegBus | 写csr寄存器的数据 |
| raddr\_i | in | 31:0`DataAddrBus | 读csr寄存器的地址 | 来自id.v |
| interrupt\_we\_i | in | 1 | 中断写使能信号 | 来自interrupt\_ctrl.v |
| interrupt\_raddr\_i | in | 31:0`DataAddrBus | 中断读csr寄存器的地址 |
| interrupt\_waddr\_i | in | 31:0`DataAddrBus | 中断写csr寄存器的地址 |
| interrupt\_data\_i | in | 31:0 `RegBus | 中断写csr寄存器的数据 |
| interrupt\_data\_o | out | 31:0 `RegBus | 中断读csr寄存器的数据 |  |
| interrupt\_csr\_mtvec | out | 31:0 `RegBus |  | 接入interrupt\_ctrl.v |
| interrupt\_csr\_mepc | out | 31:0 `RegBus |  |
| interrupt\_csr\_mstatus | out | 31:0 `RegBus |  |
| global\_int\_en\_o | out | 1 | 全局中断使能标志 |
| rdata\_o | out | 31:0 `RegBus | ex模块读寄存器数据 | 接入id.v |

**cpu\_ahb\_if.v**

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| 接口名 | 方向 | 位宽 | 描述 | 接线 |
| clk | in | 1 | 时钟 |  |
| rst\_n | in | 1 | 复位 |  |
| cpu\_addr\_i | in | [31:0] | cpu请求的指令地址 | 来自pc\_reg.v |
| cpu\_ce\_i | in | 1 | 使能信号 |
| cpu\_we\_i | in | 1 | 读写选择 | 1’b0  `ZeroWord  3’b010 |
| cpu\_writedate\_i | in | [31:0] | 写数据(ZeroWord) |
| cpu\_sel\_i |  |  |  |
| in | [2:0] | 片选信号（3’b010） | 3’b010 |  |
| cpu\_readdate\_o |  |  |  |  |
| out | [31:0] | 读出的指令 | 接入if\_id.v |  |
| M\_HGRANT | in | 1 | 总线授权信号 | 总线  直接接入顶层io作为Master 1 |
| M\_HRDATA | in | [31:0] | 总线读回数据 |
| M\_HBUSREQ | out | 1 | 主机0请求总线，1使能 |
| M\_HADDR | out | [31:0] | 地址 |
| M\_HTRANS | out | [1:0] | 主机0传输状态 |
| M\_HSIZE | out | [2:0] | 主机0数据大小 |
| M\_HBURST | out | [2:0] | 传输模式（单次） |
| M\_HWRITE | out | 1 | 1为写，0为读 |
| M\_HWDATA | out | [31:0] | 写数据 |
| stallreq | out | 1 | 取指流水线停顿请求 | 接入ctrl.v |

**cpu.ahb\_mem.v**

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| 接口名 | 方向 | 位宽 | 描述 | 接线 |
| clk | in | 1 | 时钟 |  |
| rst\_n | in | 1 | 复位 |  |
| cpu\_addr\_i | in | [31:0] | cpu端指令地址 | 来自mem.v |
| cpu\_ce\_i | in | 1 | 使能信号 |
| cpu\_we\_i | in | 1 | 写使能信号 |
| cpu\_writedate\_i | in | [31:0] | 写数据 |
| cpu\_sel\_i | in | [2:0] | 片选信号 |
| cpu\_readdate\_o | out | [31:0] | 读出的指令 | 接入if\_id.v |
| M\_HGRANT | in | 1 | 总线授权信号 | 总线  直接接入顶层io作为Master 0 |
| M\_HRDATA | in | [31:0] | 总线读回数据 |
| M\_HREADY | in | 1 | 指示数据是否完成 |
| M\_HBUSREQ | out | 1 | 主机0请求总线，1使能 |
| M\_HADDR | out | [31:0] | 主机0地址 |
| M\_HTRANS | out | [1:0] | 主机0传输状态 |
| M\_HSIZE | out | [2:0] | 主机0数据大小 |
| M\_HBURST | out | [2:0] | 传输模式（单次） |
| M\_HWRITE | out | 1 | 1为写，0为读 |
| M\_HWDATA | out | [31:0] | 写数据 |
| stallreq | out | 1 | 取指流水线停顿请求 | 接入ctrl.v |

三个模块间的连线如下：

|  |  |  |  |
| --- | --- | --- | --- |
| 源模块 | 信号 | 目标模块 | 描述 |
| ahb\_arbiter | HGRANT | ahb\_m2s\_m3 | 仲裁结果，授权信号，指示给请求总线的主设备，告诉它已经获得了对总线的控制权。 |
| ahb\_arbiter  HMASTER | 主设备编号信号，标示当前控制总线的主设备。 |
| ahb\_arbiter  HLOCK | 主设备的锁定信号，用于表示当前总线周期是否被锁定。 |
| ahb\_arbiter | HGRANT | amba\_ahb\_m3s5 | 总线授权信号反馈至顶级模块，用于进一步控制。 |
| ahb\_arbiter  HMASTER | 主设备编号信号反馈至顶级模块，用于进一步处理。 |
| ahb\_m2s\_m3 | HADDR, HTRANS, HPROT, HWRITE, HSIZE, HBURST, HWDATA | ahb\_lite\_s5 | 主设备的地址、事务类型、保护位、写控制、大小、突发类型和数据，传送至从设备。 |
| ahb\_m2s\_m3 | HADDR, HTRANS, HPROT, HWRITE, HSIZE, HBURST, HWDATA | amba\_ahb\_m3s5 | 主设备接口信号反馈至顶级模块，用于进一步控制。 |
| ahb\_lite\_s5 | M\_HRDATA, M\_HRESP, M\_HREADY | ahb\_m2s\_m3 | 从设备返回的数据、响应和就绪信号，传送回主设备。 |