

实验四全加器的实现

杨哲元

2023 年 3 月 30 日

目 录	I
-----	---

目 录

1 实验目的	1
2 实验原理	1
3 预习题	2
4 实验任务	2
4.1 必做	2
5 总结	3

1 实验目的

- 1 学习组合逻辑电路的分析方法和设计方法
- 2 初步学会分析实验现象，并且使用仪器查找、排除电路故障的方法

2 实验原理

1 位全加器的逻辑表达式，记输入的两个一位二进制数为 A , B ，进位为 C_i , 输出为 Y ，则

$$Y = A'B'C + A'BC' + ABC + AB'C'$$

进位为

$$C_{out} = AB + BC + AC$$

真值表如下：全加器真值表

表 1: 真值表

输入			输出	
加数 1Ai	加数 2Bi	低位进位 Ci	高位进位 Ci	和 Si
0	0	0	0	0
0	0	1	0	1
0	1	0	0	1
0	1	1	1	0
1	0	0	0	1
1	0	1	1	0
1	1	0	1	0
1	1	1	1	1

3 预习题

1. 会出现竞争-冒险现象，因为 v_1 接了与非门的输出反相，和 v_1 本身接或非门的话会出现两个输入信号同时向相反方向的逻辑电平跳变的现象，尖峰电流产生。

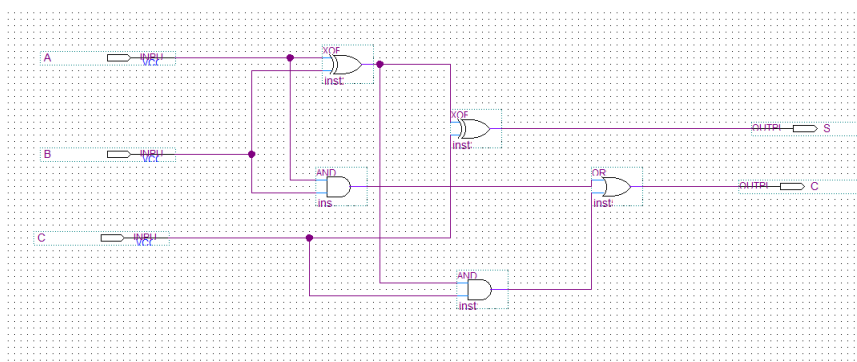
消除：加滤波电容，消除毛刺的影响在输出端并联接一个很小的滤波电容，削弱尖峰脉冲的幅度至门电路的阈值以下。简单易行，但是会增加输出电压波形上升时间和下降时间，使波形变坏。低频的情况下还是需要减小电容的容值，由此降低 τ

4 实验任务

4.1 必做

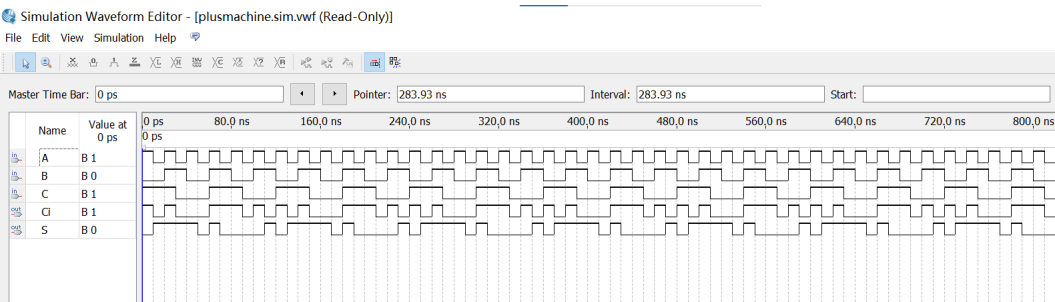
依靠实验盒里的芯片，我们提出如下的逻辑电路

图 1: 门电路实现



基于 QuartusII13.0 软件，我们进行仿真，结果如下：从仿真图可知该电路实现了全加器的功能。

图 2: 仿真波形图



5 总结

组合逻辑电路的设计和调试步骤

- 1 设计时先依据设计要求进行编码
- 2 编码之后需要写出逻辑表达式并进行化简 (列真值表、公式等)
- 3 化简后写成逻辑门的形式，并搭建电路
- 4 调试的过程中如果遇到结果不正确，应沿着电路向上查找，逐级检查输出电平，同时不要忽略芯片供电和引脚是否接的正确

一般来说，输出电平比较好 (一般在 4.7V 以上)，如果出现质量很低的电平即说明可能有如下问题：我在做全加器的实验的过程中多次出现输出低电平过高的问题，导致这个问题的主要原因有**供电问题 (芯片没供电)**、**上级输入端接触不良 (即导线没插稳)**和**引脚连接错误**。检查办法如上所述，在实验的过程中需要仔细核对引脚图，例如 CD4011 和 74HC 系列的引脚图就不同。

此外，导线连接方式很重要，在实验的过程中，当我触碰数码管连接导线时数码管电平会发生变化，具体表现就是显示不稳定。我分析主要原因

是：导线电流产生磁场对数码管的发光有干扰，同时导线之间的电容对发光也有影响。

收获

此次试验我做了很久，遇到的错误都总结在上面了，这次做得慢的一个原因是接线没有事先安排，导致要做很干净的接线时手忙脚乱。但是实验需要很干净的接线，横平竖直，对消除误差很有帮助，同时检查起来也非常方便（我很快发现错误也得益于此）。此外，做选做实验时对示波器的使用有了进一步了解，主要是 Trigger 键的使用（改变触发端）对稳定波形有帮助。