

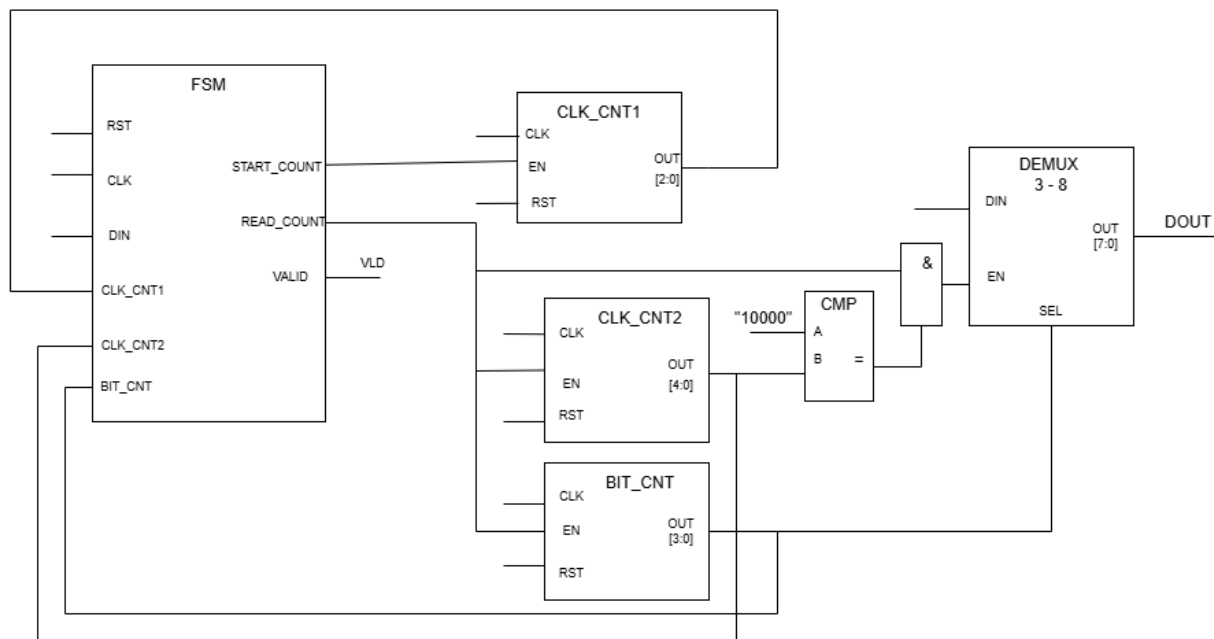
Výstupní zpráva

Jméno: Kristián Lupták

Login: xluptak00

Architektura navrženého obvodu (na úrovni RTL)

Schéma obvodu



Návrh automatu (Finite State Machine)

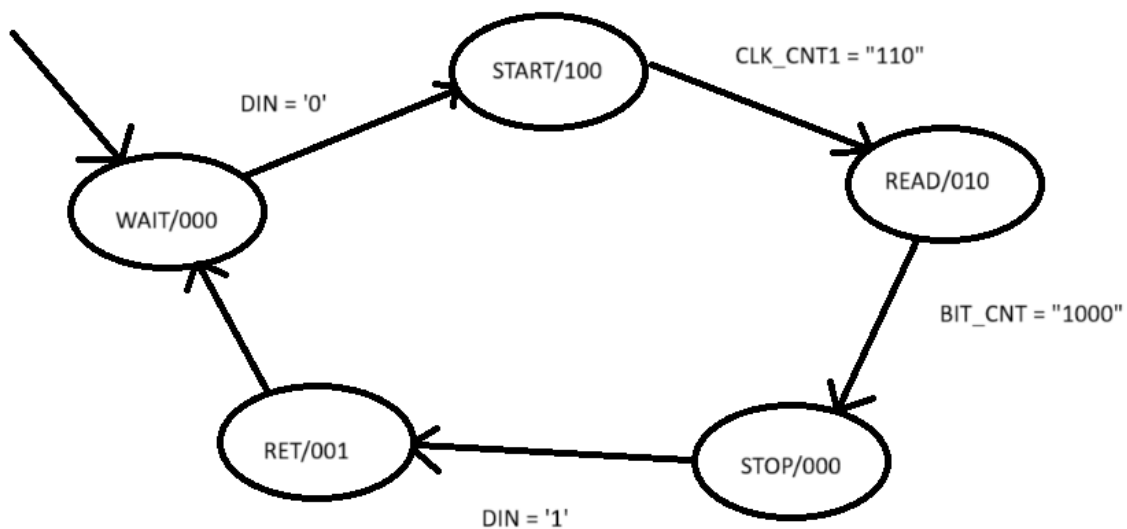
Schéma automatu

Legenda:

Stavy automatu: WAIT, START, READ, STOP, RET

Vstupní signály: DIN, CLK_CNT1, CLK_CNT2, BIT_CNT

Moorovy výstupy: START_COUNT, READ_COUNT, VALID



Popis funkce

Najpr čaká Wait na začiatok prenosu, pri DIN = '0' prechádza do START kde čaká dokým counter CLK_CNT1 = "110" (čaká na start bit) a následovne prechádza do READ kde číta jednotlivé bity v midbite dokým counter BIT_CNT = "1000" (8) a prejde do stavu STOP kde čaká na endbit (DIN = '1'). Pri príchode endbitu prechádza do stavu RET ktorý nastaví VLD na 1 a prechádza do stavu WAIT kde čaká na čítanie ďalšieho slova.

