

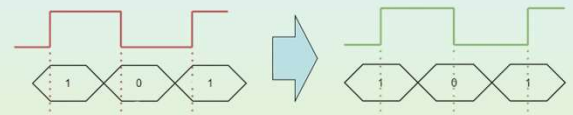
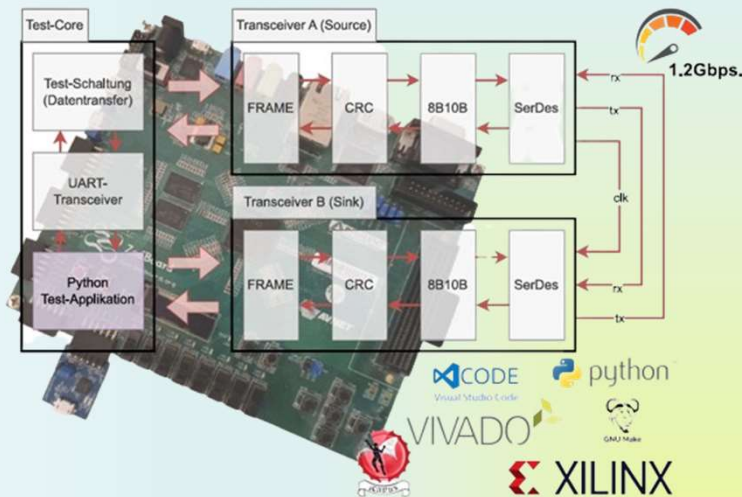
Zeitsynchronisation in einem verteilten Embedded System

Einleitung

Die Forschungsgruppe TIQI (Trapped Ion Quantum Information) am Paul Scherrer Institut, führen Experimente an gefangenen Ionen durch. Das vorhandene Transceiver-System für das Übermitteln von Steuer und Prozessdaten genügt den gestiegenen Anforderungen nicht mehr. Auf Basis eines FPGA-Entwicklungsboard wurde ein komplett neuer Transceiver entwickelt, welcher die Datenrate um das 7-Fache erhöht.

Ziel des Projektes

- Komplette Neuentwicklung und Test eines Transceivers mit Verilog HDL
- Erreichen einer Mindestdatenrate von 600 Mbit/s
- Prüfung der Datenübertragung mit CRC-Prüfsumme
- Implementierung einer automatischen Delay-Line Kalibration zur Ausrichtung des Datenstromes
- Variable Wortbreite für Send- und Empfangsdaten



Kontinuierliches Ausrichten des gemeinsamen Taktes auf die Mitte des Datenauges.



Implementierung zweier Frame-Formate für die Datenübertragung:

TLP (Transaction Layer Packet): Anwenderdaten werden zusammen mit Prüfsumme und eine ID-Nummer verpackt.

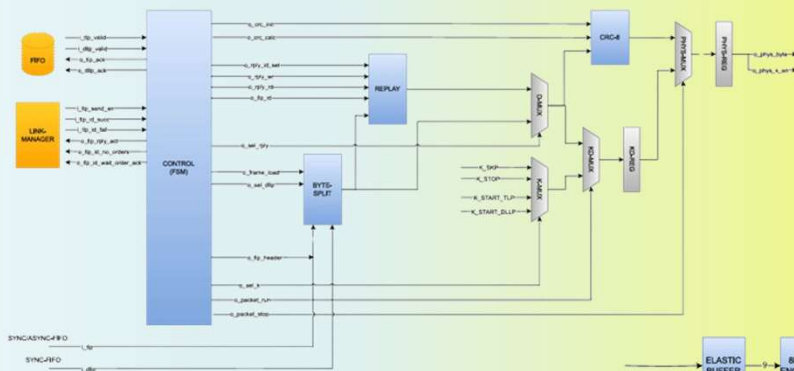
LLP (Data Link Layer Packet): Control- und Statusdaten für die Aufrechterhaltung der Kommunikation zwischen zwei Transceivern

Schwerpunkte

- Konzeptentwicklung einer Transceiver-Architektur
- Entwurf und Test von Kontrollmechanismen für den Datenfluss zwischen zwei Transceivern
- Datenverarbeitung über mehrere Taktbereiche durch Anwendung verschiedener CDC (Clock-Crossing Domain) Techniken
- Platzierung und Verschaltung der FPGA-Ressourcen in verschiedenen Taktregionen
- Beschreibung und Verifikation aller Schaltungen mit Verilog HDL

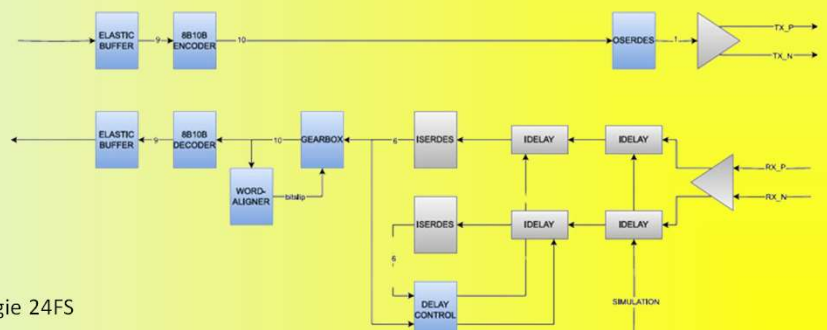
Funktionsumfang

- Datenrate von **1200 Gbit/s**
- Datenprüfung mit Korrektur durch erneutes Senden
- Vergabe von ID-Nummern für die Nachrichtenübertragung von TLP-Paketen für ACK/NACK Mechanismus
- Effiziente Datenübertragung durch Verkettung mehrerer TLP's in einem einzelnen Frame
- PC-Anbindung für das Starten und Auswerten von Testmechanismen über ein entwickeltes Testsystem
- Eliminieren von Daten/Taktversatz durch variables verändern der Leitungsverzögerung



Architektur des Paket-Generator der Transmitterschnittstelle

Vereinfachte Architektur der Physikalischen Send- und Empfangsschnittstelle



Studiengang/ Semester: Elektro und Informationstechnologie 24FS

Diplomandin: Herzog Cyril

Auftraggeber: Michael Nydegger, PSI

Expertin: Daniel Morf

Dozent: Prof. Michael Pichler, michael.pichler@fhnw.ch