



Architettura degli Elaboratori – Esame di prova

Nome e cognome [name]: _____

Numero di matricola [student ID]: _____

Annerire la casella corrispondente ai quesiti ai quali si intende rispondere. Riportare le risposte direttamente su questo foglio. Nei quesiti a risposta chiusa le risposte corrette possono essere una, più d'una o nessuna. Nel valutare l'esito della prova verrà assegnato ad ogni quesito un punteggio compreso tra il minimo e il massimo dichiarato tra parentesi., punteggio nullo ad ogni quesito irrisolto (con la casella sinistra non annerita). Tempo di consegna 1h.

[Check the boxes associated with the questions you decide to answer. All the answers have to be provided directly into this form. The minimum and maximum points assigned with each question are reported in the text. The exam has to be completed in 1 hour.]

- ☐ **Question 1 (from 0 to 3).** Utilizzando le istruzioni **ADD, MUL, LOAD, STORE** scrivere un segmento di codice più breve possibile per un'architettura **STACK** la cui esecuzione comporti il calcolo di $S = C * (A + B)$ (a tal fine si utilizzino i nomi delle variabili come indirizzi delle rispettive locazioni di memoria, si utilizzino variabili aggiuntive solo se strettamente necessario e si utilizzi il minor numero di registri interni numerati a partire da **R0**)

[Using instructions **ADD, MUL, LOAD, STORE** write the shortest code segment for a **STACK** architecture to compute $S = C * (A + B)$ (to this purpose, use variable names as addresses of the corresponding memory locations, use additional variables only if strictly required, and name internal registers starting from **R0**)]

PUSH A
PUSH B
ADD
PUSH C
MUL
POP S

- ☐ **Question 2 (from -1 to 3).** Con riferimento ad un microprocessore pipelined, in quali delle seguenti soluzioni architetturali la somma floating point ha *repetition time uguale alla latenza*? [Referring to a pipelined microprocessor, which ones of the following architectural configurations exhibit a repetition time **equal to** its latency?]

- a. Un solo addizionatore FP pipelined con latenza 3 [1 pipelined FP adder with latency 3].
b. 3 addizionatori FP non pipelined con latenza 3 [3 non-pipelined FP adders with latency 3].
c. Un solo addizionatore FP non pipelined con latenza 4 [1 non-pipelined FP adder with latency 4].
d. Un solo addizionatore FP non pipelined con latenza 1 [1 non-pipelined FP adder with latency 1].

☐
☐
☒
☐

- ☐ **Question 3 (from -1 to 2).** Con riferimento alla pipeline del DLX, quanti cicli di stallo comporta l'esecuzione dell'istruzione **LOADD f0, 0(R1)** seguita dall'istruzione **ADDD f0, f0, f6** in presenza di data forwarding (assumendo che il primo parametro di ogni istruzione sia la destinazione e che la somma abbia latenza 3)? [Referring to DLX pipeline, how many stall cycles occur when executing instruction **LOADD f0, 0(R1)** followed by instruction **ADDD f0, f0, f6** with data forwarding (assuming that the first parameter of each instruction represents its destination register and that **ADDD** has latency 3)?]

- a. 1
b. 2
c. 3
d. 4

IF ID EX MA WB
IF ID ID EX EX EX MA WB

☐
☐
☐
☐

- ☐ **Question 4 (from -1 to 2).** Qual è il CPI ideale di un'architettura VLIW con 3 pipeline in parallelo a 5 stadi? [What's the ideal CPI of a VLIW architecture with 3 parallel pipelines of 5 stages each?]

- a. 5
b. 1
c. 1/5
d. 1/3

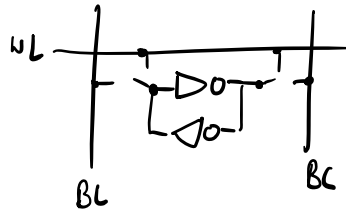
☐
☐
☐
☒

- ☐ **Question 5 (from 0 to 3).** Con riferimento ad un microprocessore con supporto per esecuzione fuori ordine, dire in che fase le istruzioni passano dalle reservation station alle unità di elaborazione. [Referring to a microprocessor with out-of-order execution support, write the name of the phase in which instructions are taken from reservation stations and processed by the execution units]

EXECUTE



- ❑ **Question 6 (from 0 to 3).** Disegnare una cella di RAM statica [Draw the scheme of a static RAM cell.]



- ❑ **Question 7 (from -1 to 2).** Qual è il tempo medio di accesso ad un sistema di memoria dotato di un solo livello di cache sapendo che: il tempo di accesso alla cache è pari a 1 ciclo di clock, il miss **penalty** è pari a 99 cicli di clock e l'hit rate è del 98%? [Which is the average access time of a memory system composed of L1 cache and main memory, given that the hit time is of 1 clock cycles, the miss **penalty** is of 99 clock cycles, and the hit rate is 98%?]

$$M_p = M_T - H_T \quad M_T = H_p + H_T \quad 1 \cdot 0,98 + 100 \cdot 0,02 \quad \text{Risposta: } 2,98 \text{ Tck}$$

- ❑ **Question 8 (from 0 to 3).** In un sistema di memoria con indirizzi fisici a 32 bit, si consideri una cache fisica **set-associativa a 4 vie** con 2048 blocchi complessivi di 256 byte ciascuno. Determinare il numero di bit di TAG. [In a memory system with 32-bit physical addresses and a 4-way **set-associative** physical cache of 2048 blocks of 256 bytes each, determines the number of bits of the TAG.]

$$32 - 11 - 8$$

$$\text{Risposta: } 136 \text{ bit}$$

- ❑ **Question 9 (from 0 to 3).** In un sistema con cache L1 **associativa** di 1024 blocchi di 8 parole si assuma di dover leggere due volte, nello stesso verso, un array di 5000 parole. Quale sarà il miss rate medio sperimentato con politica **RND**? [Consider a computer system which needs to read twice (in the same order) an array of 5,000 words. Assuming that the system is equipped with an **associative** L1 cache of 1024 blocks of 8 words, provide an estimate of the miss rate caused by **RND** policy.]

$$\frac{\frac{1}{8} + \frac{1}{8}}{2}$$

$$\text{Risposta: } \frac{1}{8}$$

- ❑ **Question 10 (from 0 to 3).** Si consideri un sistema di memoria paginato con indirizzi logici a 32 bit, indirizzi fisici a 30 bit e pagine di 4kbyte. Determinare le dimensioni della tabella delle pagine assumendo che non sia gerarchica e che i bit di controllo (Prot) associati ad ogni pagina siano 6. [Consider a paged memory system with a 32-bit logical address space, a 30-bit physical address space, and pages of 4Kbytes. Determine the size of the page table assuming that it is not hierarchical and that only 6 control bits (Prot) are associated with each page.]

$$30 - 12 = 18 \quad 2^{12} (18 + 6)$$

$$\text{Risposta: } 2^{12} (24)$$

- ❑ **Question 11 (from 0 to 3).** Spiegare brevemente il ruolo del **Translation Lookaside Buffer (TLB)**. [Briefly explain the role of **Translation Lookaside Buffer (TLB)**.]

IL TLB È UNA PICCOLA CACHE COMPLETAMENTE ASSOCIATIVA CHE HA IL RUOLO ALL'INTERNO DELLA MMU DI TRADURRE GLI INDIRIZZI DA VIRTUALI A FISICI (REAL).

- ❑ **Question 12 (from 0 to 3).** Spiegare brevemente il ruolo del **DMA controller**. [Briefly explain the role of **DMA Controller**.]





Architettura degli Elaboratori – Esame di prova

Nome e cognome [name]: _____

Numero di matricola [student ID]: _____

Annerire la casella corrispondente ai quesiti ai quali si intende rispondere. Riportare le risposte direttamente su questo foglio. Nei quesiti a risposta chiusa le risposte corrette possono essere una, più d'una o nessuna. Nel valutare l'esito della prova verrà assegnato ad ogni quesito un punteggio compreso tra il minimo e il massimo dichiarato tra parentesi., punteggio nullo ad ogni quesito irrisolto (con la casella sinistra non annerita). Tempo di consegna 1h.

[Check the boxes associated with the questions you decide to answer. All the answers have to be provided directly into this form. The minimum and maximum points assigned with each question are reported in the text. The exam has to be completed in 1 hour.]

- ☐ **Question 1 (from 0 to 3).** Utilizzando le istruzioni **ADD, MUL, LOAD, STORE** scrivere un segmento di codice più breve possibile per un'architettura **STACK** la cui esecuzione comporti il calcolo di $S = C*(A+B)$ (a tal fine si utilizzino i nomi delle variabili come indirizzi delle rispettive locazioni di memoria, si utilizzino variabili aggiuntive solo se strettamente necessario e si utilizzi il minor numero di registri interni numerati a partire da R0)

[Using instructions **ADD, MUL, LOAD, STORE** write the shortest code segment for a **STACK** architecture to compute $S = C*(A+B)$ (to this purpose, use variable names as addresses of the corresponding memory locations, use additional variables only if strictly required, and name internal registers starting from R0)]

LOAD A
LOAD B
ADD
LOAD C
MUL
STORE S

- ☐ **Question 2 (from -1 to 3).** Con riferimento ad un microprocessore pipelined, in quali delle seguenti soluzioni architetturali la somma floating point ha *repetition time uguale alla latenza*? [Referring to a pipelined microprocessor, which ones of the following architectural configurations exhibit a repetition time **equal to** its latency?]

- a. Un solo addizionatore FP pipelined con latenza 3 [1 pipelined FP adder with latency 3]. ☐
b. 3 addizionatori FP non pipelined con latenza 3 [3 non-pipelined FP adders with latency 3]. ☐
c. Un solo addizionatore FP non pipelined con latenza 4 [1 non-pipelined FP adder with latency 4]. ☒
d. Un solo addizionatore FP non pipelined con latenza 1 [1 non-pipelined FP adder with latency 1]. ☒

- ☐ **Question 3 (from -1 to 2).** Con riferimento alla pipeline del DLX, quanti cicli di stallo comporta l'esecuzione dell'istruzione **LOAD R0, 0(R1)** seguita dall'istruzione **ADD R0, R0, R6** in presenza di data forwarding (assumendo che il primo parametro di ogni istruzione sia la destinazione e che la somma abbia latenza 3)? [Referring to DLX pipeline, how many stall cycles occur when executing instruction **LOAD R0, 0(R1)** followed by instruction **ADD R0, R0, R6** with data forwarding (assuming that the first parameter of each instruction represents its destination register and that **ADD** has latency 3)?]

- a. 1
b. 2
c. 3
d. 4

IF ID EX MA WB
IF ID ID EX EX EX MA WB

- ☐ **Question 4 (from -1 to 2).** Qual è il CPI ideale di un'architettura **VLIW** con 3 pipeline in parallelo a 5 stadi? [What's the ideal CPI of a **VLIW** architecture with 3 parallel pipelines of 5 stages each?]

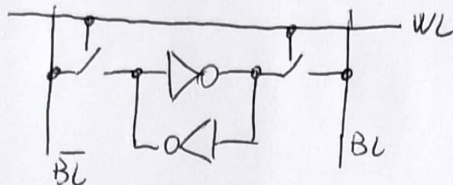
- a. 5
b. 1
c. 1/5
d. 1/3

- ☐ **Question 5 (from 0 to 3).** Con riferimento ad un microprocessore con supporto per esecuzione fuori ordine, dire in che fase le istruzioni passano dalle reservation station alle unità di elaborazione. [Referring to a microprocessor with out-of-order execution support, write the name of the phase in which instructions are taken from reservation stations and processed by the execution units]

EXECUTE



- ☐ Question 6 (from 0 to 3). Disegnare una cella di RAM statica [Draw the scheme of a static RAM cell.]



- ☐ Question 7 (from -1 to 2). Qual è il tempo medio di accesso ad un sistema di memoria dotato di un solo livello di cache sapendo che: il tempo di accesso alla cache è pari a 1 ciclo di clock, il miss **penalty** è pari a 99 cicli di clock e l'hit rate è del 98%? [Which is the average access time of a memory system composed of L1 cache and main memory, given that the hit time is of 1 clock cycles, the miss **penalty** is of 99 clock cycles, and the hit rate is 98%?]

Risposta: $1 + 0.02 \cdot 99 T_{clk} = 2.98 T_{clk}$

- ☐ Question 8 (from 0 to 3). In un sistema di memoria con indirizzi fisici a 32 bit, si consideri una cache fisica **set-associativa a 4 vie** con 2048 blocchi complessivi di 256 byte ciascuno. Determinare il numero di bit di TAG. [In a memory system with 32-bit physical addresses and a 4-way set-associative physical cache of 2048 blocks of 256 bytes each, determine the number of bits of the TAG.]

Risposta: $32 - 8 - 9 = 15 \text{ bit}$

- ☐ Question 9 (from 0 to 3). In un sistema con cache L1 **associativa** di 1024 blocchi di 8 parole si assuma di dover leggere due volte, nello stesso verso, un array di 5000 parole. Quale sarà il miss rate medio sperimentato con politica **RND**? [Consider a computer system which needs to read twice (in the same order) an array of 5,000 words. Assuming that the system is equipped with an associative L1 cache of 1024 blocks of 8 words, provide an estimate of the miss rate caused by RND policy.]

Risposta: $\frac{1}{8}$

- ☐ Question 10 (from 0 to 3). Si consideri un sistema di memoria paginato con indirizzi logici a 32 bit, indirizzi fisici a 30 bit e pagine di 4kbyte. Determinare le dimensioni della tabella delle pagine assumendo che non sia gerarchica e che i bit di controllo (Prot) associati ad ogni pagina siano 6. [Consider a paged memory system with a 32-bit logical address space, a 30-bit physical address space, and pages of 4Kbytes. Determine the size of the page table assuming that it is not hierarchical and that only 6 control bits (Prot) are associated with each page.]

Risposta: $2^{26} \text{ bit} = 3 \text{ Mbyte}$

- ☐ Question 11 (from 0 to 3). Spiegare brevemente il ruolo del **Translation Lookaside Buffer** (TLB). [Briefly explain the role of Translation Lookaside Buffer (TLB).]

Il TLB è una piccola cache completamente associativa della tabella delle pagine, utilizzata per fornire direttamente i RPN corrispondenti ai VPN richiesti dal processore.

- ☐ Question 12 (from 0 to 3). Spiegare brevemente il ruolo del **DMA controller**. [Briefly explain the role of DMA Controller.]

Il DMA controller consente alle periferiche di vedere direttamente dati di dati con la memoria. Le richieste sono inoltrate al processore e, se consente, gestite dal DMA controller che prende controllo temporaneo del BUS, disaccoppia i dati dal BUS e distrae il processore.



Architettura degli Elaboratori – Prova del 26 maggio 2022

Nome e cognome [name]:

Numero di matricola [student ID]:

Annerire la casella corrispondente ai quesiti ai quali si intende rispondere. Riportare le risposte direttamente su questo foglio. Nei quesiti a risposta chiusa le risposte corrette possono essere una, più d'una o nessuna. Nel valutare l'esito della prova verrà assegnato ad ogni quesito un punteggio compreso tra il minimo e il massimo dichiarato tra parentesi., punteggio nullo ad ogni quesito irrisolto (con la casella sinistra non annerita). Tempo di consegna 1h.

[Check the boxes associated with the questions you decide to answer. All the answers have to be provided directly into this form. The minimum and maximum points assigned with each question are reported in the text. The exam has to be completed in 1 hour.]

- ☐ **Question 1 (from 0 to 3).** Utilizzando le istruzioni **ADD, MUL, POP, PUSH** scrivere un segmento di codice più breve possibile per un'architettura **STACK** con un solo registro interno la cui esecuzione comporti il calcolo di $S = C^2 \cdot (A+B)$ (a tal fine si utilizzino i nomi delle variabili come indirizzi delle rispettive locazioni di memoria, si utilizzino variabili aggiuntive solo se strettamente necessario e si utilizzi il minor numero di registri interni numerati, se necessario, a partire da R0)

[Using instructions **ADD, MUL, POP, PUSH** write the shortest code segment for a **STACK** architecture with only 1 internal register to compute $S = C^2 \cdot (A+B)$ (to this purpose, use variable names as addresses of the corresponding memory locations, use additional variables only if strictly required, and name internal registers, if needed, starting from R0)]

```
PUSH A      MUL
PUSH B      MUL
ADD          POP
PUSH C
PUSH C
```

- ☐ **Question 2 (from -1 to 3).** Con riferimento ad un microprocessore pipelined, in quali delle seguenti soluzioni architetturali la somma floating point ha *repetition time uguale alla latenza*? [Referring to a pipelined microprocessor, which ones of the following architectural configurations exhibit a repetition time **equal to its latency**?]

- a. Un solo addizionatore FP pipelined con latenza 3 [1 pipelined FP adder with latency 3].
b. 3 addizionatori FP non pipelined con latenza 3 [3 non-pipelined FP adders with latency 3].
c. Un solo addizionatore FP non pipelined con latenza 4 [1 non-pipelined FP adder with latency 4].
d. Un solo addizionatore FP non pipelined con latenza 1 [1 non-pipelined FP adder with latency 1].



- ☐ **Question 3 (from -1 to 2).** Con riferimento alla pipeline del DLX, quanti cicli di stallo comporta l'esecuzione dell'istruzione **LOADD f0, 0(R1)** seguita dall'istruzione **ADDD f0, f0, f6** in assenza di data forwarding e double-rate registers (assumendo che il primo parametro di ogni istruzione sia la destinazione e che la somma abbia latenza 3)? [Referring to DLX pipeline, how many stall cycles occur when executing instruction **LOADD f0, 0(R1)** followed by instruction **ADDD f0, f0, f6** without data forwarding or double-rate registers (assuming that the first parameter of each instruction represents its destination register and that **ADDD** has latency 3)?]

- a. 2
b. 3
c. 4
d. 5

```
IF ID EX MA WB
IF ID ID ID EX EX EX MA WB
```



- ☐ **Question 4 (from -1 to 2).** Qual è il CPI ideale di un'architettura superscalare con 4 pipeline in parallelo a 5 stadi? [What's the ideal CPI of a superscalar architecture with 4 parallel pipelines of 5 stages each?]

- a. 4
b. 1
c. 1/5
d. 1/4

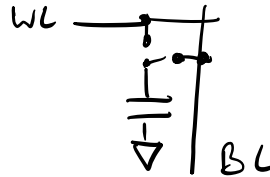


- ☐ **Question 5 (from 0 to 3).** Con riferimento ad un microprocessore con supporto per esecuzione fuori ordine, dire in che fase le istruzioni vengono assegnate ad una entry del ROB. [Referring to a microprocessor with out-of-order execution support, write the name of the phase in which instructions are assigned to ROB entries]

WRITE RESULTS



- ☐ **Question 6 (from 0 to 3).** Disegnare una cella di RAM dinamica [Draw the scheme of a dynamic RAM cell.]



- ☐ **Question 7 (from -1 to 2).** Qual è il tempo medio di accesso ad un sistema di memoria dotato di un solo livello di cache sapendo che: il tempo di accesso alla cache è pari a 2 cicli di clock, il tempo in caso di miss è pari a 50 cicli di clock e l'hit rate è del 99%? [Which is the average access time of a memory system composed of L1 cache and main memory, given that the hit time is of 2 clock cycles, the miss time is of 50 clock cycles, and the hit rate is 99%?]

$$2 \cdot 0,99 + 50 \cdot 0,01$$

Risposta: 2,48 TCLK

- ☐ **Question 8 (from 0 to 3).** In un sistema di memoria con indirizzi fisici a 32 bit, si consideri una cache fisica set-associativa a 8 vie con 1024 blocchi complessivi di 64 byte ciascuno. Determinare il numero di bit di TAG. [In a memory system with 32-bit physical addresses and a 8-way set-associative physical cache of 1024 blocks of 64 bytes each, determines the number of bits of the TAG.]

$$32 - 10 - 6$$

Risposta: 16 bit

- ☐ **Question 9 (from 0 to 3).** In un sistema con cache L1 associativa di 1024 blocchi di 4 parole si assuma di dover leggere due volte, nello stesso verso, un array di 5.000 parole. Quale sarà il miss rate medio sperimentato con politica LRU? [Consider a computer system which needs to read twice (in the same order) an array of 5,000 words. Assuming that the system is equipped with an associative L1 cache of 1024 blocks of 4 words, provide an estimate of the miss rate caused by LRU policy.]

$$\frac{\frac{1}{4} + \frac{1}{4}}{2}$$

Risposta: $\frac{1}{4}$

- ☐ **Question 10 (from 0 to 3).** Si consideri un sistema di memoria paginato con indirizzi logici a 32 bit, indirizzi fisici a 28 bit e pagine di 8kbyte. Determinare le dimensioni della tabella delle pagine assumendo che non sia gerarchica e che i bit di controllo (Prot) associati ad ogni pagina siano 1. [Consider a paged memory system with a 32-bit logical address space, a 28-bit physical address space, and pages of 8Kbytes. Determine the size of the page table assuming that it is not hierarchical and that only 1 control bits (Prot) are associated with each page.]

$$2^{13} \cdot (15 + 1)$$

Risposta: 2^{17}

- ☐ **Question 11 (from 0 to 3).** Spiegare brevemente il ruolo del DMA Controller. [Briefly explain the role of DMA Controller.]

IL DMA CONTROLLER È UTILIZZATO PER CONNETTERE E GESTIRE DIRETTAMENTE LE PERIFERICHE AL PORTO DELLA CPU, TERMINATA LA CETTA/REMONSTRAZIONE INVIA UN SEGNALE ALLA CPU.

- ☐ **Question 12 (from 0 to 3).** Illustrare il funzionamento di una routine software di sincronizzazione con una periferica in assenza di interrupt. [Briefly explain the functioning of a software-controlled I/O without interrupt support.]

TRAMITE IL PROCESSO PROGRAM CONTROL SI TENTA L'ACCESSO ALLE PERIFERICHE TENTANDO UN POLLING DATO CHE NON VI SIANO INTERRUPT, L'IC NON SEGNALELA INTERRUPT