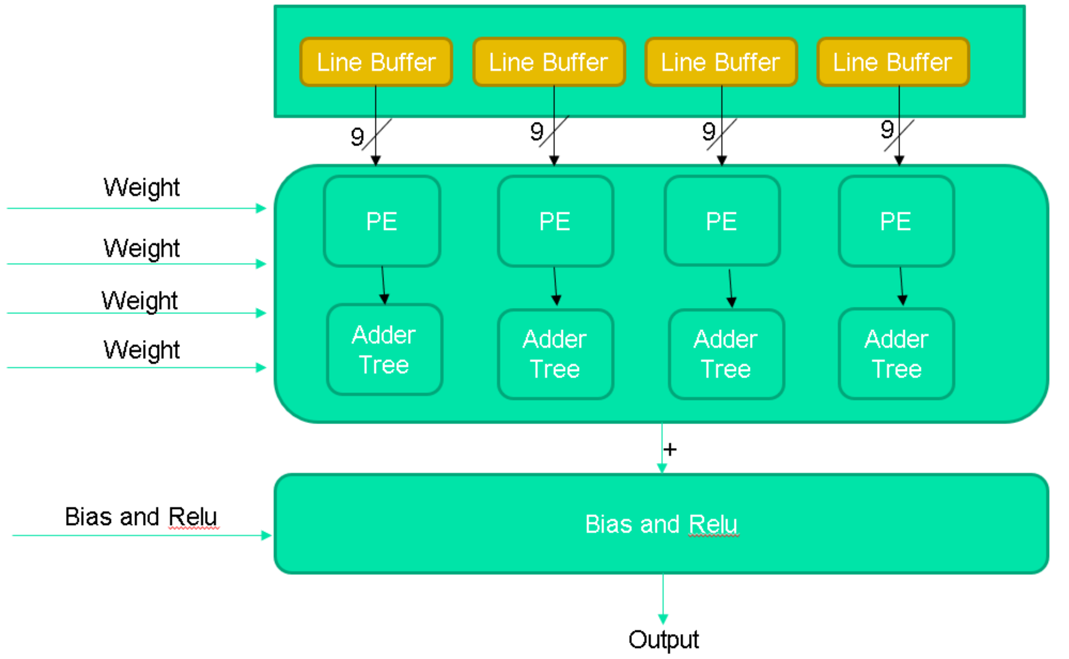
Design Compiler　　　　　　　　　M113040008 丁泓哲

IV. 架構圖解釋(10%)



第一層和第二層都是使用上述架構進行運算，首先第一層只有RGB三個輸入需要做運算，所以就有一個input沒有用到，而這三組分別進到PE計算之後，透過Adder Tree來縮減critical path，最後輸出成三個result，而這邊則是要將RGB三通道運算之後的結果值和在一起後加上相對應的Bias和進行Relu來將-值收斂到0。重複64次得到第一層的64張圖片。

而第二層也一樣是指使用這個架構，並沒有做擴充，因為第二層為64in 64out，而這邊一次可以進行4組的運算所以將第一層的64組運算拆成16組，累加之後進行bias和relu就可以得到一張輸出，重複64次得到最後的第二層64個輸出。

V. Area資訊和critical path資訊(10%)

```
****************************************
Report : area
Design : conv
Version: Q-2019.12
Date   : Thu Dec  8 19:09:24 2022
****************************************

Library(s) Used:

    sc9_cln40g_base_rvt_ss_typical_max_0p81v_125c (File: /usr/cad/CBDK_TSMC40_Arm_f2.0/CIC/SynopsysDC/db/sc9_base_rvt/sc9_cln40g_base_rvt_ss_typical_max_0p81v_125c.db)

Number of ports:                         6657
Number of nets:                         62078
Number of cells:                        51785
Number of combinational cells:          34363
Number of sequential cells:             17337
Number of macros/black boxes:               0
Number of buf/inv:                       6241
Number of references:                      60

Combinational area:              42687.614800
Buf/Inv area:                     3974.443258
Noncombinational area:           78640.628098
Macro/Black Box area:                0.000000
Net Interconnect area:      undefined  (Wire load has zero net area)

Total cell area:                121328.242898
Total area:                 undefined

Hierarchical area distribution
------------------------------

                                  Global cell area          Local cell area
                                  --------------------  ------------------------------
Hierarchical cell                 Absolute    Percent   Combi-      Noncombi-   Black-
                                  Total       Total     national    national    boxes   Design
--------------------------------  ----------  -------   ----------  ----------  ------  ---------------------------------
conv                              121328.2429   100.0   1341.0684   2871.2879   0.0000  conv
```

```
rem_96/U163/Y (AND2_X1B_A9TR)                          0.05      5.17 f
rem_96/U132/Y (AND2_X1B_A9TR)                          0.05      5.23 f
rem_96/U102/Y (AND2_X1B_A9TR)                          0.05      5.28 f
rem_96/U71/Y (OR2_X1B_A9TR)                            0.10      5.38 f
rem_96/U44/Y (MXT2_X0P7M_A9TR)                         0.09      5.47 f
rem_96/U296/Y (OR2_X1B_A9TR)                           0.06      5.53 f
rem_96/U265/Y (OR2_X1B_A9TR)                           0.06      5.60 f
rem_96/U228/Y (OR2_X1B_A9TR)                           0.06      5.66 f
rem_96/U189/Y (OR2_X1B_A9TR)                           0.06      5.72 f
rem_96/U156/Y (AND2_X1B_A9TR)                          0.05      5.77 f
rem_96/U133/Y (AND2_X1B_A9TR)                          0.05      5.83 f
rem_96/U97/Y (AND2_X1B_A9TR)                           0.05      5.88 f
rem_96/U73/Y (OR2_X1B_A9TR)                            0.10      5.98 f
rem_96/U46/Y (MXT2_X0P7M_A9TR)                         0.09      6.07 f
rem_96/U298/Y (OR2_X1B_A9TR)                           0.06      6.13 f
rem_96/U266/Y (OR2_X1B_A9TR)                           0.06      6.19 f
rem_96/U229/Y (OR2_X1B_A9TR)                           0.06      6.26 f
rem_96/U200/Y (OR2_X1B_A9TR)                           0.06      6.32 f
rem_96/U164/Y (AND2_X1B_A9TR)                          0.05      6.37 f
rem_96/U134/Y (AND2_X1B_A9TR)                          0.05      6.43 f
rem_96/U103/Y (AND2_X1B_A9TR)                          0.05      6.47 f
rem_96/U75/Y (OR2_X1B_A9TR)                            0.10      6.58 f
rem_96/U269/Y (MXIT2_X0P7M_A9TR)                       0.07      6.65 r
rem_96/U251/Y (INV_X1M_A9TR)                           0.04      6.68 f
rem_96/U300/Y (OR2_X1B_A9TR)                           0.06      6.74 f
rem_96/U262/Y (OR2_X1B_A9TR)                           0.06      6.80 f
rem_96/U231/Y (OR2_X1B_A9TR)                           0.06      6.87 f
rem_96/U191/Y (OR2_X1B_A9TR)                           0.06      6.93 f
rem_96/U165/Y (AND2_X1B_A9TR)                          0.05      6.98 f
rem_96/U135/Y (AND2_X1B_A9TR)                          0.05      7.04 f
rem_96/U104/Y (AND2_X1B_A9TR)                          0.05      7.09 f
rem_96/U77/Y (OR2_X1B_A9TR)                            0.10      7.19 f
rem_96/U123/Y (MXIT2_X0P7M_A9TR)                       0.07      7.26 f
rem_96/remainder[6] (conv_DW_div_uns_7)                0.00      7.26 f
U2015/Y (OR2_X1B_A9TR)                                 0.07      7.32 f
U2014/Y (NOR3_X1A_A9TR)                                0.04      7.37 r
U2200/Y (NAND4BB_X1M_A9TR)                             0.04      7.41 f
U2255/Y (OAI31_X1M_A9TR)                               0.04      7.44 r
U2202/Y (AOI31_X1M_A9TR)                               0.03      7.47 f
write_flag (out)                                       0.00      7.47 f
data arrival time                                                7.47
```

VI. 心得(10%)

本次的作業花了相當多的時間，需要思考要怎樣把平常都用軟體實作的神經網路架構實作在硬體上面，這次有先把上一次地做也寫成狀態機去控制，所以在修改成這次作業的時候少花了許多時間，不過因為硬體架構太龐大，使用的腳為和輸入輸出圖片都很吃效能和記憶體，所以在實作的時候每次修改都要修改很久，而在這次的作業也深刻感受到面積大小和速度是可以做取捨的，如果併行的運算單元越多，就可以以更快的時間做完，但取而代之的是面積的龐大和耗電量。

未來有機會會希望可以把這個架構設計得更有邏輯，並且嘗試加入 CLK GATING 或是加入 PIPELINE 的概念，讓功能更加完善。

Vivado

IV. Project Summary-Overview截圖(5%)