

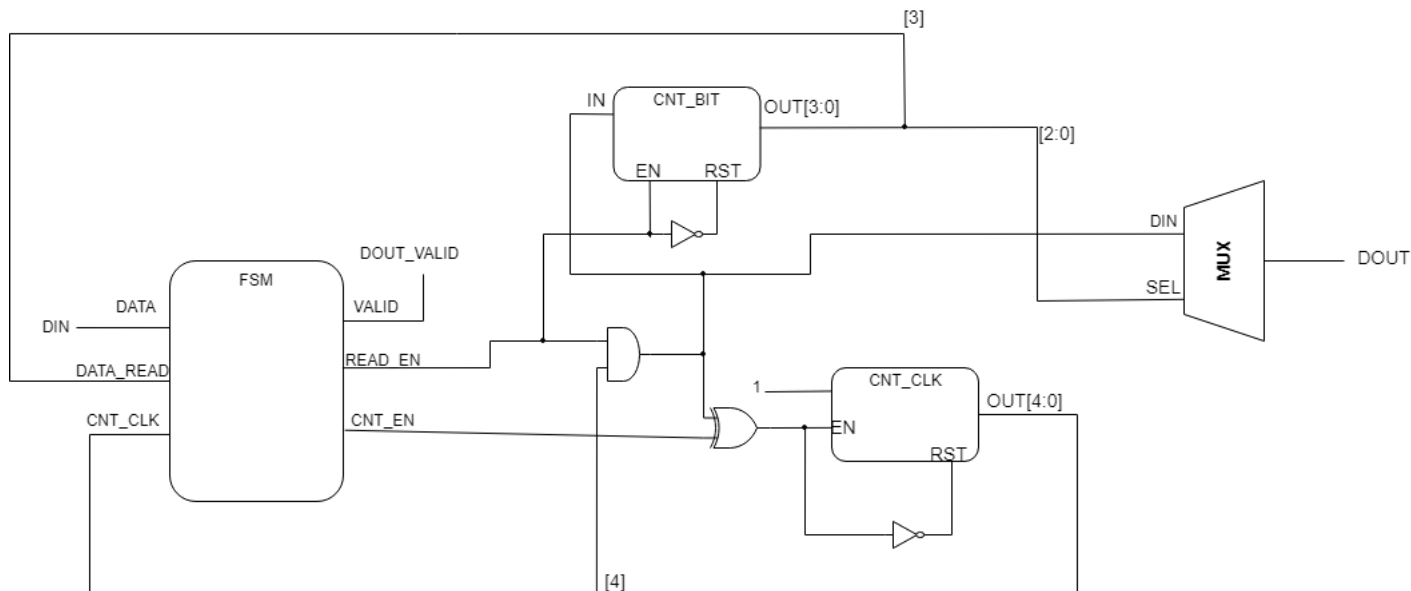
# Příloha: Výstupní zpráva

Jméno: Dias Assatulla

Login: xassat00

## Architektura navrženého obvodu (na úrovni RTL)

### Schéma obvodu



### Popis funkce

Obvod se skládá z konečného automatu ( FSM ), dvou počítadel ( CNT\_BIT, CNT\_CLK), AND, XOR hradla a multiplexoru.

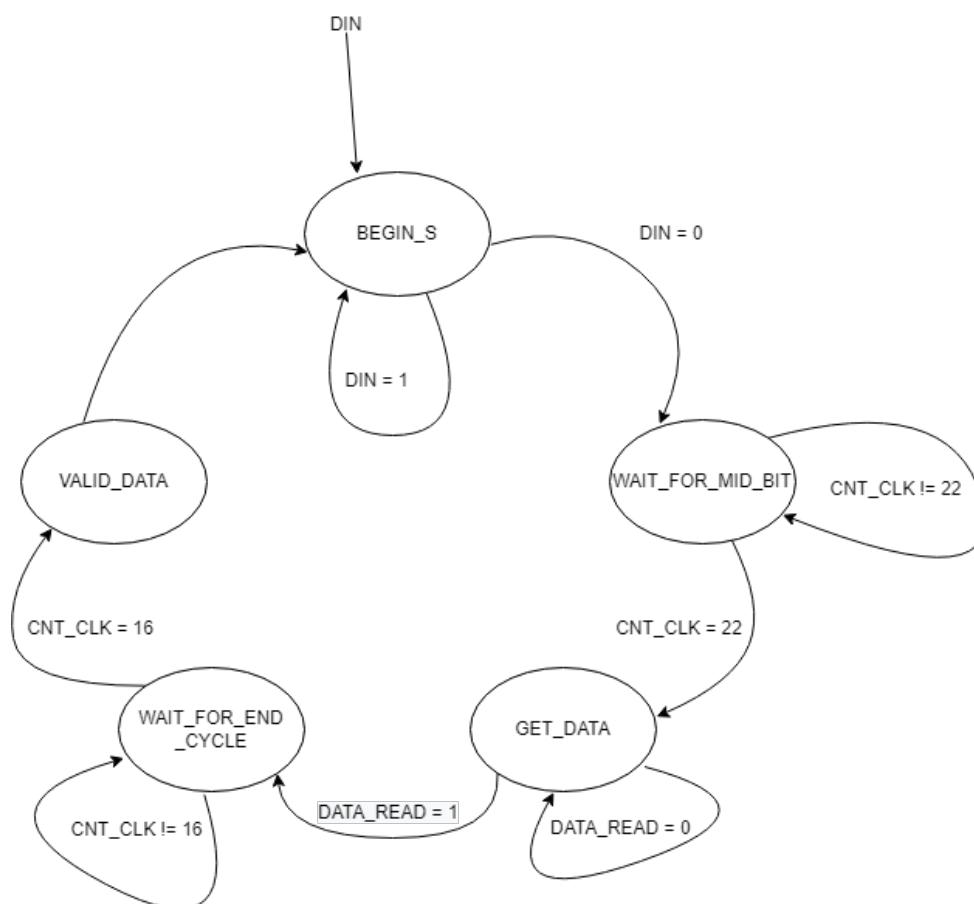
- Konečný automat ( FSM ) – má 3 vstupy, 3 výstupy a 5 stavů, které se mění na základě vstupů
- CNT\_CLK – counter pro počítání „midbitov“.
- CNT\_BIT – counter pro počítání načtených bitů.
- MUX – přepínač výstupů.

## Návrh automatu (Finite State Machine)

### Schéma automatu

Legenda:

- **Stavy automatu:** Begin\_S, Wait\_For\_Mid\_Bit, Get\_Data, Wait\_For\_End\_Cycle, Valid\_Data
- **Vstupné signály:** DATA, CNT\_CLK, DATA\_READ
- **Moorove výstupy:** READ\_EN, CNT\_EN, VALID



### Popis funkce

Automat má pět stavů:

- Begin\_S – čeká na START bit ( když datový tok DIN = 0 ).
- Wait\_For\_Mid\_Bit – druhý stav. Doba mezi start\_bitem a stop\_bitem. Pro přechod do následujícího stavu potřebuje, aby CNT\_CLK = 22 ( v polovině následujícího DIN ).
- Get\_Data – třetí stav. Čte bity. Čeká na poslední datový bit, když DATA\_READ bude mít hodnotu 1 (3 MSB bit od počítadla CNT\_BIT) přejde do 4. Stavů.
- Wait\_For\_End\_Cycle – čeká na STOP bit.
- Valid\_Data – aktivuje stav výstupu VALID a opět se přepne do stavu Begin.

