

总线系统

1. 总线概述

1.1. 总线概念

- 1 总线：连接多个部件，是各部件共享的传输介质
- 2 总线的分时&共享
 - 1. 分时：同一时刻只许一个部件向总线发信
 - 2. 共享：总线可以挂在多个不见，还是只允许一个部件发送，但是同时可以有多个部件接收
- 3 总线特性

类别	特性
机械特性	尺寸、形状
电气特性	传输方向和有效的电平范围
功能特性	传送地址/数据/控制信号
时间特性	哪根线在什么时间内有效

1.2. 总线类型

- 1 按数据传送方式：并行总线/串行总线，并行又可分为8/32/64位总线
- 2 按照使用范围：计算机/测控总线
- 3 按照连接部件
 - 1. 片内总线：芯片内的总线，如CPU内部/连接寄存器-寄存器/寄存器-ALU
 - 2. 系统总线：连接了计算机五大部件，按照传输的不同内容又可分三种

类型	方向	描述
数据总线	双向传输	在各部件间传输数据，数据总线的宽度是指总线位数
地址总线	单向传输	指出数据总线上，源数据/目的数据的主存地址/IO设备地址
控制总线	不特定	用来发出各种控制信号，来决定数据/地址总线分配给哪个设备

总线的组成就是：控制线+数据线+地址线

- 3. 通信总线：在不同计算机系统间传输信息
- 4 按传输方向：单向/双向，单论总线种的一条则都是单向的，双向传输是对于总体而言的

1.3. 总线指标

1 总线传输周期：
含义：总线间隔多少时间，向存储器/IO端口访问一次

2. 过程

阶段名称	简要描述
申请分配	主模块/设备，申请使用总线，总线仲裁决定使用权
寻址	使用权获得者发出目标地址和命令，启动从模块
传送数据	主从模块之间进行数据交换
结束	主模块撤除信息，让出总线使用权

2 总线宽度

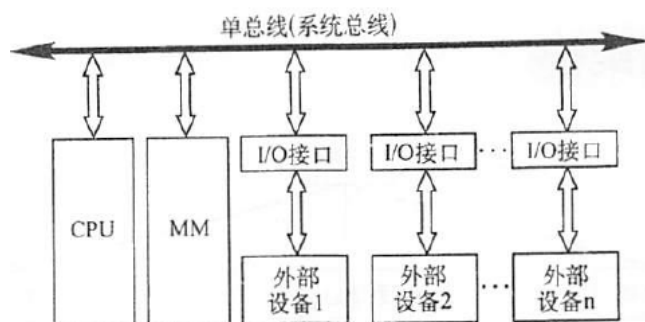
1. 总线结构：由众多线构成，每根线一位位的传输二进制数，比如16条线可同时传16位二进制代码

2. 总线宽度：有多少根线

3 总线带宽：单位时间内总线能传输多少位数据，等于**频率*总线宽度**(单位bit)

1.4. 总线结构

1.4.1. 单总线结构



1 含义：将CPU/主存/IO接口连在一根线上

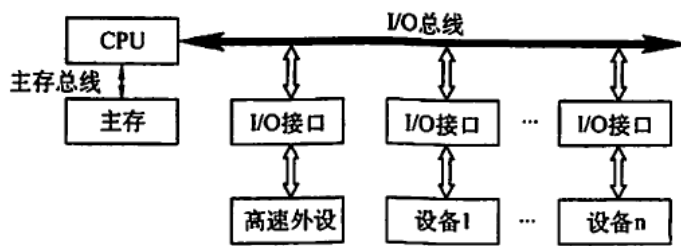
2 特点

1. 允许IO设备-IO设备 / IO设备-CPU / IO设备-主存通信
2. 所有IO设备同一编制
3. CPU访问IO和访问内存的方式一样

3 缺点

1. 总线是分时的，所以效率低
2. 总线连接的三者速率不匹配

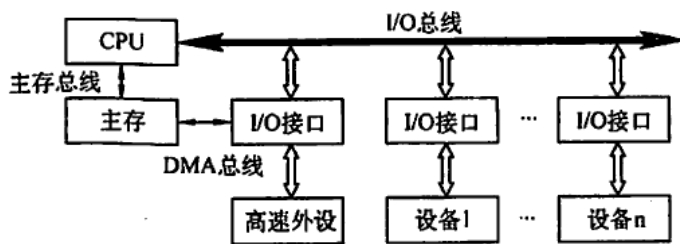
1.4.2. 双总线结构



1 结构：将低速的IO另立总线，单总线变为主存总线

2 缺点：主存-IO设备的通信效率极低

1.4.3. 三总线结构



1 结构：既然双总线主存-IO效率低，那就在二者间再加一条DMA总线，专门给二者交换数据

2 特点：三者间同一时刻只能使用一者

2. 总线仲裁

2.0. 前置概念

1 连接总线的两种设备

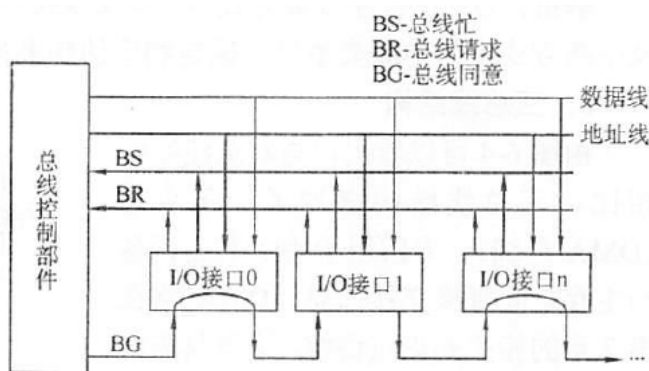
1. 主设备：对总线有控制权，由主设备启动总线的数据传输
2. 从设备：对总线无控制权，只能响应从设备发来的总线命令

2 总线仲裁：

1. 背景：一个总线传输周期内，只能由一个主设备控制一个总线
2. 仲裁：多主设备同时要求使用总线时，由总线控制器根据优先级，来确定哪个主设备能用总线

2.1. 集中仲裁方式

2.1.1. 链式查询方式



1 结构：总线上所有部件共用一根总线请求线

2 仲裁过程

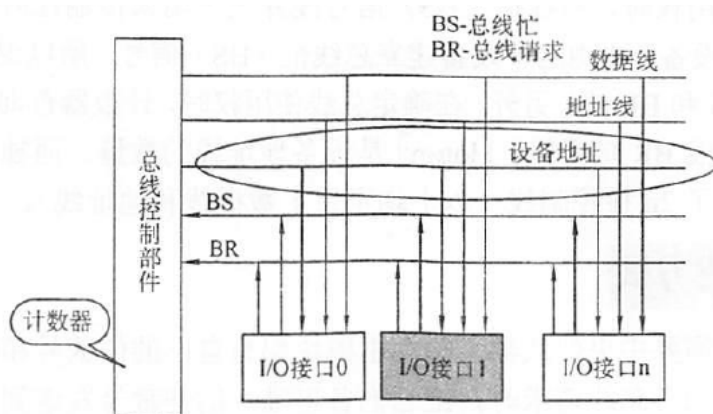
1. 部件需要请求总线时，总线请求线^{请求}→总线控制器
2. 总线控制器判断总线是否忙，总线不忙时，总线同意线^{响应信号}→串行经过并查询一个个部件
3. 查询的部件无总线请求则跳过，有总线请求则劫持该信号

3 判优：离总线越控制器越近优先级越高

4 特点

1. 优点：只需三根控制线，结合简单
2. 缺点：一个设备故障后其之后所有设备都无法工作，优先级低的设备长期不能使用总线

2.1.2. 计数器查询方式



1 结构：

1. 总线控制器内置一个计数器
2. 相对于链式查询多了 $\log_2 n$ 根设备地址线来表示 n 个设备，少了1根总线同意线
3. 多个设备共用一条请求线

2 仲裁过程

1. 总线控制器收到请求后，若判断总线不忙，则开始计数
2. 计数值通过地址线发往各个部件

3. 计数值=请求使用总线设备的地址时，设备获得总线使用权

4. 计数器随后终止工作

3 判优：

1. 优先级由设备的地址值决定

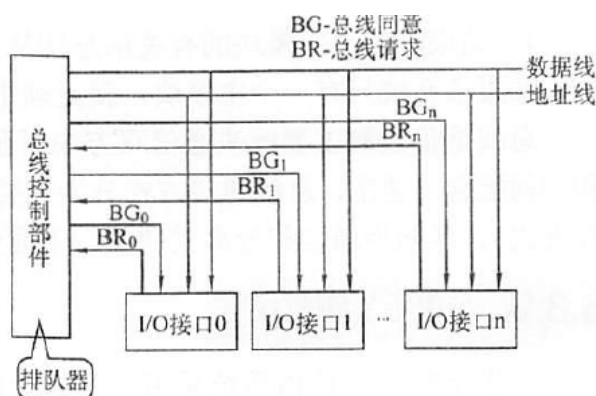
2. 优先级谁高取决于计数器工作方式，可以从0开始/从上次结束时的值开始

4 特点：

1. 优点：优先级可变，对电路故障的敏感度降低

2. 缺点：控制线增加，控制更复杂

2.1.3. 独立请求方式



1 结构：控制器内置排队器，每个设备有独立的总线请求/同意线

2 仲裁过程

1. 设备通过各自的总线请求线，发送请求信号到控制器

2. 通过排队器，所有请求在控制器处形成队列

3. 部件按照队列获得总线使用权

3 特点

1. 优点：响应快，优先级灵活

2. 缺点： n 个设备就要 $2n + 1$ 根控制线，太复杂

2.2. 分布式仲裁

1 无中央仲裁器，每个模块都有自己的仲裁号和仲裁器，多个仲裁器竞争使用总线

2 要请求总线时，仲裁器将仲裁号发往仲裁总线

3 仲裁器从仲裁线中获得仲裁号，若获得的号优先级比自己高，则总线不予相应

3. 总线通信方式

主要解决：通信双方如何获知传输开始/结束，双方如何协调配合

3.2. 同步定时方式

1 概念：通过CPU总线控制器发出的时钟信号，同一协调总线收发两方的传送定时关系

2 同步式数据输入/输出：不论输入输出，地址信号都伴随全程

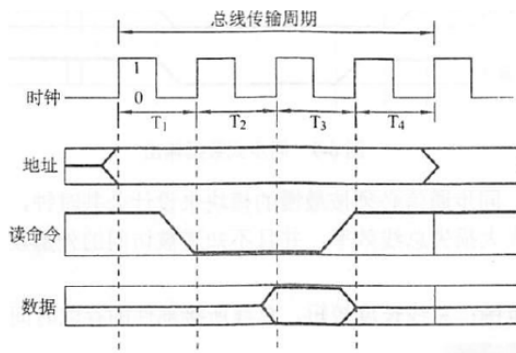


图 6-8 同步式数据输入

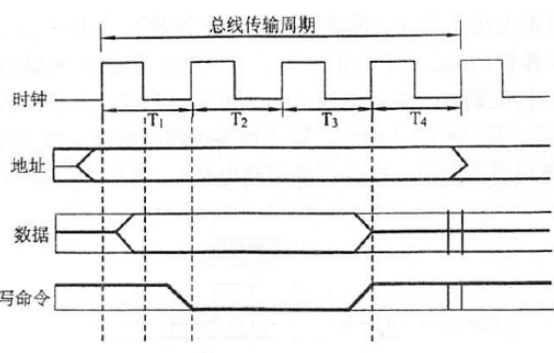


图 6-9 同步式数据输出

输入：注意以下行为的前提是设备已获得总线控制权

时间	主模块输入时的行为(外设→CPU)	主模块输出时的行为(CPU→外设)
T_1 上升沿	发送地址信息	发送地址信息
T_2 上升沿	发出读命令(低电平有效), 设备将数据塞进总线	提供数据到总线
T_3 周期	数据线上信息塞进CPU寄存器	发出写命令
T_4 上升沿	撤销CPU的读命令	撤销写命令

3.3. 异步定时方式

1 核心：克服各模块速度不一致的情况，而采用主模块发信→从模块响应后才开始通信模式

2 三种方式：

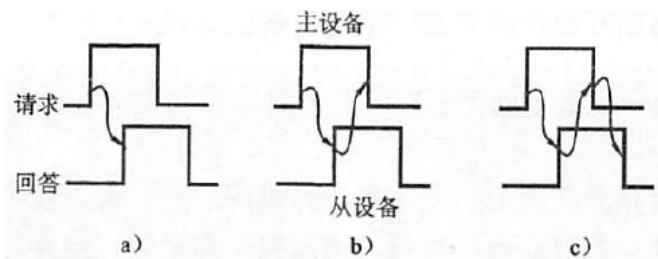
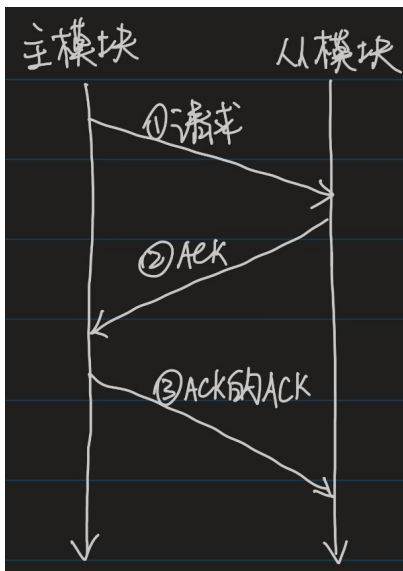


图 6-10 异步通信的应答方式

a) 不互锁方式 b) 半互锁方式 c) 全互锁方式

3 三种方式的过程



方式	主模块	从模块
不互锁	发出①后，过段时间默认对方收到了①	发出②后，过段时间默认对方收到了②
半互锁	发出①后，收到②后才认定对方收到①	发出②后，过段时间默认对方收到了②
全互锁	发出①后，收到②后才认定对方收到①	发出②后，收到③后才认定对方收到②

确认对方收到①后，主模块撤销请求信号

确认对方收到②后，从模块撤销ACK信号

4. 总线标准

1 系统总线

名称	描述
ISA	最早的微型计算机系统总线，应用在IBM的AT机上。
EISA	扩展的ISA总线，适用于32位CPU，与ISA完全兼容。
VESA(VL-BUS)	32位计算机局部总线，针对多媒体PC的高速传送需求设计。
PCI	高性能的32位或64位总线，适用于外围部件和处理器/存储器系统的互连。
PCI-Express	最新的总线和接口标准，将全面取代PCI和AGP。

2 设备总线

名称	描述
IDE	集成设备电路接口，用于处理器和磁盘驱动器间的连接。
AGP	加速图形接口，专用于连接主存和图形存储器。

名称	描述
USB	用于外部设备的快速连接。
SATA	串行高级技术附件，一种行业标准的串行硬件驱动器接口。

