

计算机组成原理

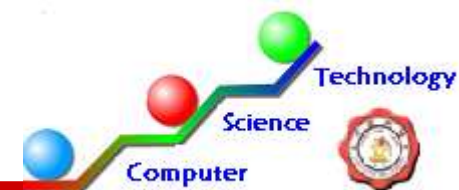
Computer Organization

2023 . 秋

西安交通大学 计算机科学与技术学院

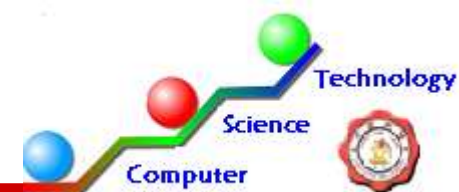
计算机组成原理课程组

<http://corg.xjtu.edu.cn>



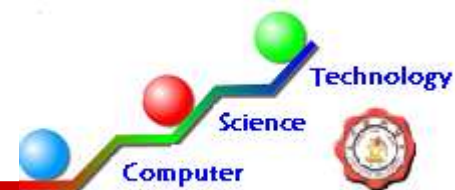
计算机组成原理

第四章 总线与输入输出系统



总线 (Bus) 是连接计算机各部件间的公共数据通路。

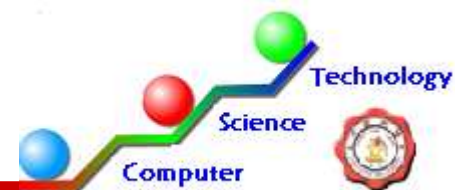
输入输出 (Input / Output) 系统的作用是实现人与计算机之间的交互。



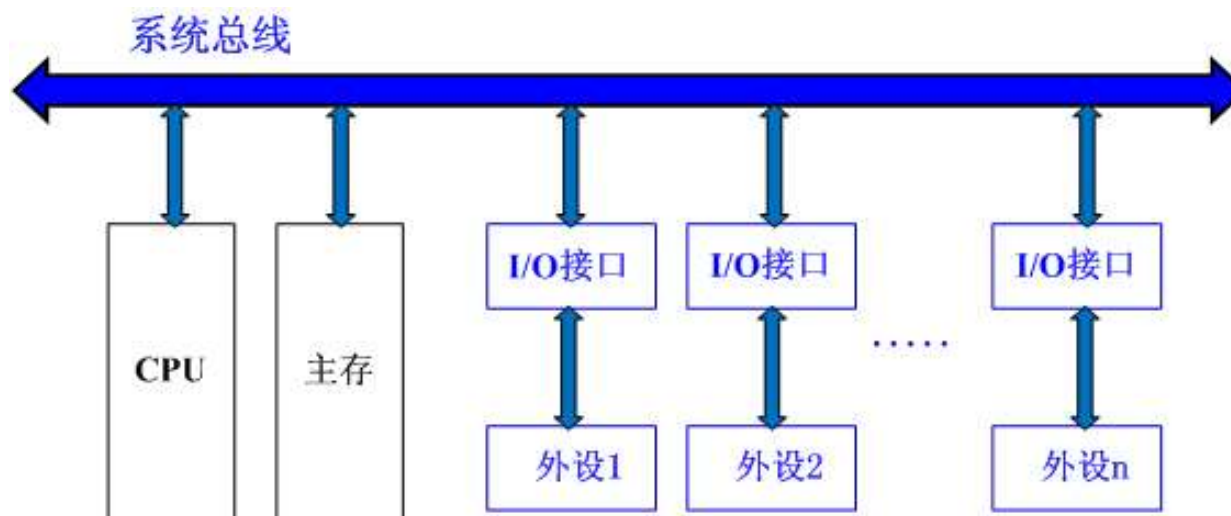
第四章 总线与输入输出系统

- 4.1 总线的分类
- 4.2 总线管理和控制
- 4.3 总线结构和标准
- 4.4 输入输出系统
- 4.5 I/O设备
- 4.6 I/O接口
- 4.7 I/O数据传送控制方式

总线的概念

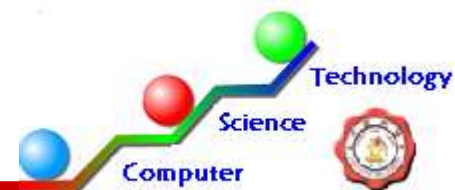


- 总线是连接多个部件之间的**信息传输通路**，是各部件间**共享**的传输介质。



以总线为中心的计算机组成框图

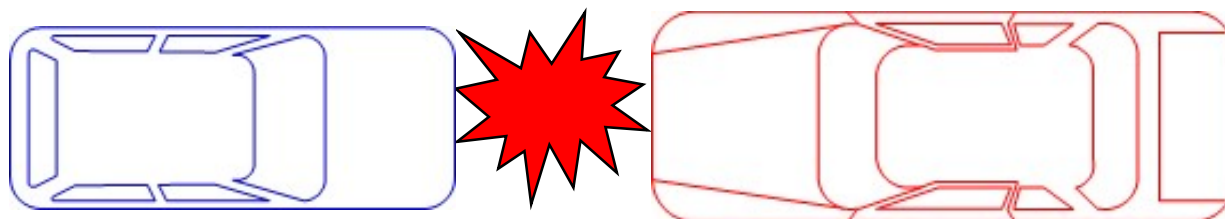
总线的组成和特性



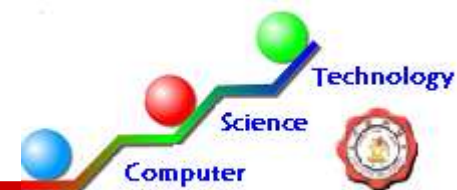
- 总线的主要组成部分是连接计算机各功能部件的**逻辑电路**，包括管理信息传输规则的电路。

决不能把总线理解为单纯的连接线！！

- 在任何时刻，只可以有一个**部件**向总线上发送信息，但却可以有一个或多个**部件**同时从总线上接收信息。

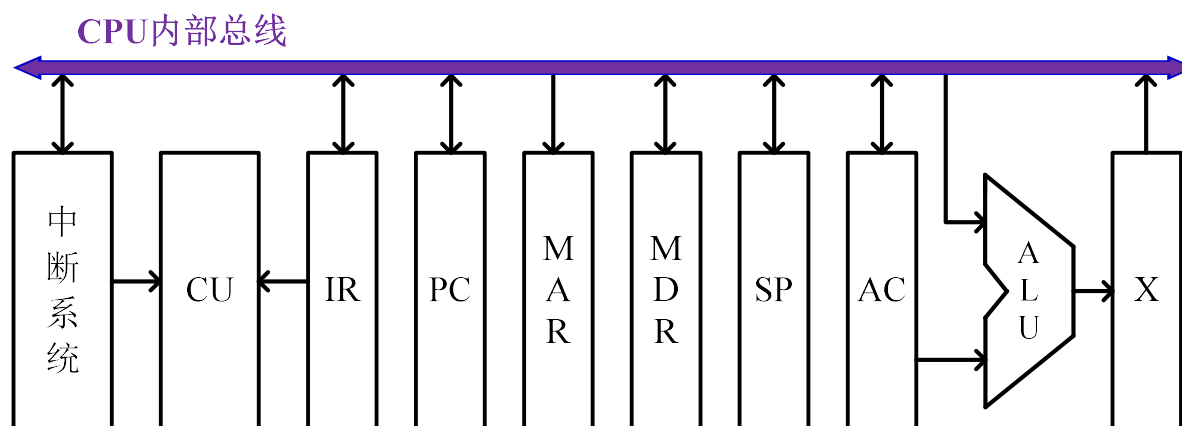


总线的分类



□ 片内总线

连接**芯片内部**各部件的总线。



□ 系统总线

计算机**单机系统内部**各大部件间信息传输的公共通路。

□ 通信总线

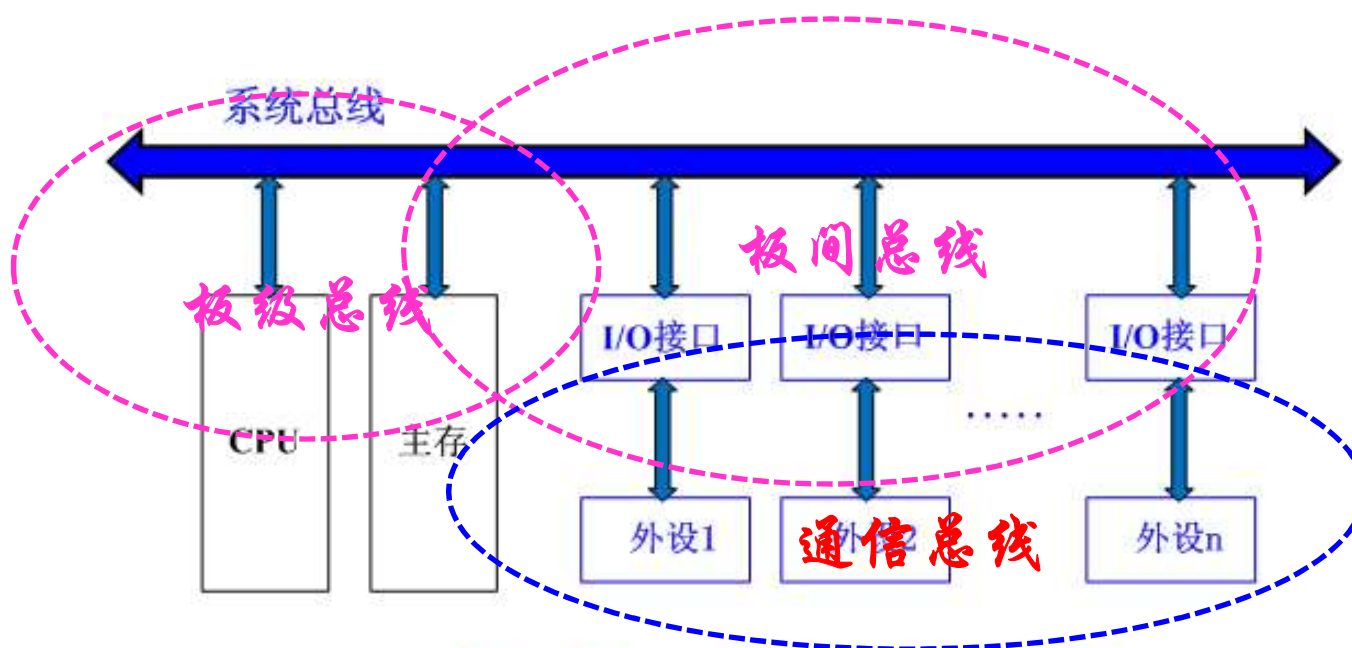
计算机系统间（机—机）或**计算机与其它系统间**（移动通信、仪表等）的信息通路。

系统总线



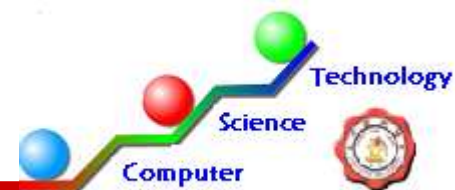
按照物理位置分为

- 板级总线：板内片间连线
- 板间总线：板间连线



以总线为中心的计算机组成框图

系统总线（续）

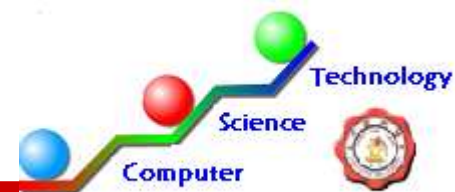


□ 按照传输的信息分为

- **数据总线**：用于传输数据，双向传输线。
通常，数据总线宽度 = 机器字长。
- **地址总线**：用于传输地址，单向传输线。
通常，地址总线宽度与存储单元数量有关。
- **控制总线**：用于传输 **CPU**发出的控制信号（出）及其它部件发给 **CPU**的状态反馈信号（入）。

控制总线给出的控制信号类型决定了系统总线所支持的控制方式以及通信方式。

通信总线



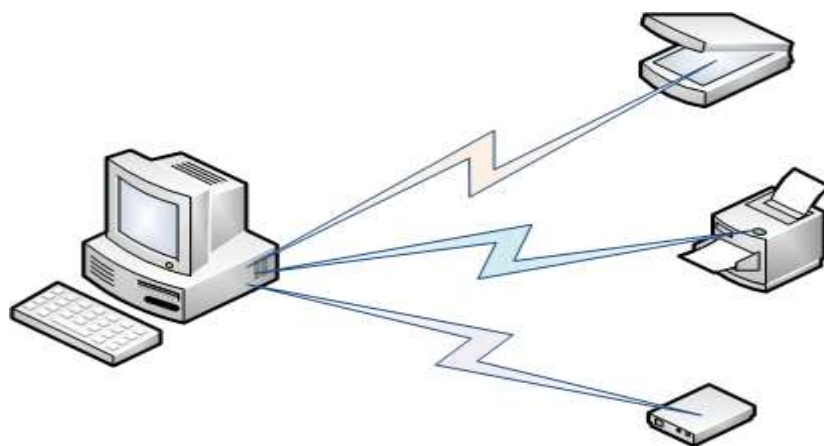
□ 按照传输方式分为

○ 串行通信总线：数据从低位开始按位传送。

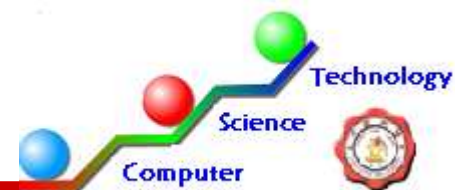
特点：传输线少，适合远距离且速度要求不高的场合。

○ 并行通信总线：数据按字节或字同时传送。

特点：传输线较多，适合近距离、高速传送。



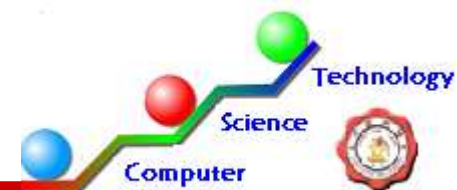
本章重点讨论系统总线



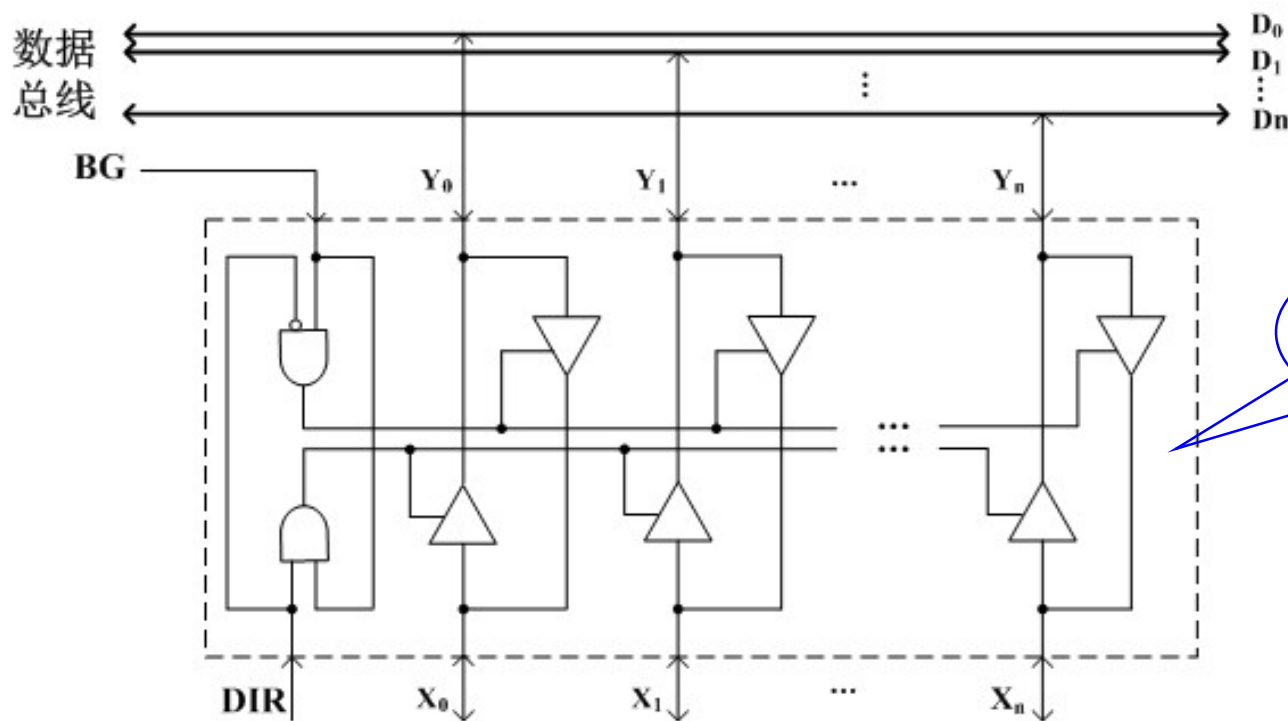
第四章 总线与输入输出系统

- 4.1 总线的分类
- 4.2 总线管理和控制
- 4.3 总线结构和标准
- 4.4 输入输出系统
- 4.5 I/O设备
- 4.6 I/O接口
- 4.7 I/O数据传送控制方式

总线管理和控制

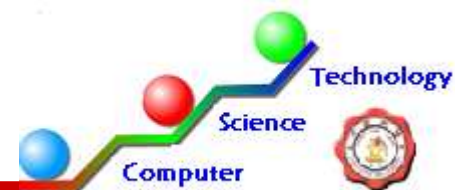


为了控制一个时刻只有一个部件向总线上发送信息，同时减轻总线的负载，通常，总线上的部件都通过三态控制逻辑与总线相连。



双向总线
收发器

总线管理和控制（续）



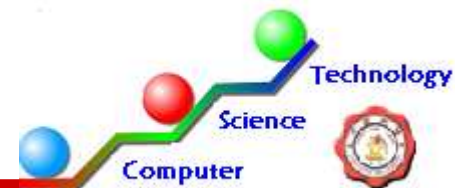
设置**总线控制逻辑**对总线的工作进行控制管理。

总线控制方式分两种：

- **集中式总线控制**：总线控制所需的逻辑电路集中在一起。比如，集中放在**CPU**中，或者设置总线控制器。
- **分布式总线控制**：总线控制所需的逻辑电路分散在与总线连接的各个功能部件或设备接口中，不专设总线控制器。

本章重点讨论集中式总线控制

总线仲裁机制



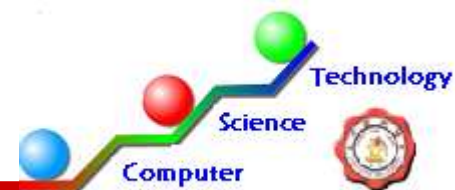
系统总线上连接着多种部件，按照部件对总线是否具有**控制能力**，将部件划分为**主模块**和**从模块**。

- ❑ **总线主模块**：具有申请、启动总线操作的部件。当申请成功时主模块**享有总线控制权**。
- ❑ **总线从模块**：**被动响应**主模块发来的总线操作命令的部件。配合主模块完成一次总线传送操作。

通常，主模块由能够发出**总线请求**的部件承担（如CPU、DMA控制器、I/O接口等）。典型的从模块是主存，因为它不可能主动要求存取操作。I/O既可以是主模块，也可以是从模块。

一次总线操作只能有一个主模块，但可以有多从模块。

总线仲裁机制（续）



- **仲裁目的**：当有多个主模块同时申请总线时，解决总线控制权的分配问题。
- **仲裁思路**：为每个主模块按照其工作速度及操作紧要程度设置优先级别（越紧急的优先级越高），同时总线控制器中设置仲裁机构。当多个主模块同时要求使用总线时，总线仲裁机构依据其优先级的高低确定谁先获得总线控制权。

集中式总线控制常用判优方法：三种

链式查询

计数器定时查询

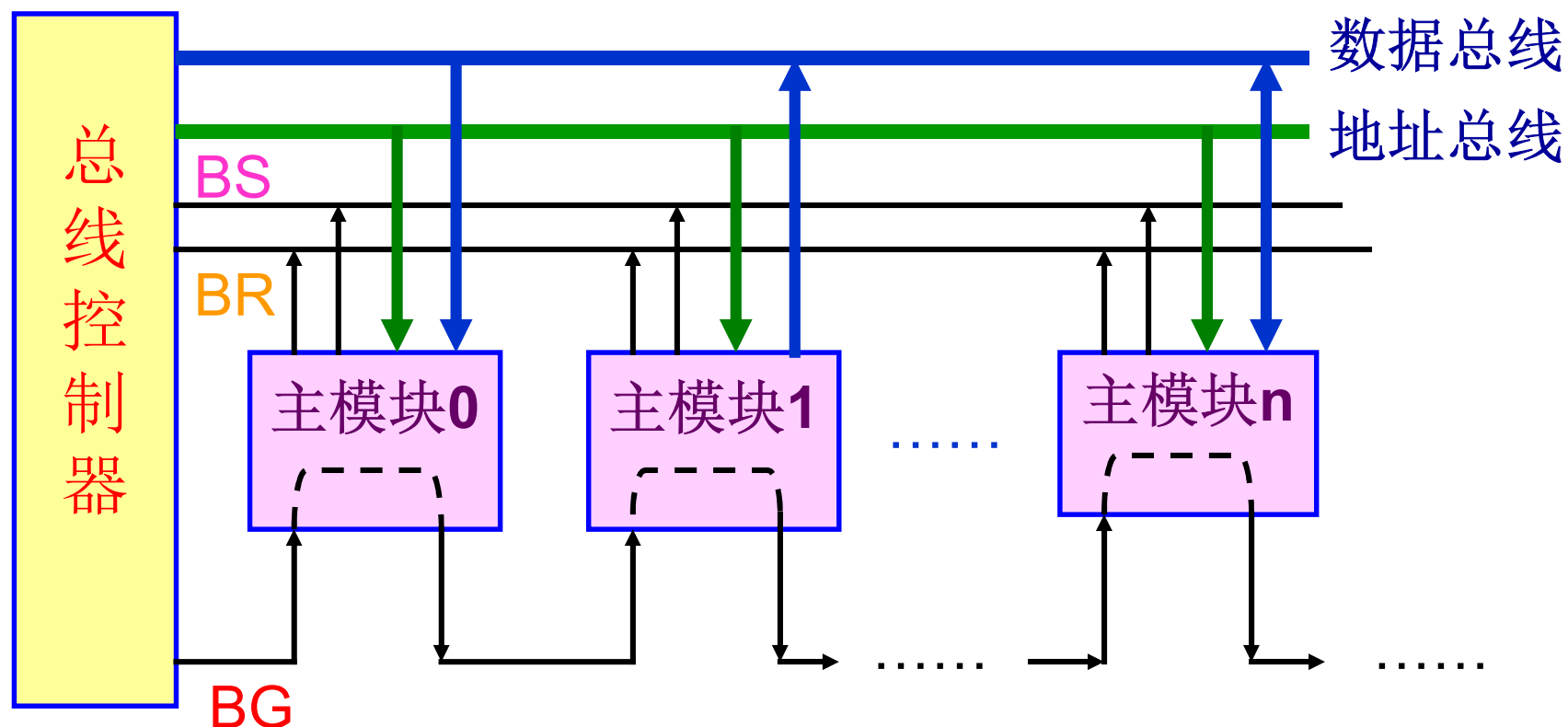
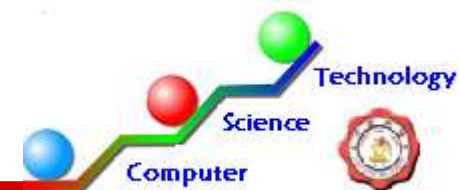
独立请求

链式查询



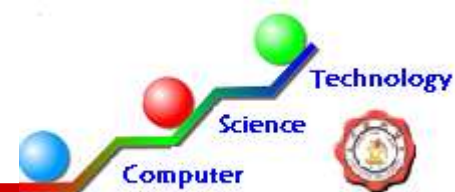
- ❑ **实现方法：**通过一条判优链路（**优先链**）对每个主模块逐一**串行**查询。
- ❑ **优先权的分配：**离总线控制器物理连接**最近**的部件**优先权最高**，反之最低。
- ❑ **查询方法：**从离总线控制器**最近**的主模块**开始**查起。首先查到的一定是所有提出请求的主模块中优先权最高的一个。**查到最高优先级且有请求的主模块后，该模块通过相应信号卡断判优链路**，这样它就可以独占总线与从模块之间进行操作了。当操作结束后及时释放总线，此时总线控制器可以继续对其它请求模块进行判优。

链式查询 (续)



链式查询方式结构框图

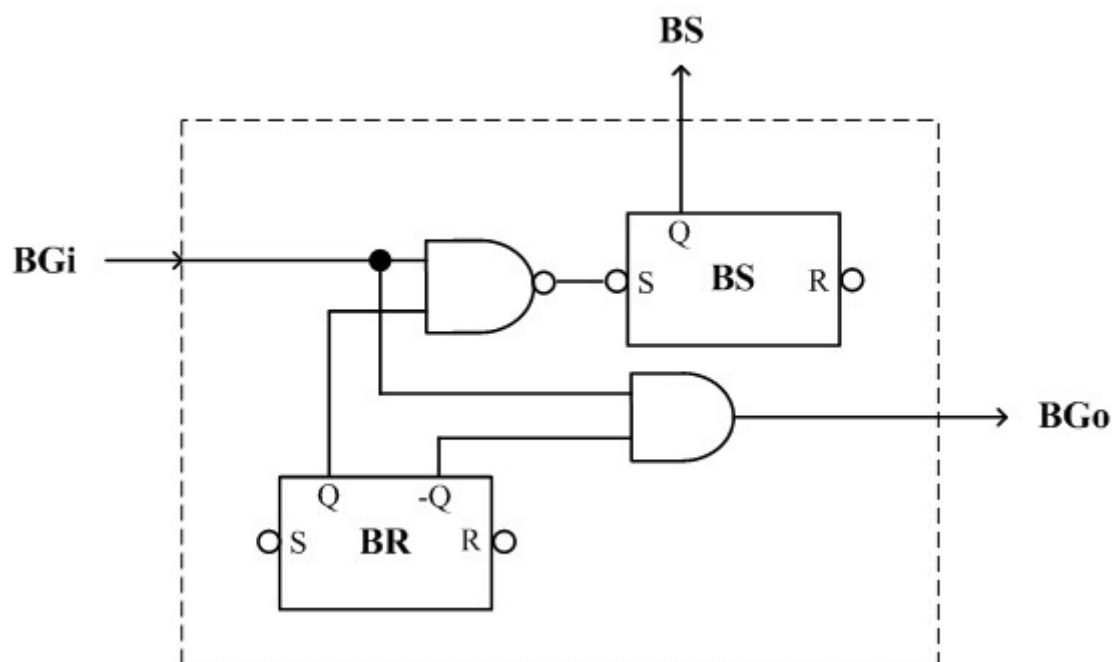
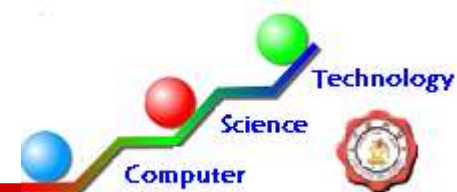
链式查询 (续)



链式查询方式控制信号线定义：三根

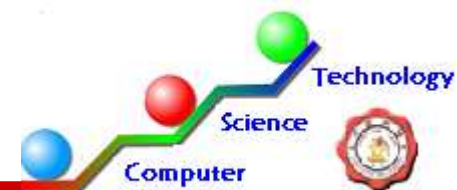
- ❑ **BR: 总线请求 (Bus Request)**, 所有主模块都通过此线向总线控制部件发请求信号, 为公用线。该信号有效时表示系统中至少有一个主模块请求使用总线。
- ❑ **BG: 总线同意 (Bus Grant)**, 总线控制部件通过此线向请求总线的主模块发出同意使用总线信号。该信号有效时表示总线控制器已经响应了总线请求。
- ❑ **BS: 总线忙 (Bus Busy)**, 所有主模块都通过此线向总线控制器发“忙”信号, 为公用线。该信号有效时表示总线正在被占用。

链式查询 (续)

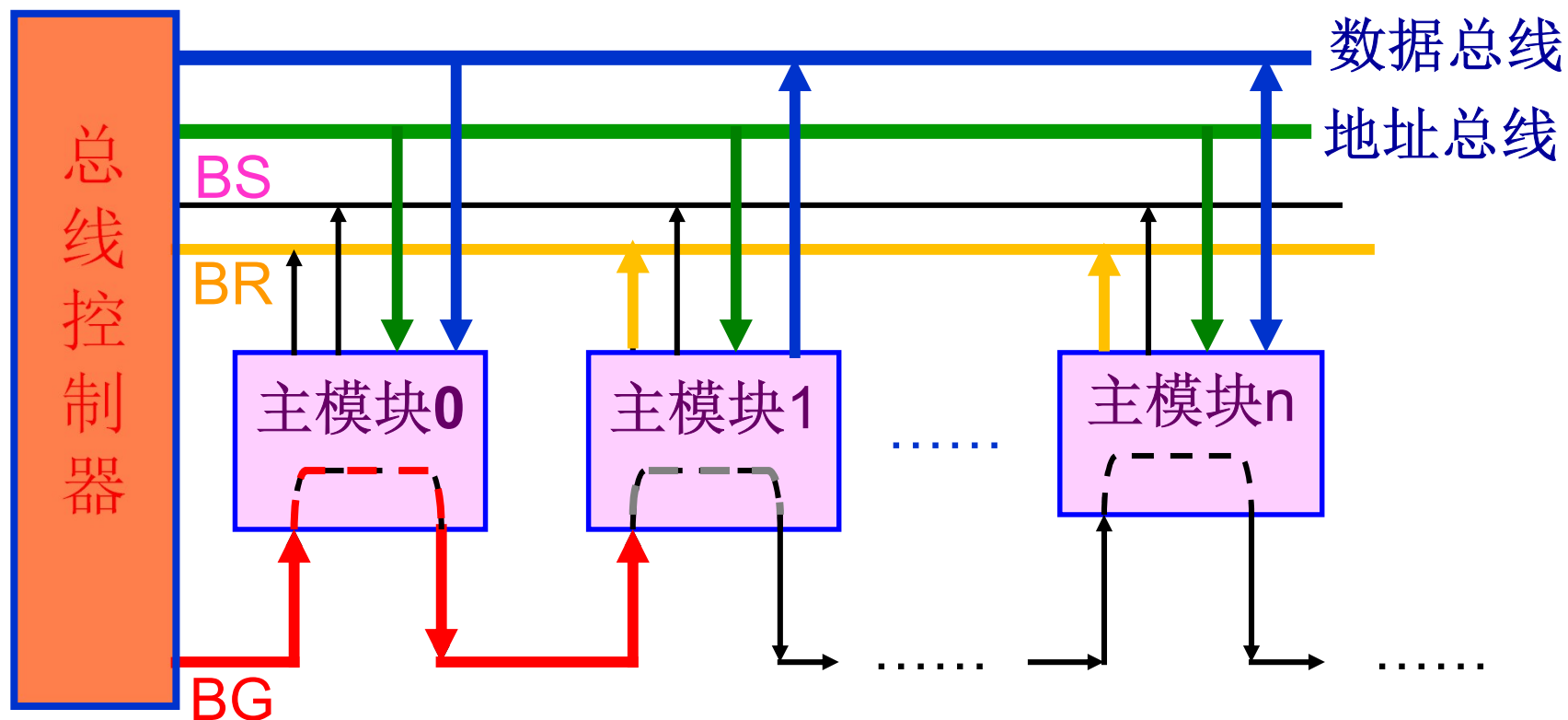


串行排队链路逻辑

链式查询 (续)



链式查询过程示意

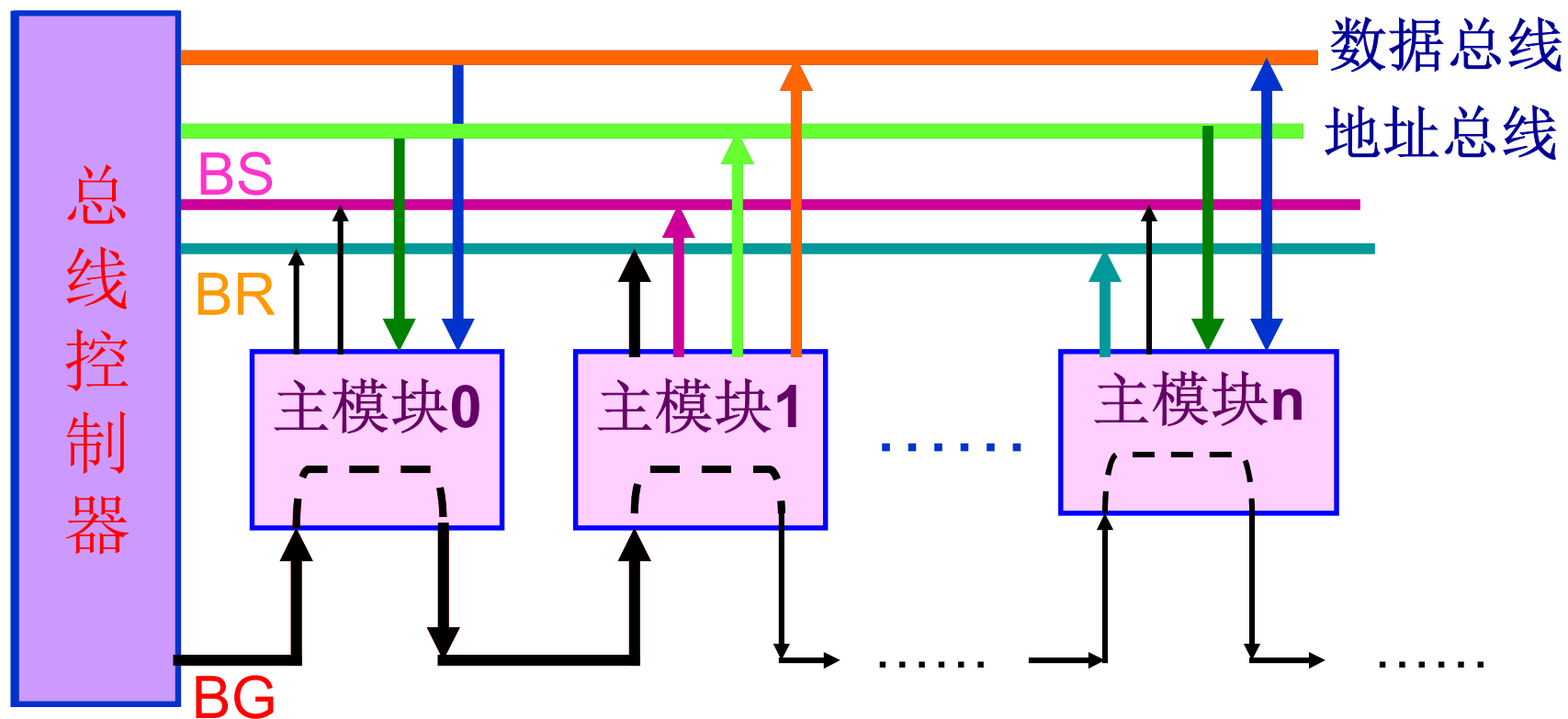


1. 主模块 1、主模块 n 同时请求，BR 有效；查询到主模块 1 时卡断 BG 信号；

链式查询 (续)

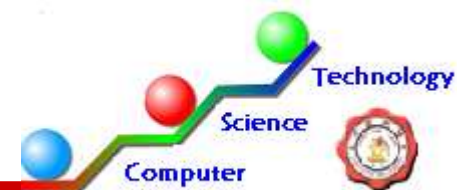


链式查询过程示意

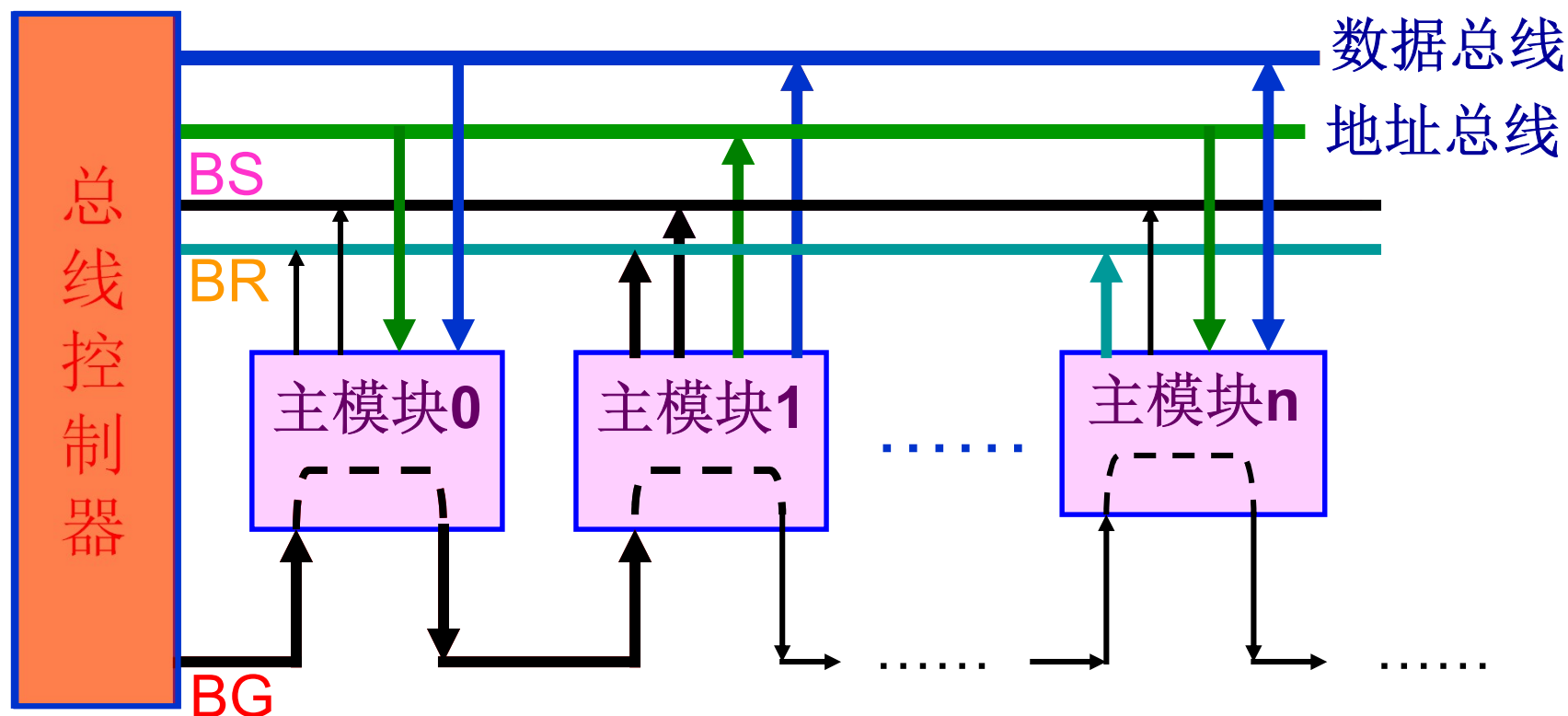


2. 主模块 1 发总线忙信号 BS，占用总线，BR、BG 撤消；

链式查询 (续)



链式查询过程示意



3. 主模块1 撤消 BS 信号，释放总线。总线控制器接收新的请求.....

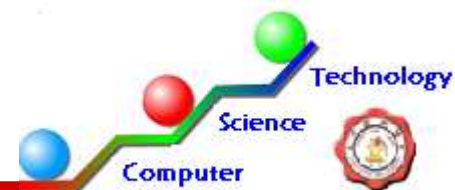
链式查询 (续)



链式查询方式的特点:

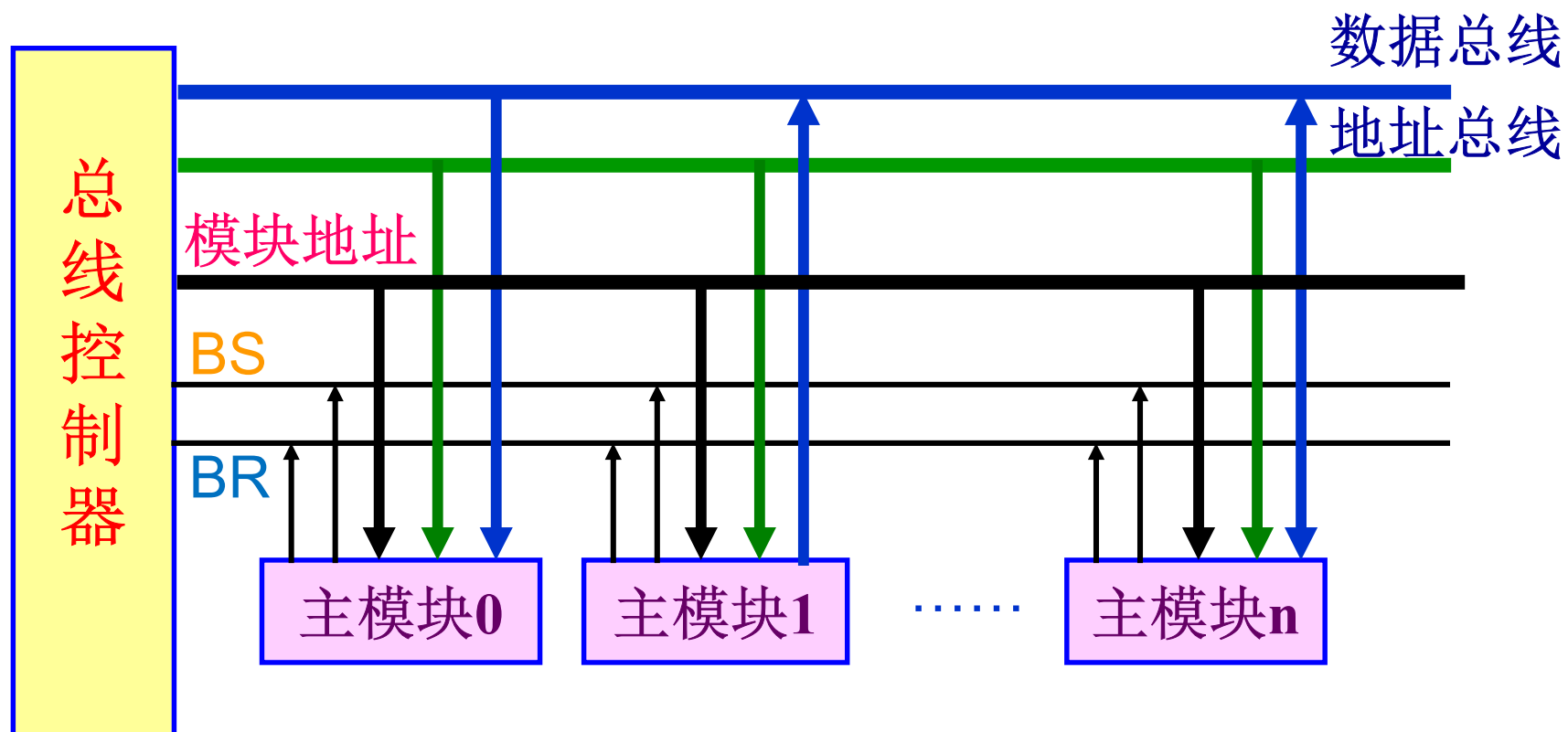
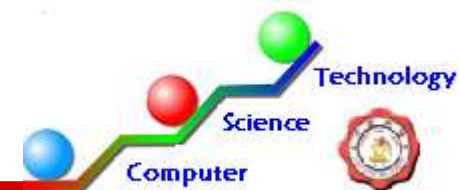
- ❑ 实现总线判优控制所需的信号线少（3根），结构简单，易于扩充。
- ❑ 查询速度慢，查询链路对电路故障敏感；优先级固定不变，使用灵活性差；优先级低的模块可能长期得不到响应，影响所带模块数量。

计数器定时查询



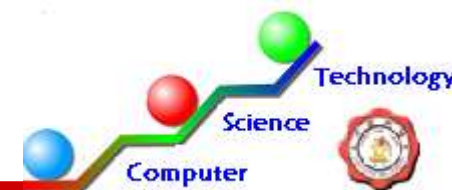
- **实现方法：**总线控制器中设一个**计数器**用作查询。
- **查询方法：**查询开始，计数器计数。每计一次数，就将计数值作为**模块地址**发往各个主模块。每个申请总线的主模块对地址进行识别，地址符合的模块获得总线控制权，停止计数。
- **优先级设定：**由计数初值决定最高优先级。
 - **查询时计数器从‘0’开始计数**，即0号主模块的优先级最高；
 - **查询时计数器从上一次查询的终止点开始计数**，则终止点优先级最高。此时优先级是循环的；
 - **计数初值由程序设定**，此时优先级可编程改变。

计数器定时查询 (续)

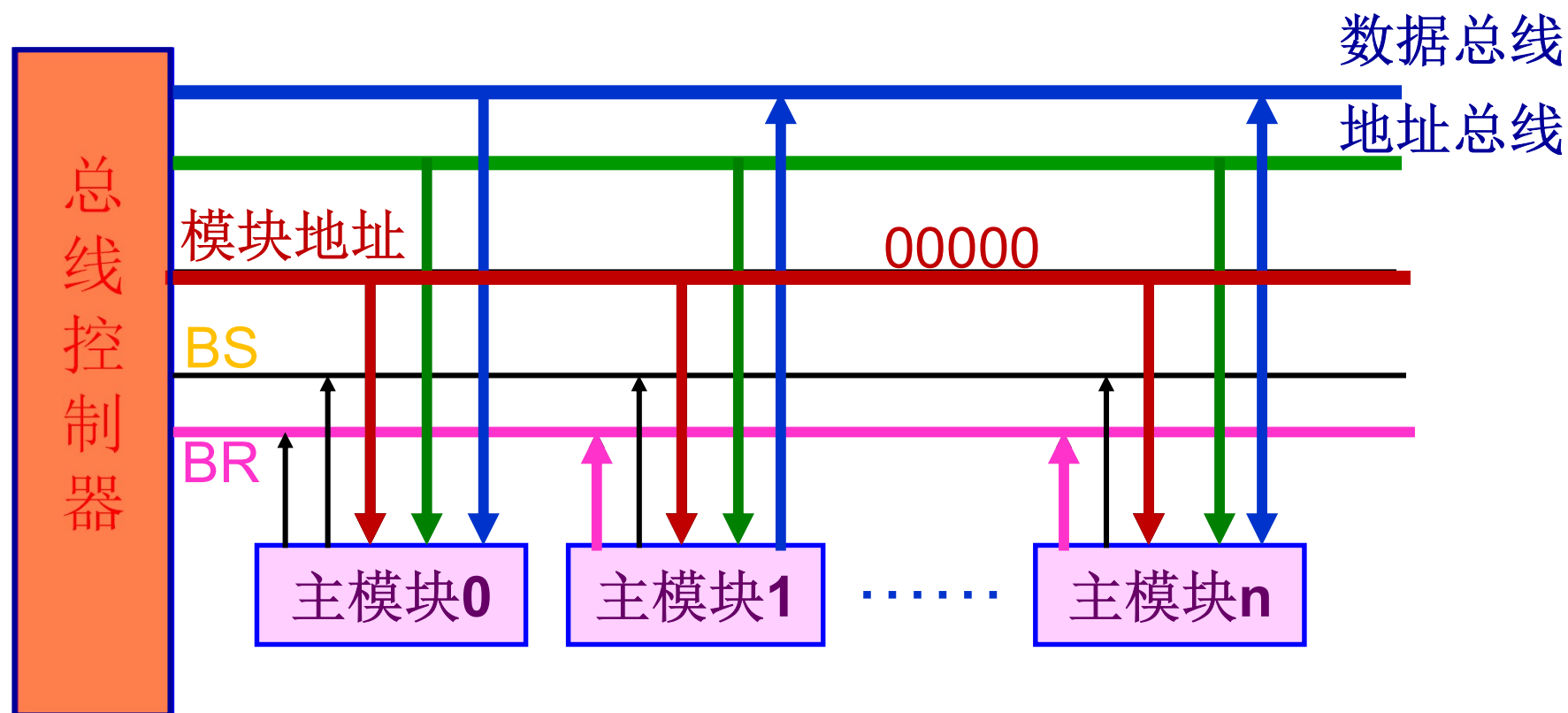


计数器定时查询方式结构框图

计数器定时查询 (续)

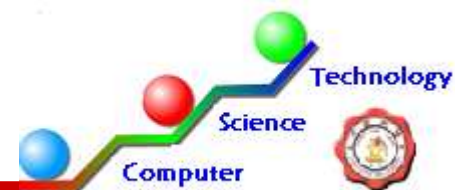


计数器定时查询过程示意

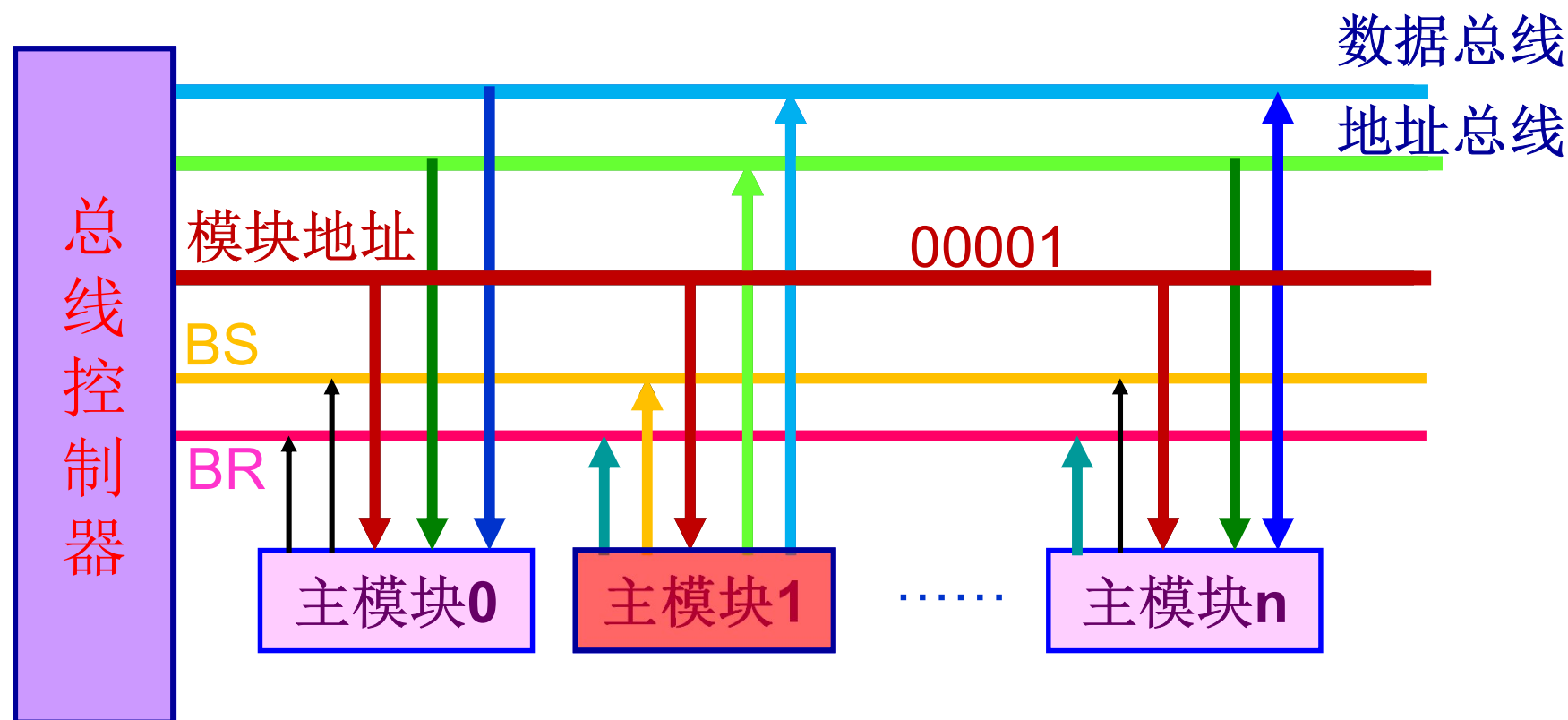


1. 多个主模块同时请求总线，计数器从0开始计数查询，0号地址没有模块响应；

计数器定时查询 (续)

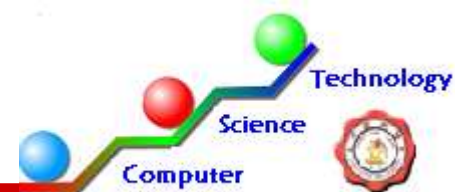


计数器定时查询过程示意



2、继续计数，主模块1符合，主模块1占用总线（细节略）.....

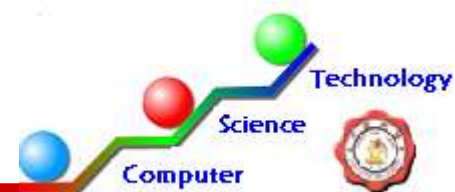
计数器定时查询（续）



计数器定时查询方式的特点：

- ❑ 优先级设置灵活，对电路故障不如链式查询敏感。
- ❑ 但控制线数增加（模块地址线），控制过程复杂性增加，导致硬件开销增加。

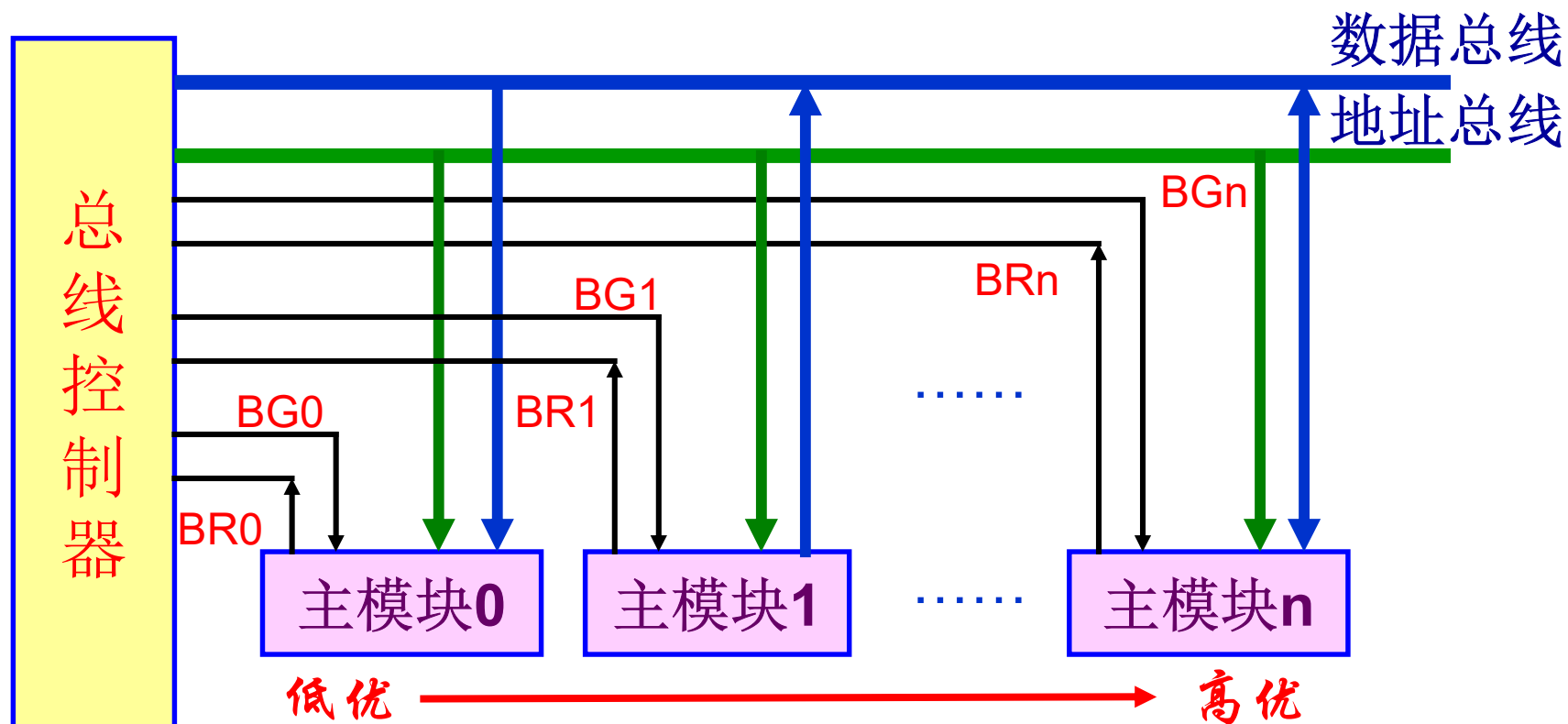
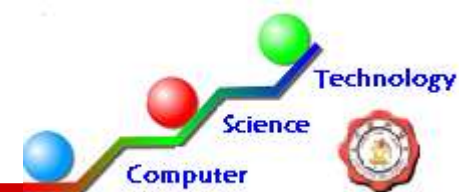
独立请求



- ❑ 每一个主模块**专门**有一根 BR 线和 BG 线，各自通过**独立的**请求线向总线控制器发请求；
- ❑ 总线控制器里设置**并行排队**线路，同时接收各模块发来的请求信号并同时进行排队判优；
- ❑ 通过**各自独立的回答线**发出总线同意信号 BG。

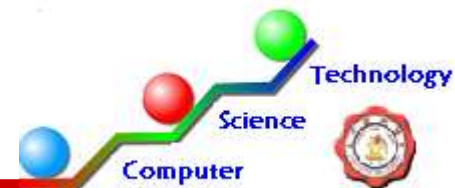
特点：响应**速度快**；硬件**开销最大**（相比之下控制线数更多，控制更复杂）。

独立请求 (续)

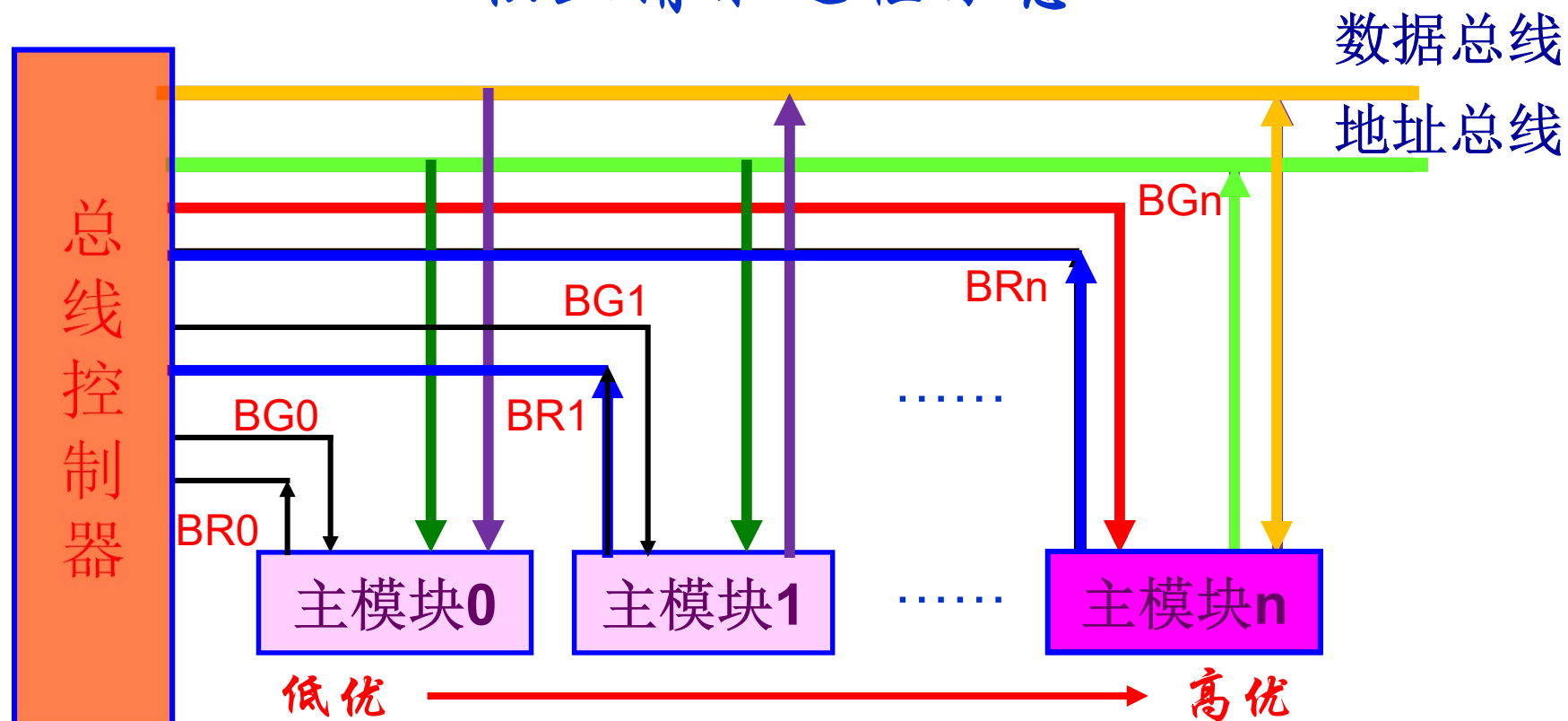


独立请求方式结构框图

独立请求 (续)

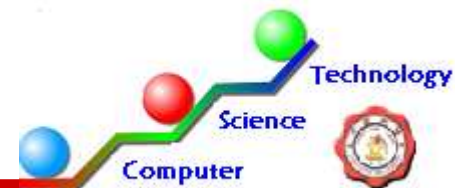


独立请求过程示意



主模块1、主模块 n 同时请求总线，主模块 n 占用总线（细节略）.....

总线通信方式

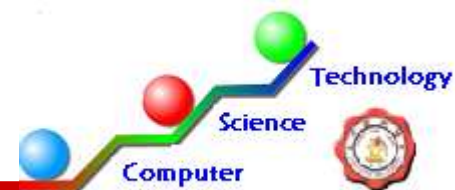


一次总线传输操作涉及到多个部件，由于各部件的处理速度不同，所以需要进行时间上的协调，所采用的协调方式称为总线的定时方式或者通信方式。

一次总线操作的全过程：**4个阶段**

- ❑ **申请分配阶段**：主模块申请总线，控制器总线判优、分配总线控制权；
- ❑ **寻址阶段**：主模块获得总线控制权，通过总线向从模块发地址，发读/写命令，启动从模块工作；
- ❑ **传送阶段**：主—从模块间通过总线进行数据交换，交换方向由主模块发出的读/写命令决定；
- ❑ **结束阶段**：主模块撤除发在总线上的信号，让出总线使用权。

总线通信方式 (续)



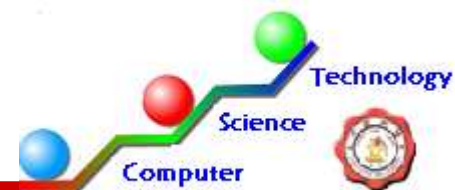
总线周期的概念：一次完整的总线传送操作所需时间称为总线周期。

总线周期的基本类型：

内存读、内存写、外设读、外设写

- ❑ **正常总线周期：**由一次地址传送时间和一次数据传送时间组成。
- ❑ **BURST（猝发）总线周期：**由一次地址传送时间和多次数据传送时间组成。
- ❑ **总线的等待状态：**在正常总线周期中，若由于被读写的部件速度慢，一次数据时间内不能完成读写操作，就要增加一个或多个数据时间，增加的数据时间被称为总线的等待状态。

总线通信方式（续）



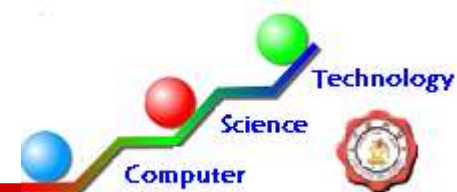
总线上数据的读/写方向是相对于主模块而言。

- **读**：由从模块发送，主模块接收。即从主模块的角度看是读入（接收）；
- **写**：由主模块发送，从模块接收。即从主模块的角度看是向对方写（发送）

例如：

- **主存读（写）** 通常指 CPU 作为主模块读（写）主存，或者，I/O 接口作为主模块读（写）主存。
- **外设读（写）** 通常指 CPU 作为主模块对 I/O 设备进行读（写）。

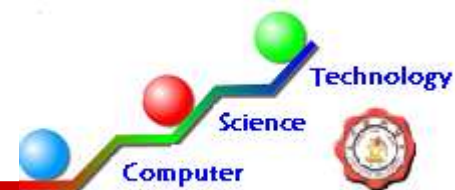
总线通信方式 (续)



常用总线通信方式：4种。

- ☐ 同步通信
- ☐ 异步通信
- ☐ 半通同步通信
- ☐ 分离式通信

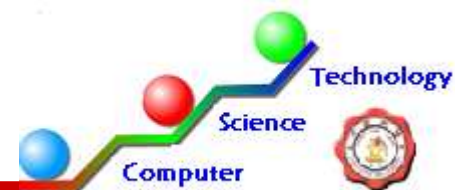
同步通信



通信双方使用统一的时钟信号来控制数据的传送过程。

- ❑ **时间分配**：一个总线周期中分配的时钟个数是**固定的**，每个时钟的用途对于任一模块都是一**样的**，不管模块的操作速度是否一致，所有总线周期的时间是一**致的**（设计时必须按**最慢的**模块、最长的距离来安排公共时钟周期时间）。
- ❑ **特点**：**控制简单**；当系统中各部件速度差异较大时，严重影响总线工作效率；**灵活性差**；适合于短距离、各部件速度较接近的场合。

同步通信（续）



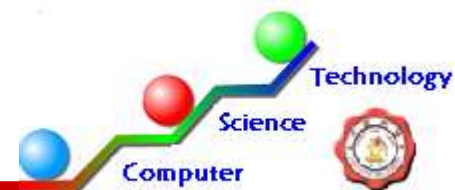
同步通信过程举例 1:

假设一个总线周期由4个时钟周期组成。

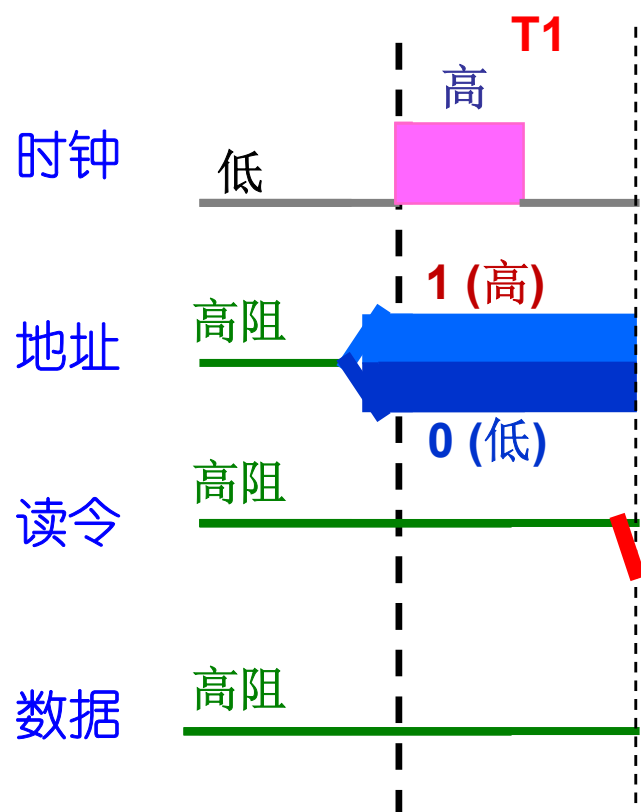
总线读周期：（数据输入）

- T1:** 主模块通过总线向从模块发送地址；
- T2:** 主模块通过总线向从模块发送读令；
- T3:** 从模块通过总线向主模块发送数据；
- T4:** 主模块撤消读令、地址。

同步通信 (续)

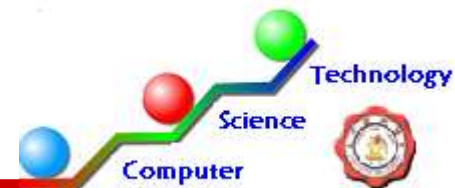


总线读周期时序:

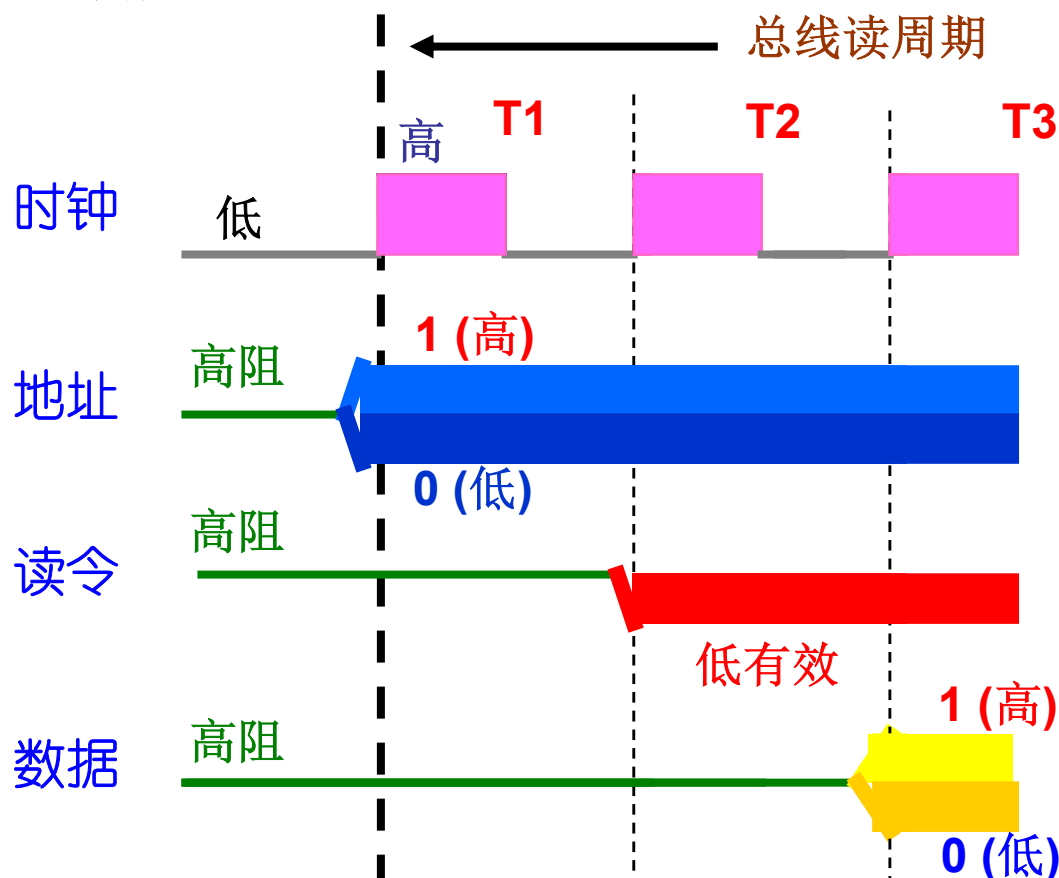


T1: 主模块发送地址, 地址总线上信号变有效;

同步通信 (续)



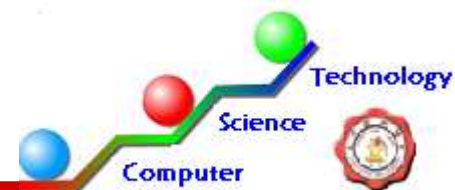
总线读周期时序:



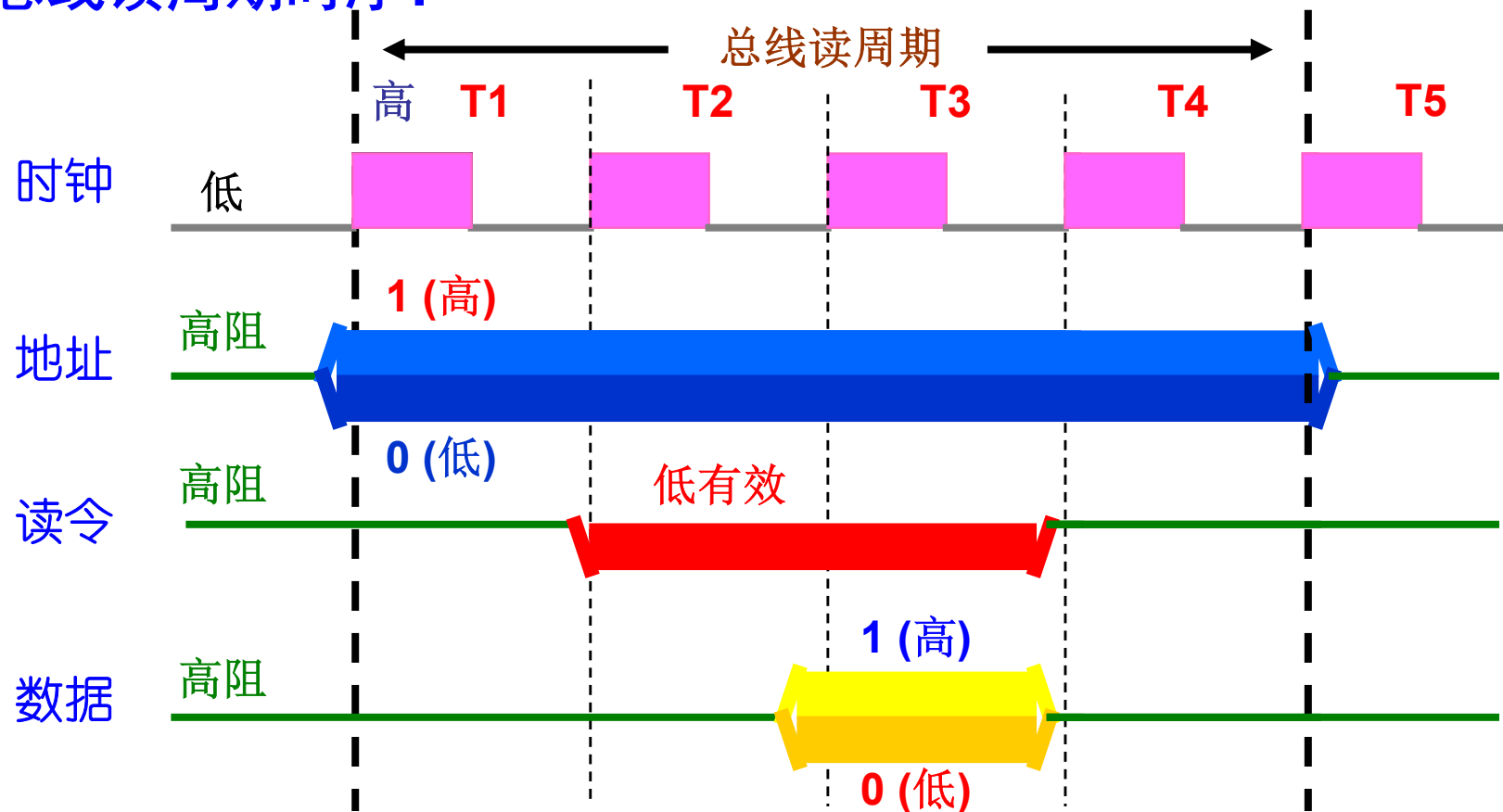
T2: 主模块发读令, 控制线上**读令有效**, 启动从模块读;

T3: 从模块发送数据, 数据总线上信号变**有效**;

同步通信 (续)



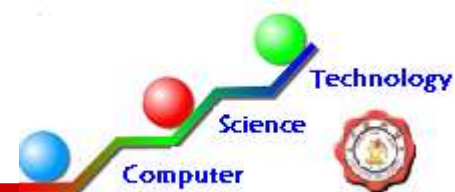
总线读周期时序:



T4: 主模块撤消读令、从模块撤消数据;

T5: T5前沿到来, 读周期结束, 主模块撤消地址。

同步通信 (续)



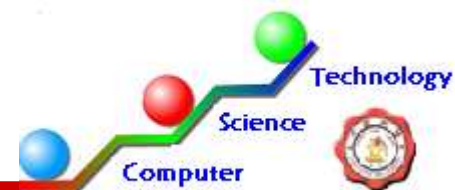
同步通信过程举例 2:

假设一个总线周期由4个时钟周期组成。

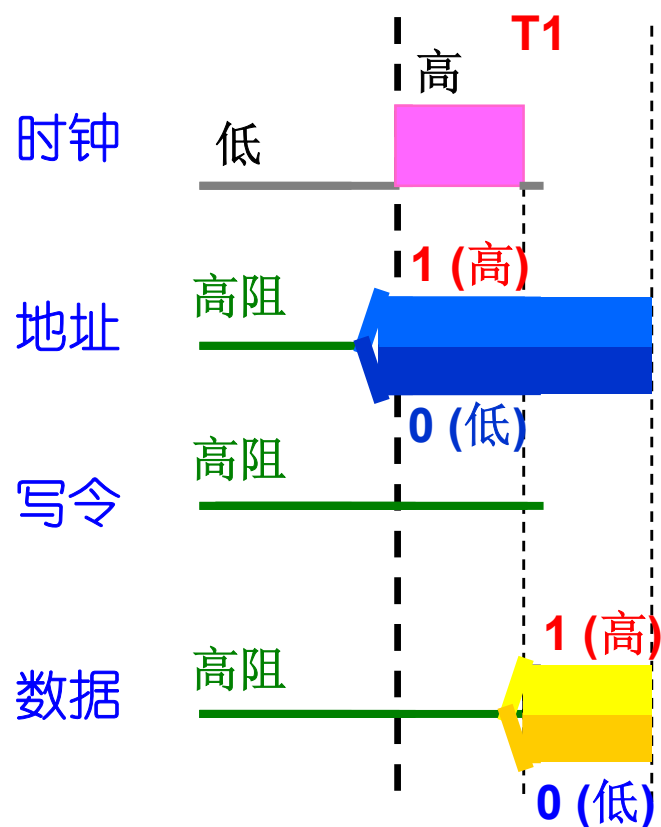
总线写周期: (数据输出)

- T1:** 主模块通过总线向从模块发送地址;
- T1.5:** 主模块通过总线向从模块发送数据;
- T2:** 主模块通过总线向从模块发写令;
- T3:** 等待从模块接收数据;
- T4:** 主模块撤消总线上的写令、地址和数据。

同步通信 (续)



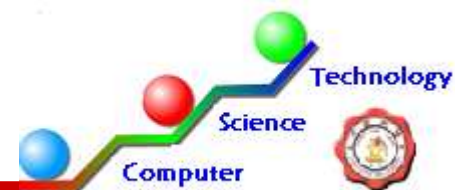
总线写周期时序:



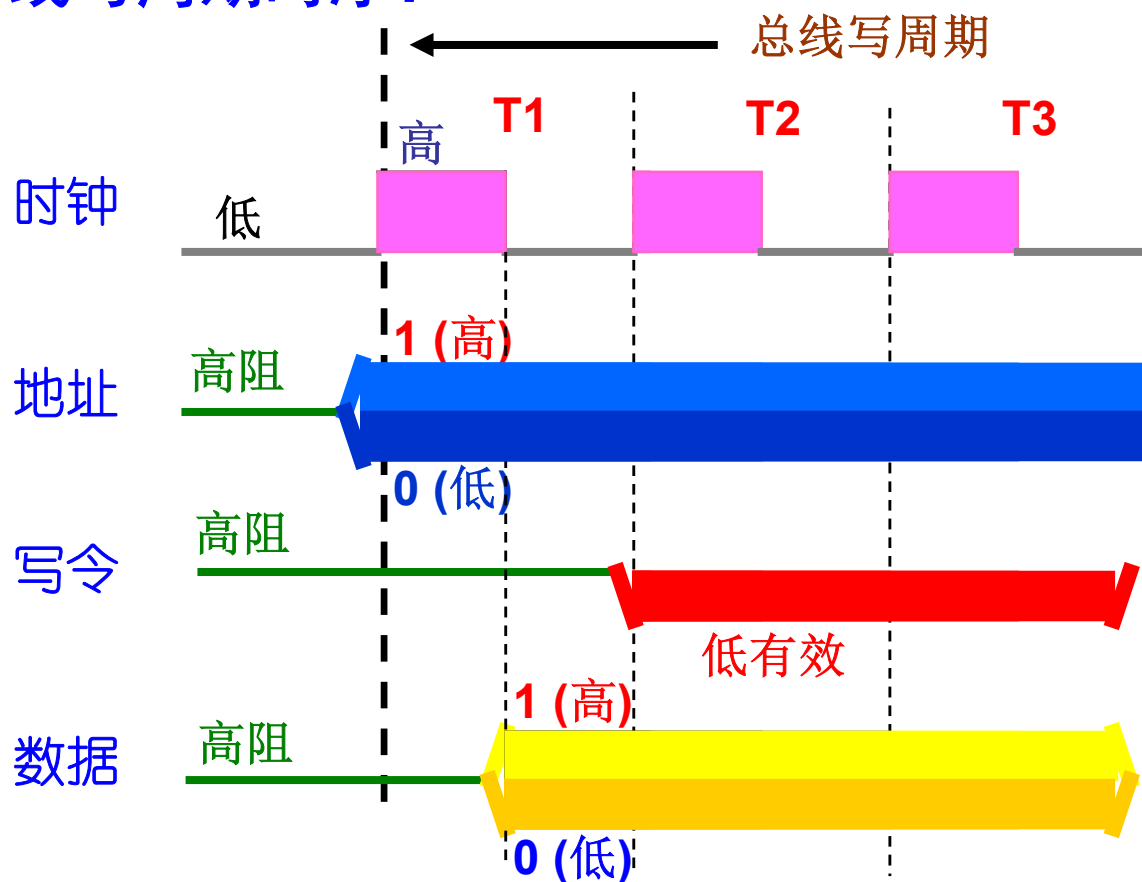
T1: 主模块发地址, 地址总线上信号变有效;

T1.5: 主模块发数据, 数据总线上信号变有效;

同步通信 (续)



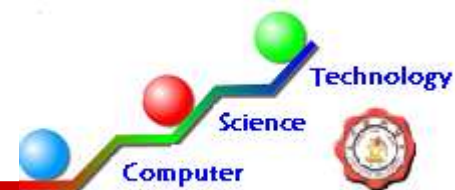
总线写周期时序:



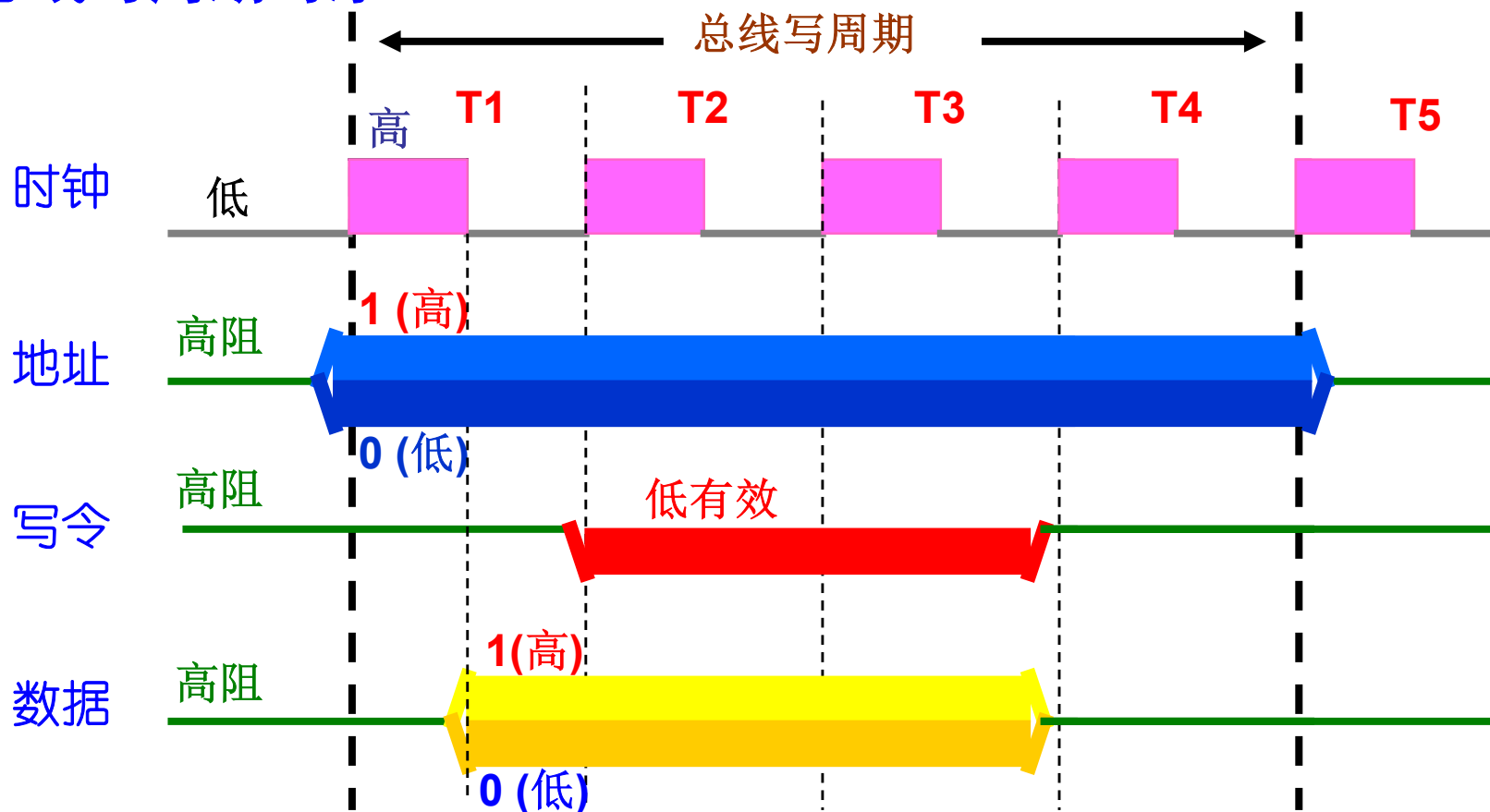
T2: 主模块发写令, 控制总线上信号有效;

T3: 等待从模块接收数据, 总线上信号保持;

同步通信 (续)



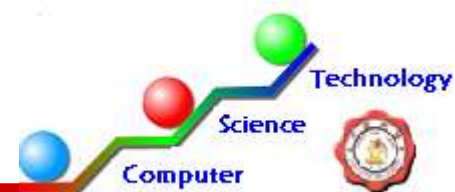
总线写周期时序:



T4: T4前沿到来, 主模块撤消总线上的写令和数;

T5: T5前沿到来, 主模块撤消地址, 写周期结束。

同步通信 (续)



同步通信性能举例：

假设总线的时钟频率为100MHz，总线周期为4个时钟周期，总线宽度为32位，试求总线的数据传输率。若想提高一倍数据传输率，可采用什么措施？

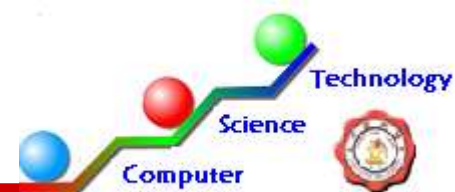
解：总线时钟周期 $= 1/100\text{MHz} = 0.01\mu\text{s}$

总线周期 $= 0.01\mu\text{s} \times 4 = 0.04\mu\text{s}$

总线宽度 $= 32\text{位}/8 = 4\text{B}$

总线的数据传输率 $= \text{总线宽度}/\text{总线周期}$
 $= 4\text{B}/0.04\mu\text{s} = 100\text{MB/s} \text{ (100MBps)}$

同步通信（续）

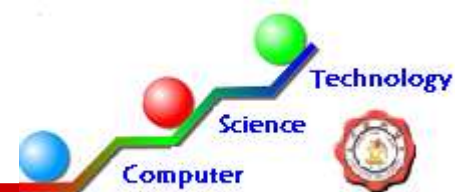


欲将数据传输率提高一倍，有三个方案：

1. **总线宽度**扩大一倍，改为 64位（8B）；
2. 总线的**时钟频率**提高一倍，改为200MHz；
3. **总线周期**缩短一半，改为2个时钟周期。

结论：在同步通信的总线系统中，总线周期越短，总线宽度越宽，总线数据传输率越高。

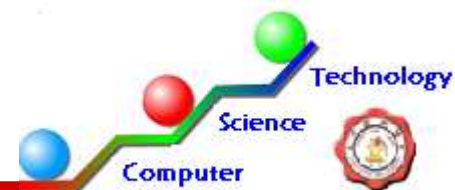
异步通信



异步通信是和同步通信完全对立的通信方式，通信双方无统一的时钟标准来控制数据的传送过程，各部件可按各自所需的实际时间使用总线。

- 时间配合：主/从部件间采用应答（握手）方式建立联系，因此，主/从模块间要增加两条应答信号线。
- 特点：总线周期的长短可随主/从模块的实际工作时间变化，因而当系统中各部件速度差异较大时，总线工作效率比同步通信高得多，但控制复杂，比同步通信难实现。

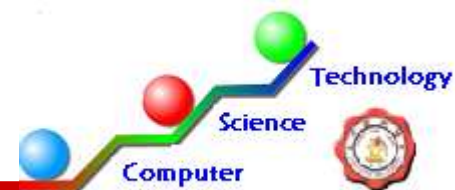
异步通信 (续)



异步通信根据应答信号配合的**完善程度**，分为三类：

- ☐ 不互锁方式
- ☐ 半互锁方式
- ☐ 全互锁方式

异步通信——不互锁方式

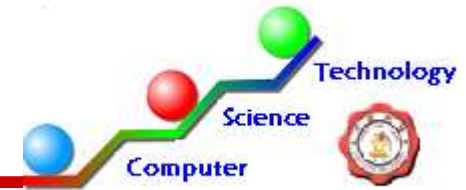


不互锁是一种**不完善的**应答方式，其通信过程如下：

- ❑ 主模块向从模块发出请求信号，**不等待**从模块的回答信号，经过一段时间后，默认从模块已收到请求信号，并**自动撤消请求信号**。
- ❑ 从模块在接到请求信号后，在条件允许时(完成操作)向主模块发出回答信号，但不要求主模块在接收到回答信号后发出确认信号，而是经过一段时间后，**自动撤消回答信号**。

问题：应答过程实际上是**单方面**的，彼此之间并无**相互制约机制**，因此**可靠性差**。

异步通信——半互锁方式

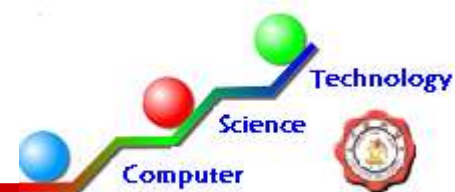


在应答关系的**完善性**上进了一步。通信过程如下：

- ❑ 主模块发出请求信号，然后等待，直到接收到从模块的**回答信号后才撤消请求信号**。
- ❑ 从模块发送回答信号的过程还**和不互锁方式一样**，因此称为半互锁方式。

这种方式下交换双方之间的相互制约机制还不完善，但与不互锁方式相比可靠性有所提高。

异步通信——全互锁方式

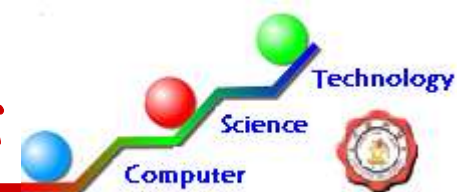


一种**最完善的**应答方式。其通信过程如下：

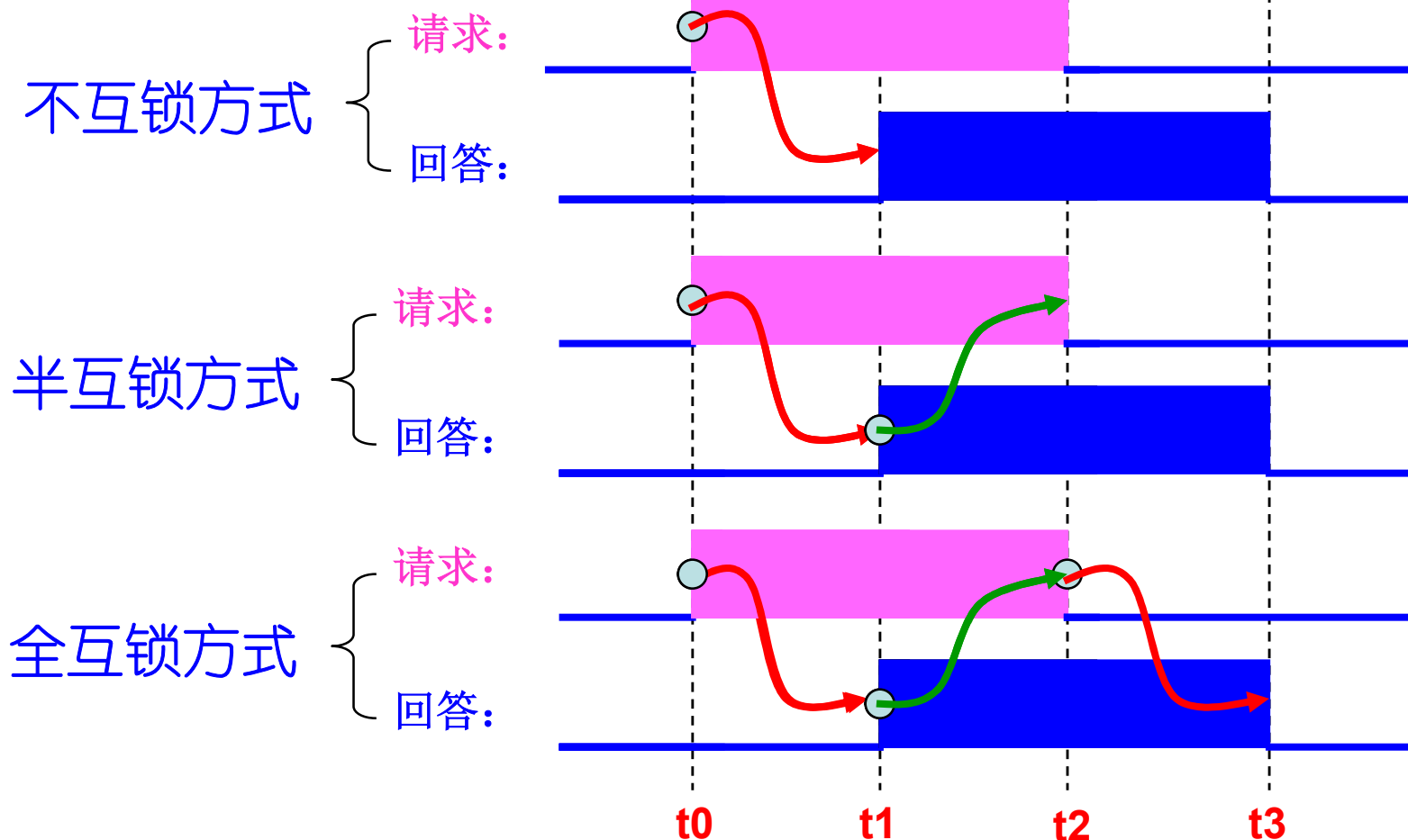
- ❑ 主模块向从模块发出请求信号后，**一直等到接收到从模块的回答信号后才撤消请求。**
- ❑ 从模块向主模块发出回答信号后，**一直等到请求信号撤消后，才撤消回答。**

这种方式的可靠性最高！

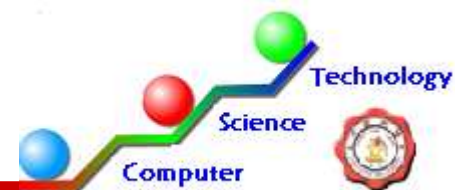
异步通信——三种互锁方式比较



三种方式的时序：



异步通信 (续)



异步通信过程举例：异步全互锁读操作时序

地址 高阻

读令 高阻

数据 高阻

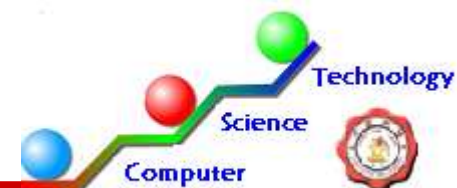
主同步 高阻

从同步 高阻

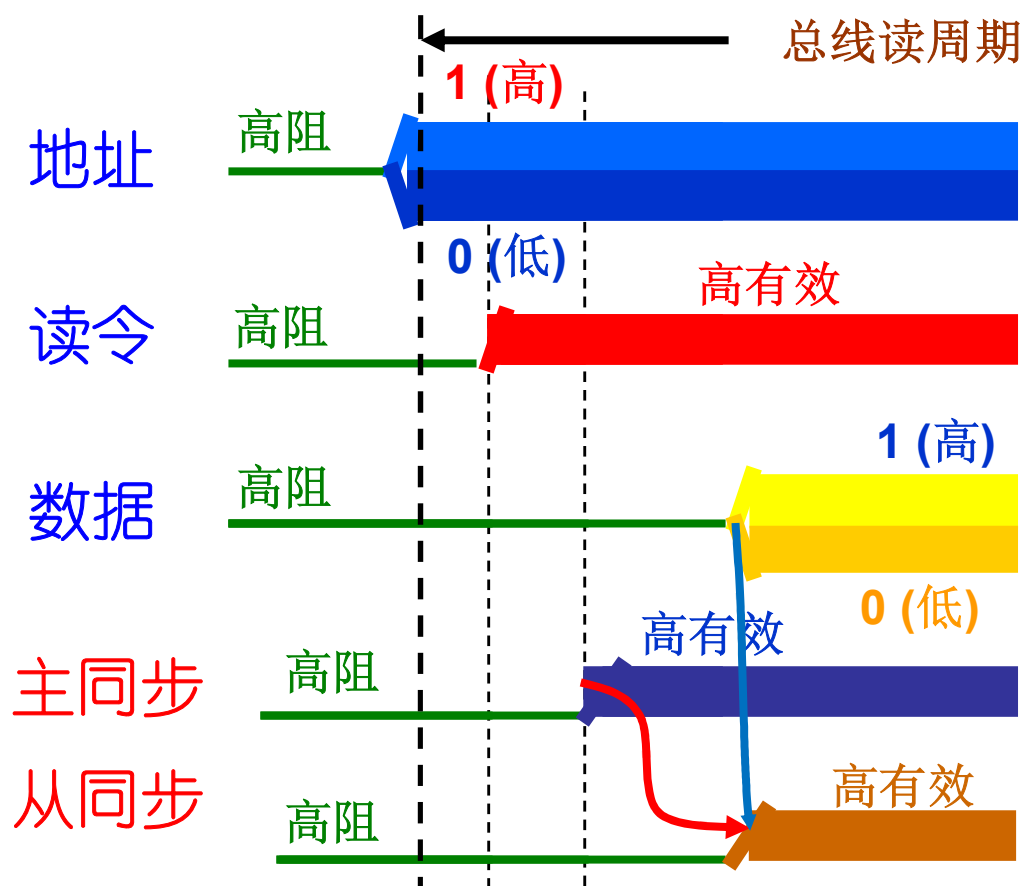
设 CPU 为主模块，主存为从模块，“主同步”是 CPU 向主存发的访存请求信号，“从同步”是主存向 CPU 发的响应回答信号。

0) 初始所有信号全部无效;

异步通信 (续)



异步通信过程举例：异步全互锁读操作时序

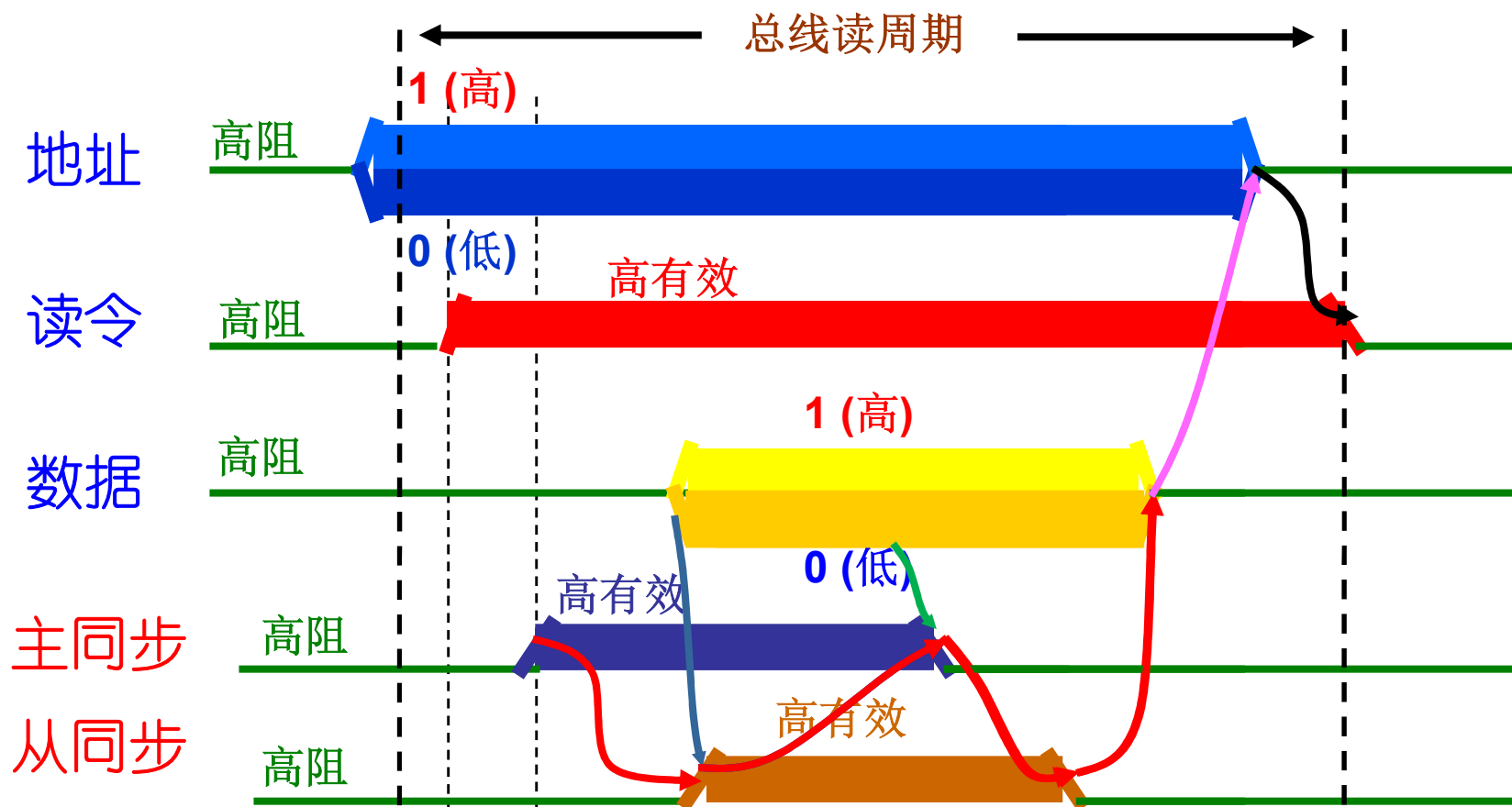


- 1) CPU向主存发送地址、读令、主同步，主存发从同步响应，并发送数据；

异步通信 (续)

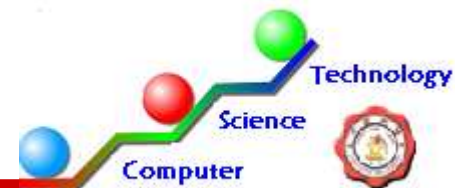


异步通信过程举例：异步全互锁读操作时序



2) CPU接到从同步后，读数据，并撤消主同步；然后MM撤消从同步、数据；最后CPU撤消地址和读令。

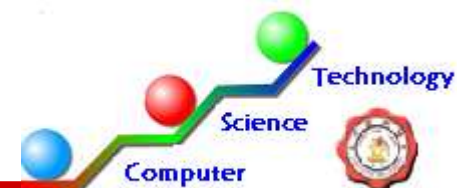
半同步通信



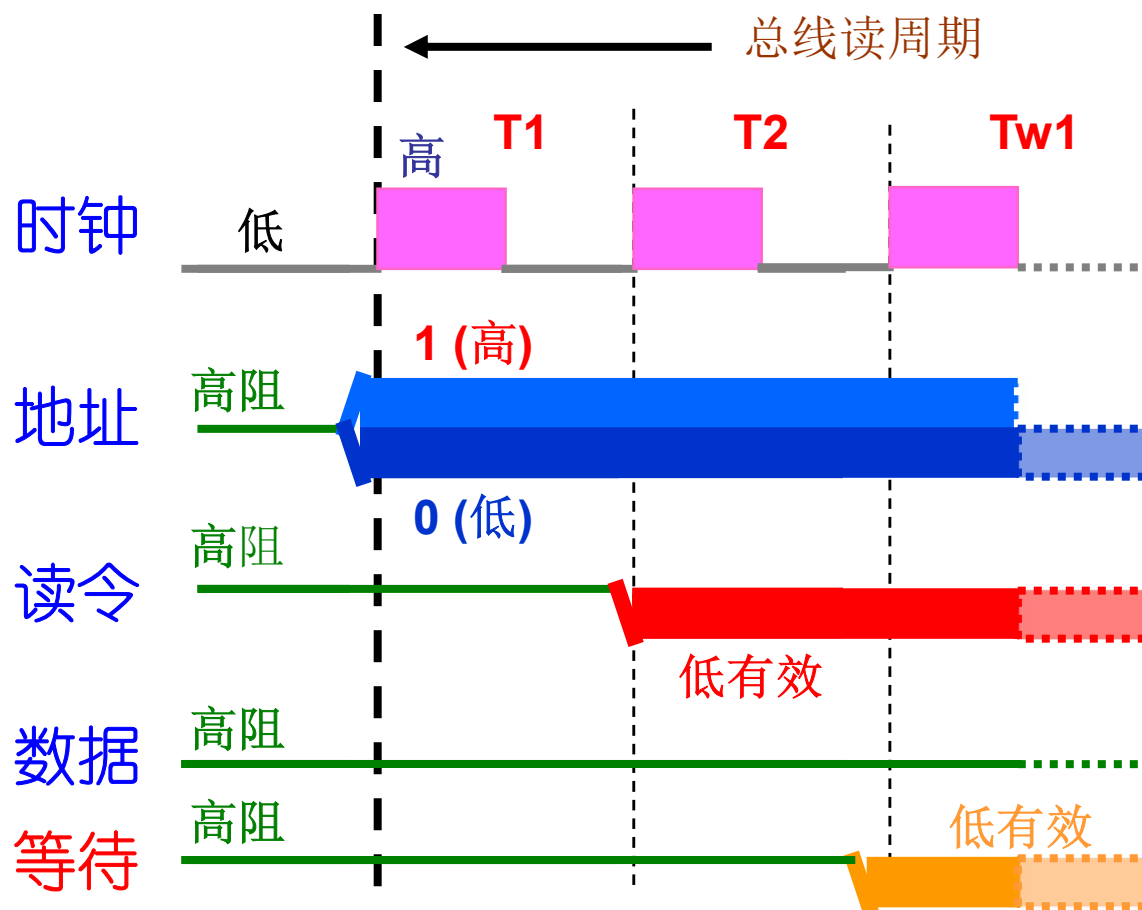
同步通信和异步通信结合的方式。以同步通信为基础，设立系统时钟对总线操作进行控制。正常总线周期满足大多数部件的速度要求。对于少数特别慢速的部件，可根据需要插入若干个‘等待’时钟，以使总线周期得到延长。

- ❑ 需增加一条“等待”状态信号线（-WAIT），以控制是否进入“等待时钟周期”。
- ❑ 保留了同步通信控制简单的优点，又吸收了异步通信时间分配灵活的优点，实用性很强。但工作效率仍无异步通信高。适用于工作速度不高，部件速度差异较大的简单系统。

半同步通信



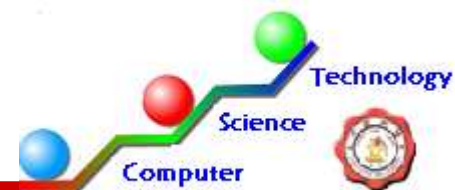
半同步通信过程举例：读周期时序



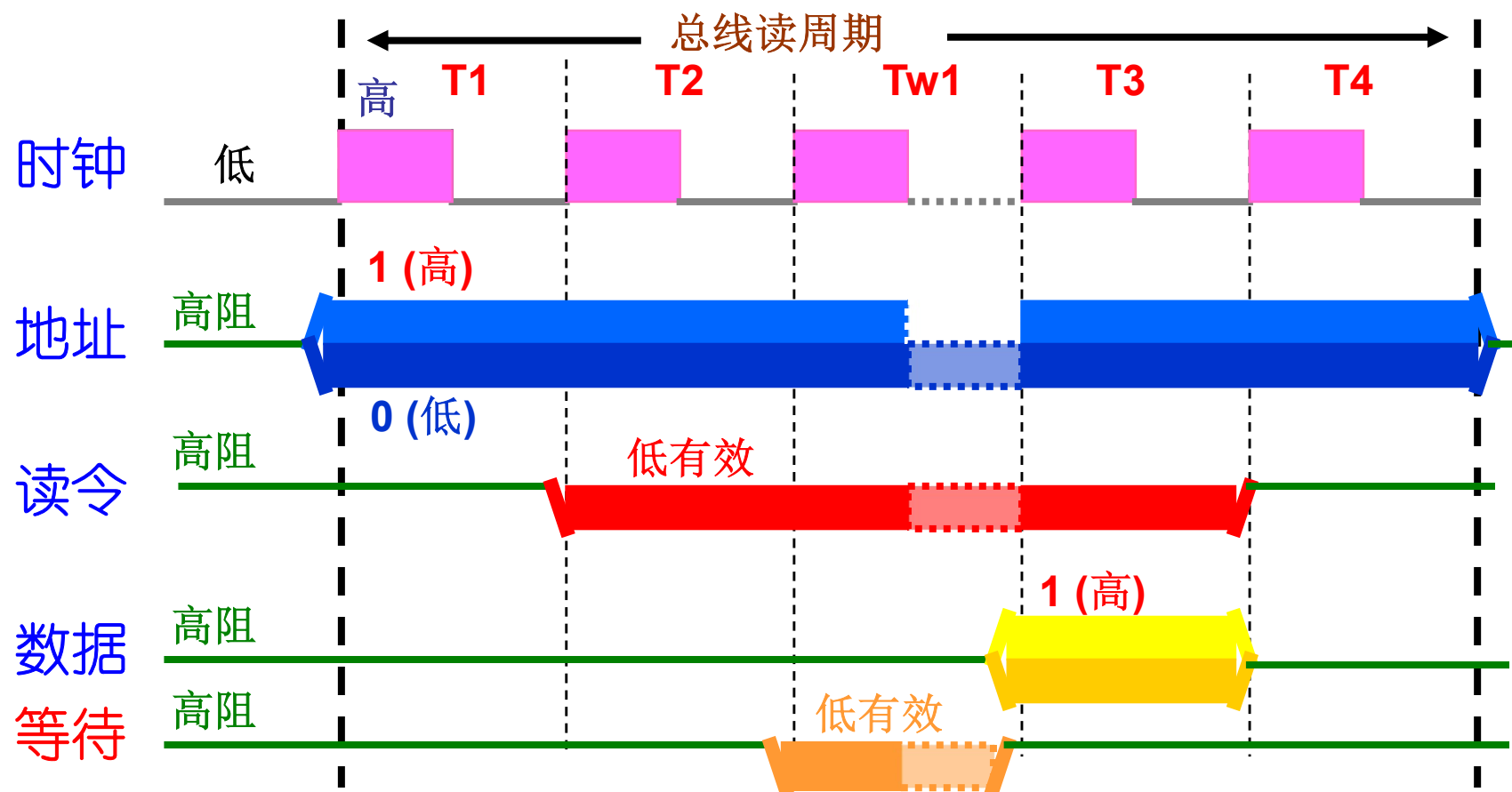
T1: 主模块发地址; T2: 主模块发读令;

Tw1: 等待信号有效, 进入等待周期, 等待从模块读出数据;

半同步通信



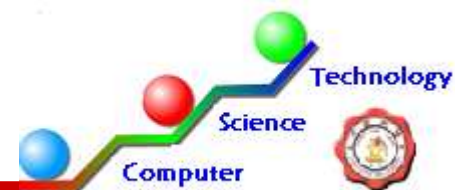
半同步通信过程举例：读周期时序



T3: 结束等待, 从模块发送数据, 主模块从总线取数据;

T4: 主模块撤消读令, 从模块撤消数据; T5: 读周期结束。

分离式通信

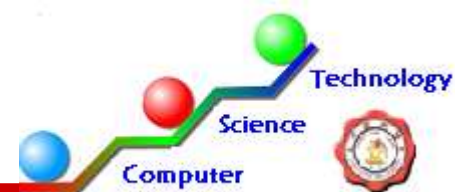


常规总线周期操作步骤：三步

- ☐ 主模块使用总线：发地址、命令、数据（写）等；
- ☐ 从模块按主模块的命令进行操作准备；
- ☐ 从模块使用总线：发数据（读）、接收数据（写）等。

其中，第二步期间，总线空闲，时间浪费！

分离式通信 (续)



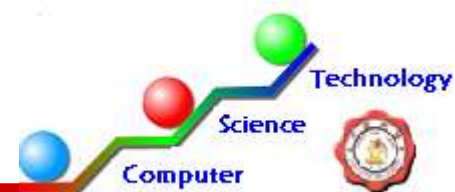
分离式通信思想：将一个总线周期分为两个子周期

□ 第一个子周期

- 主模块A获得总线使用权，通过总线向从模块B发送地址、命令、数据（写）等信息，**并把自己的地址也发过去**。一旦B接收，A立即释放总线。
- B接到A的信息后，进行传送准备工作（不占用总线）直到完成。

□ 第二个子周期

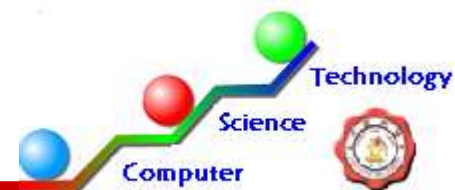
- B在准备工作完成后**申请总线**，当获得总线使用权后，通过总线向A发送地址、数据（读）以及自己的地址，然后释放总线。



第四章 总线与输入输出系统

- 4.1 总线的分类
- 4.2 总线管理和控制
- 4.3 总线结构和标准
- 4.4 输入输出系统
- 4.5 I/O设备
- 4.6 I/O接口
- 4.7 I/O数据传送控制方式

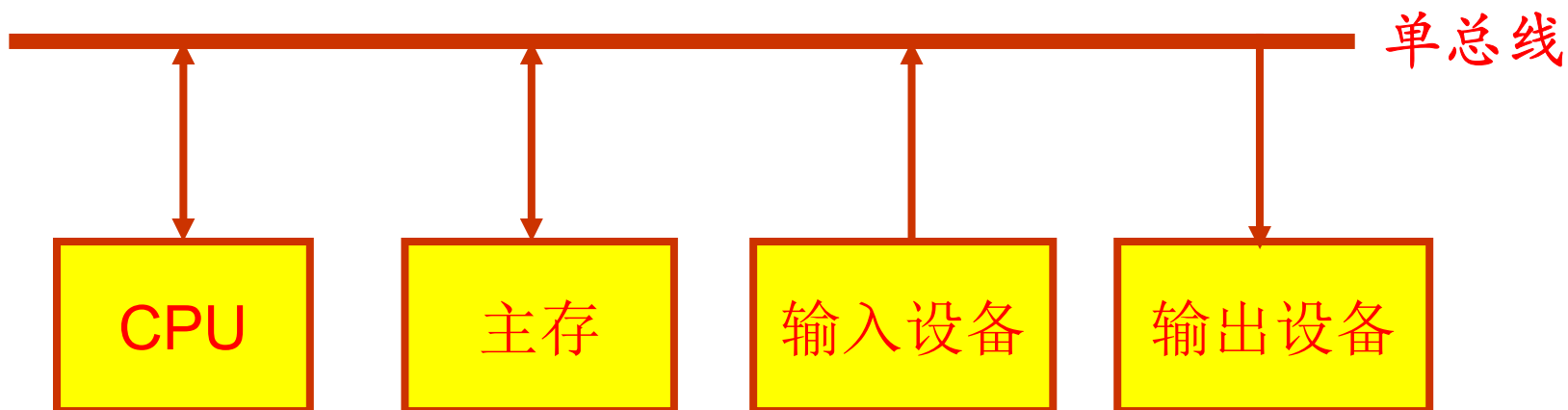
总线结构



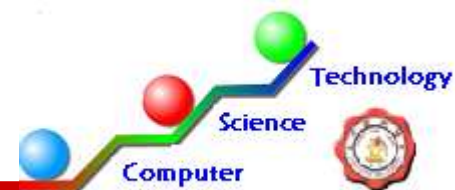
总线结构通常可以分为单总线结构和多总线结构两种。

□ 单总线结构

- 系统中使用**唯一**的一条总线（包括数据总线，地址总线，控制总线）连接所有的部件和设备。
- 早期的小型机、微型机常采用这种结构。
- **优点**：结构简单，成本低廉，便于扩充。
- **缺点**：各部件只能**分时使用**总线，运行效率低。



总线结构（续）

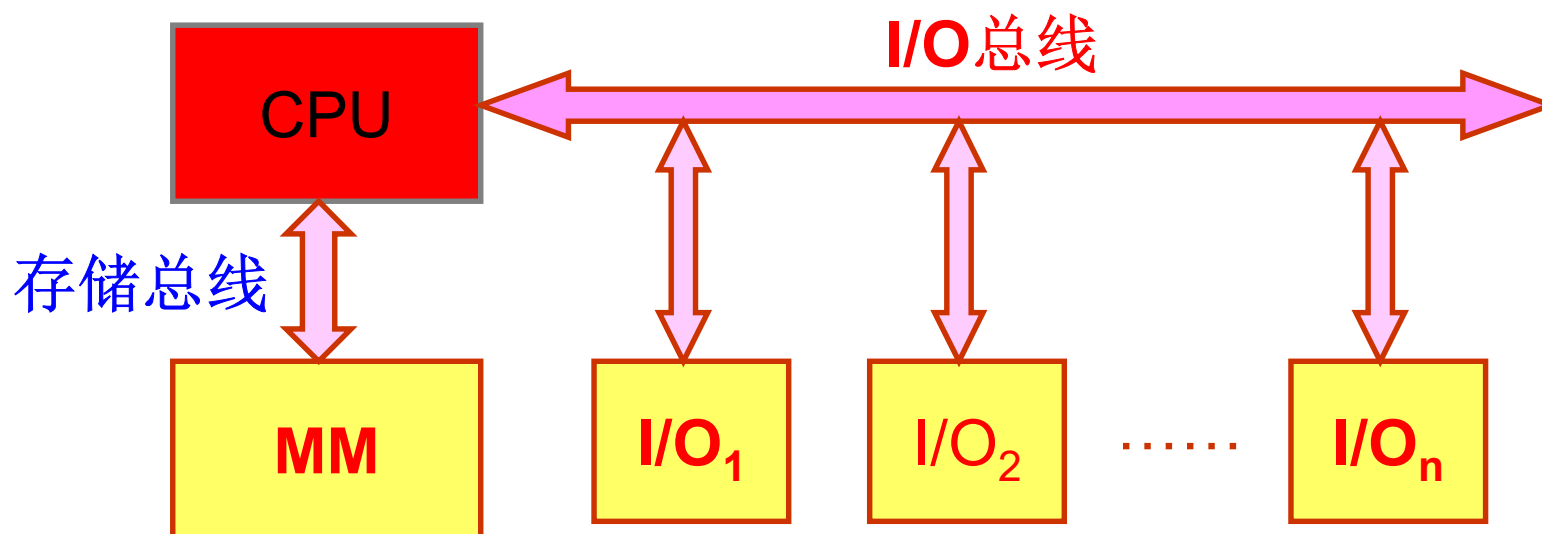


□ 多总线结构

系统中含有两条以上的总线。

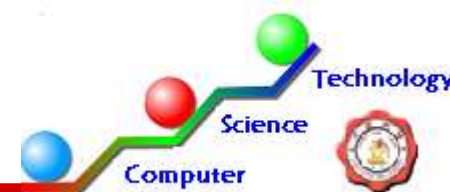
○ 双总线结构

以CPU为中心的双总线结构：

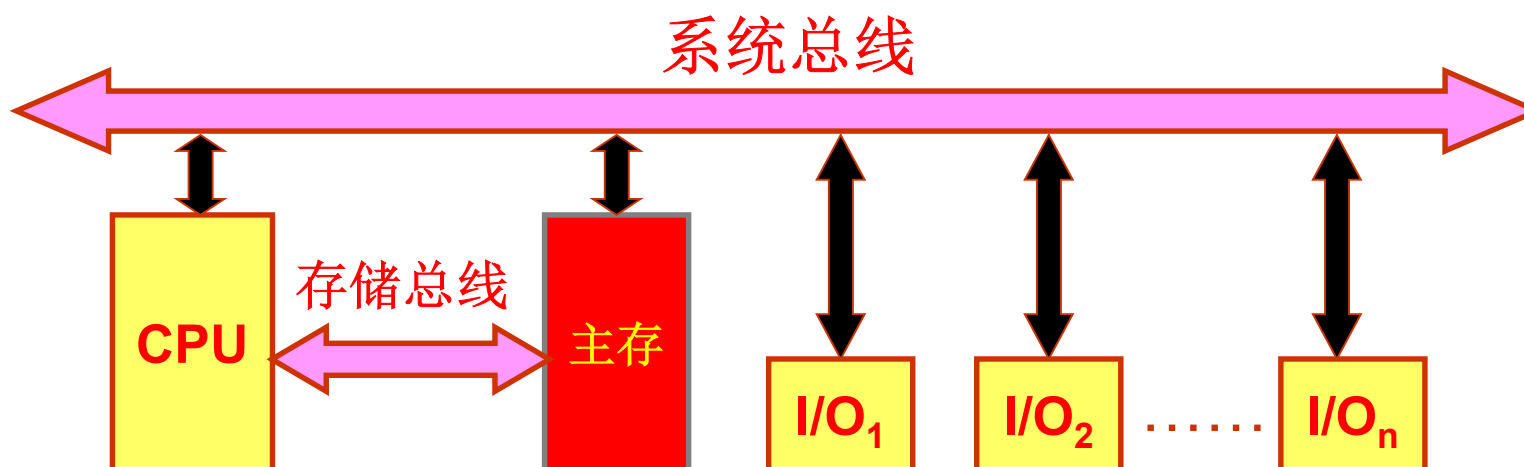


特点： CPU与主存间可快速交换信息，但I/O设备与主存不能直接交换信息。

总线结构（续）

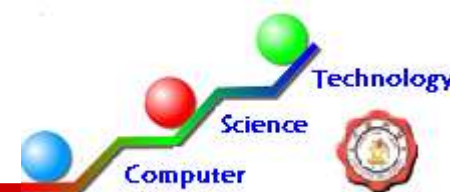


以存储器为中心的双总线结构：



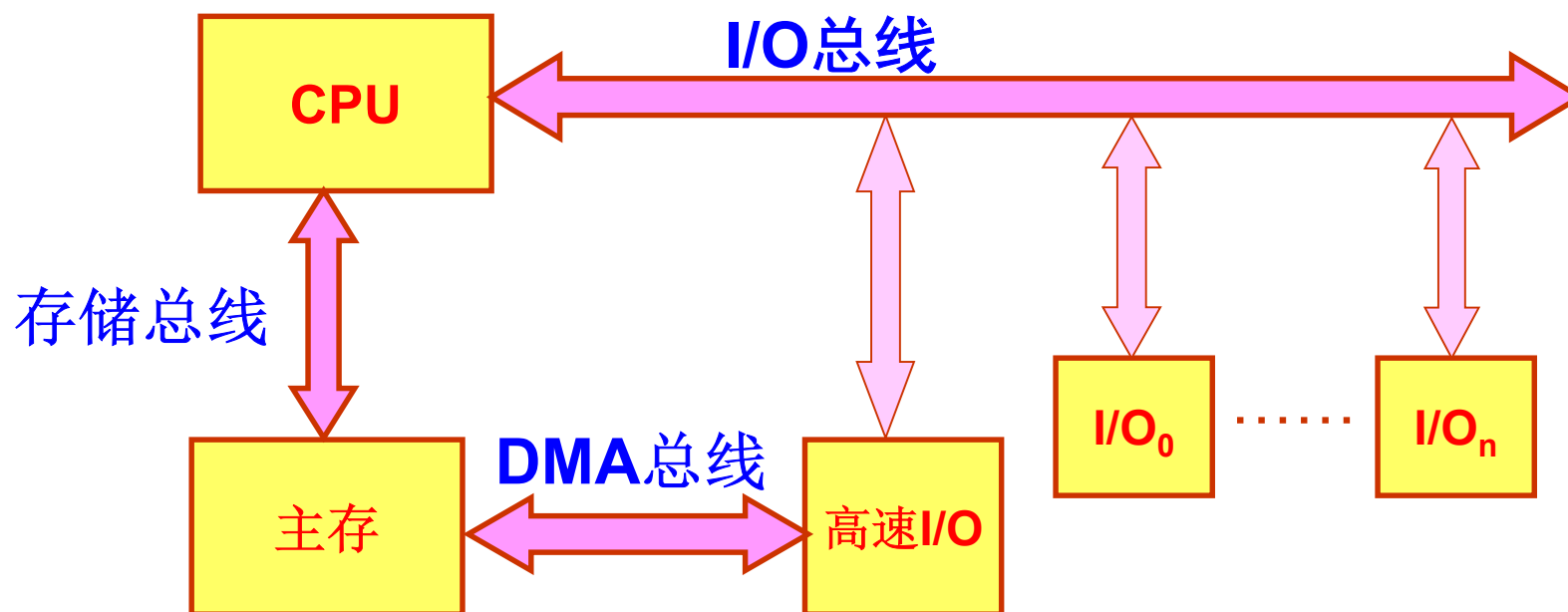
特点： CPU与主存间既有快速通道，I/O设备又可直接和主存交换信息，但CPU与I/O不能同时访存。

总线结构（续）



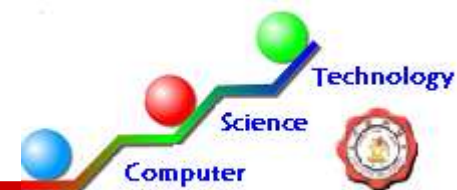
○三总线结构

在以CPU为中心的双总线结构基础上增加一条DMA总线，可得一种三总线结构：



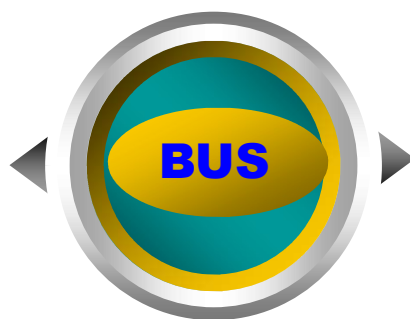
特点：向CPU访存提供快速通路。

总线结构 (续)



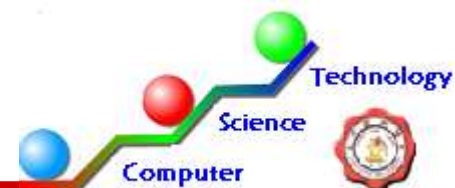
○总线结构对系统性能的影响

系统中总线条
数越多，系统
并行性越好，
工作效率越高，
结构越复杂，
造价越高。



系统中总线条
数越少，越强
调分时使用总
线，工作效率
越受影响，结
构越简单，成
本越低。

总线标准



为了使不同厂家生产的各类模块化产品具有较好的**兼容性**和**互换性**，计算机行业制定了总线标准。

□ 总线特性

○ 机械特性

指总线在机械连接方式上的一些特性，通常包括总线连接插座和插头所使用的标准。

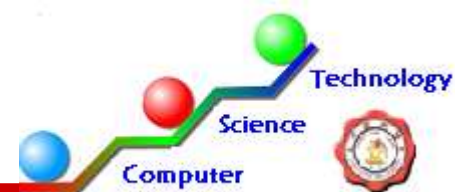
○ 电器特性

指总线的每一根传输线上信号的传递方向和有效电平范围等。

○ 功能特性

功能特性是指总线上所传信号的功能。系统总线从功能上又可以分为地址总线、数据总线和控制总线。

总线标准 (续)



○时间特性

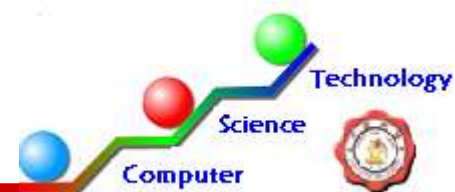
指总线中任一根线上的信号在什么时间有效。时间特性一般用信号的**时序关系图**来说明。

地址总线的宽度 表示出系统总线的寻址范围

数据总线的宽度 表示出系统总线能同时传送的数据位数

控制信号的类型决定系统所支持的控制方式及通信方式

总线标准 (续)



□ 总线性能指标

○ 总线宽度

指数据总线的位（根）数，以位（**bit**）为单位。

○ 总线工作频率

指用于协调总线上各种操作的时钟信号频率，以**MHz**为单位。

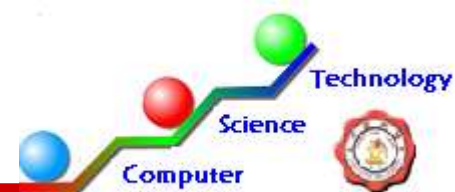
○ 总线带宽

指单位时间内在总线上可以传输的数据量，单位常用每秒兆字节 **MB/s**（**MBps**）。总线带宽=总线工作频率 × 总线宽度(字节数)。

○ 控制方式

指采用集中式控制还是分散式控制方式。

总线标准（续）



○通信方式

指采用同步还是异步通信方式。

○信号线数

指总线中各类信号线的总根数。采用总线复用可以减少信号线数，提高总线的利用率。

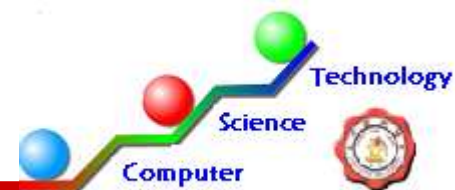
○负载能力

通常以可扩增电路板的数量来描述。

○扩展能力

通常指总线宽度是否具有可扩展性。

总线标准举例——ISA



□ 总线标准举例

目前流行的总线标准有：**ISA总线、EISA总线、VESA总线、PCI总线**等。

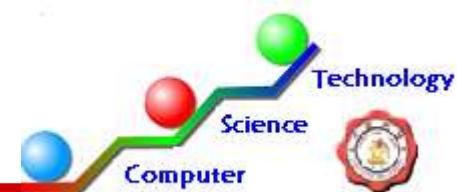
○ **ISA总线（ Industrial Standard Architecture ）**

也称为AT总线， 1984年由IBM公司推出。

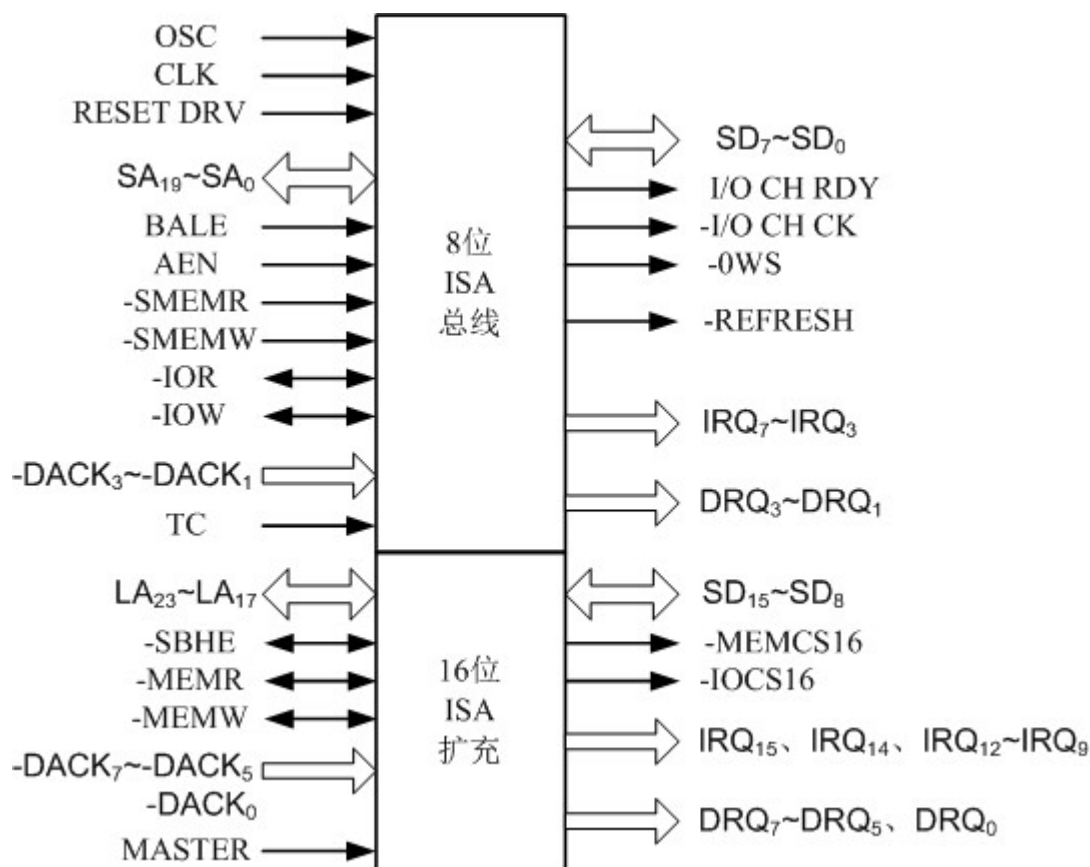
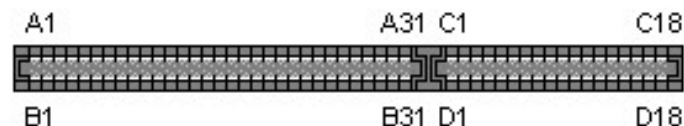
主要指标：数据总线16位，地址总线24位，总线时钟频率8.33MHz，最大传输率16.7MB/s。适合连接低速I/O设备。



总线标准举例——ISA (续)

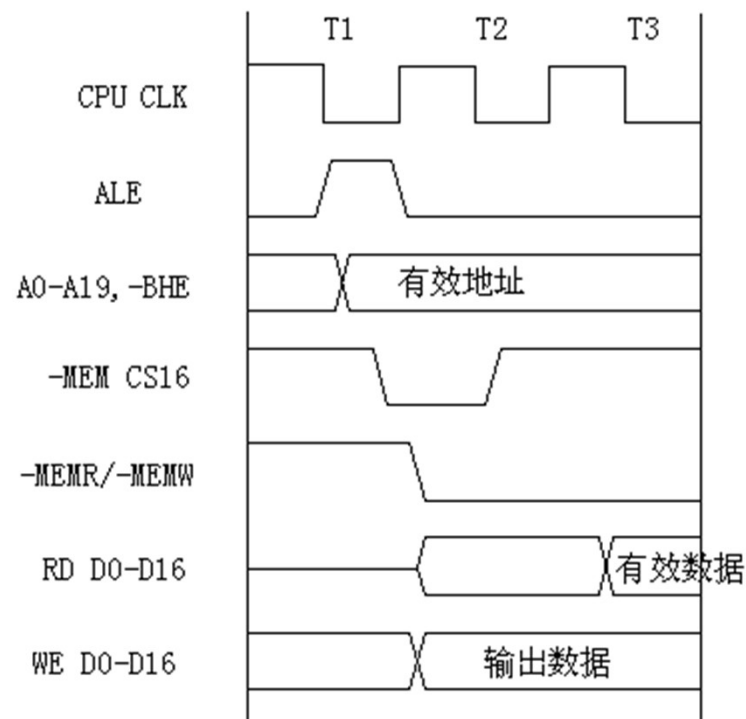
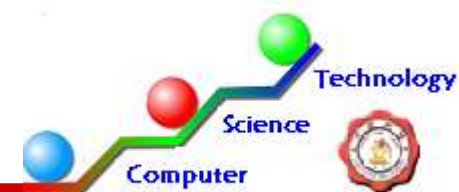


ISA总线扩展槽形状



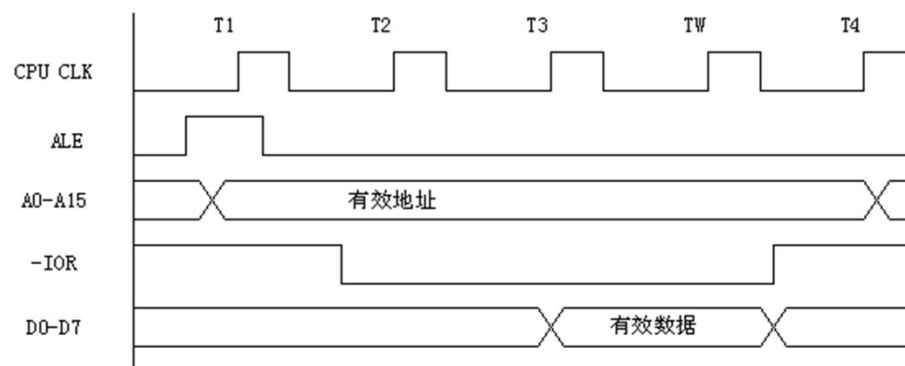
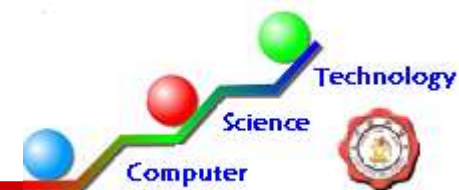
ISA总线信号

总线标准举例——ISA（续）

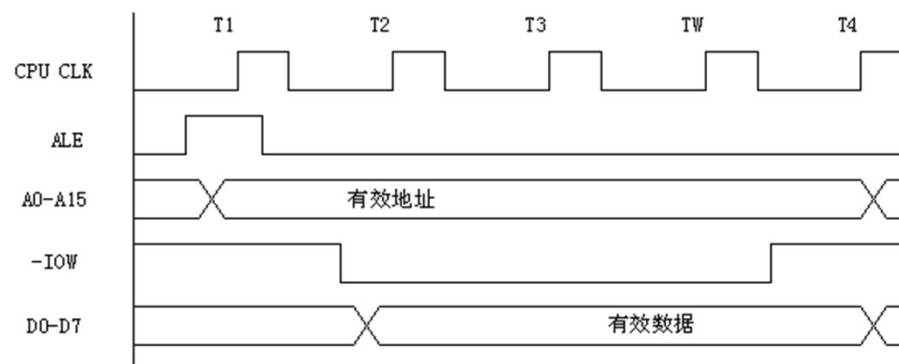


16位数据存储器读写时序

总线标准举例——ISA (续)



I/O读时序



I/O写时序

总线标准举例——EISA



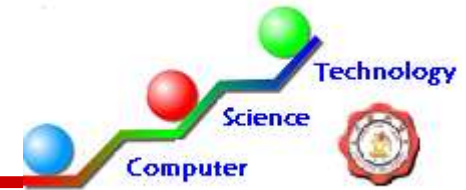
○EISA总线 (Extended ISA)

1988年由Compaq等公司开发。由ISA总线扩展而来，与ISA完全兼容。用来与IBM公司当时的MCA（微通道）总线抗衡。

主要指标：数据总线 32位，地址总线 32位，总线时钟频率 8.33MHz，最大传输率 33.3MB/s，具有即插即用功能。



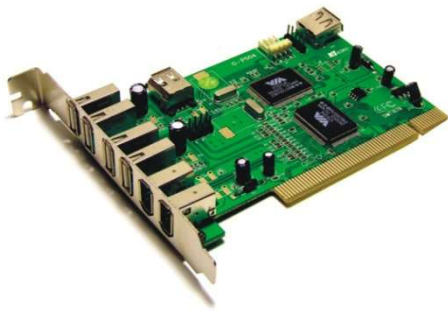
总线标准举例——PCI



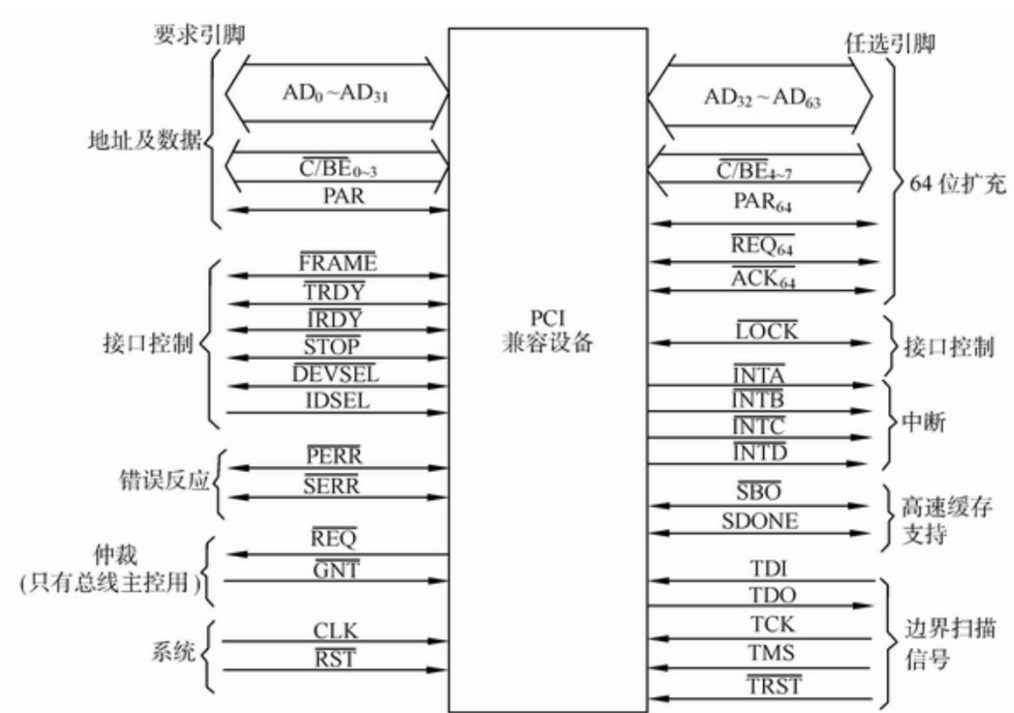
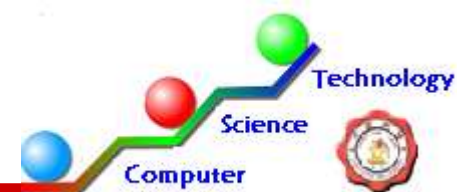
○PCI总线（ Peripheral Component Interconnect ）

1992年由Intel公司提供。重新设计了传统的 PC总线 (ISA、EISA)，用“桥”的办法在 CPU系统总线与 I/O 总线间插入了另一条总线，即 PCI总线，称为“夹层总线”。

主要指标：数据总线32位（时钟频率33MHz），可扩展为64位（时钟频率66MHz）；地址总线32位。适合连接高速I/O设备。

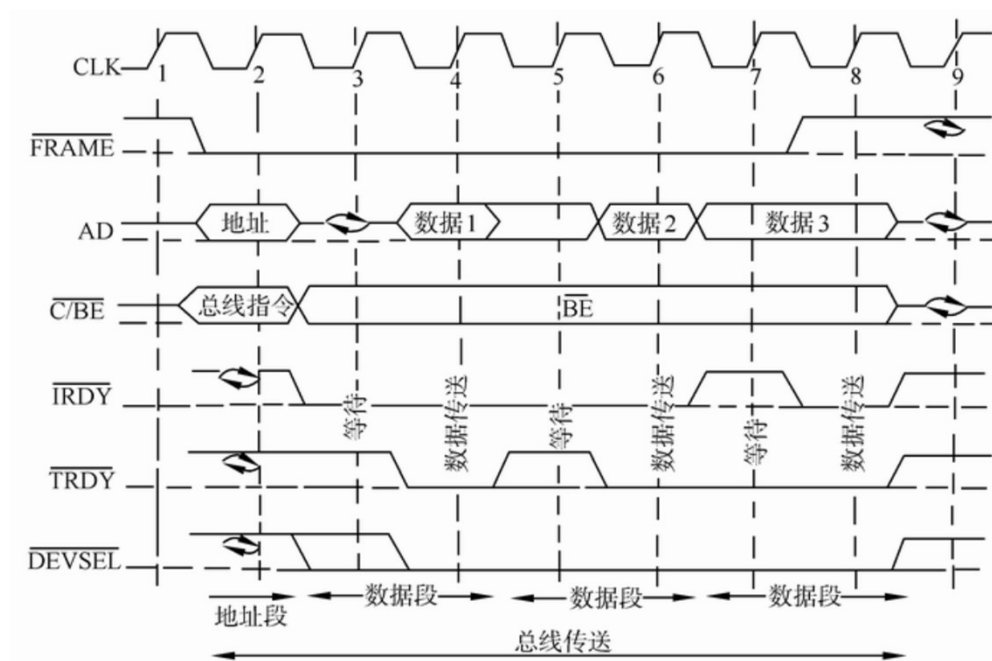
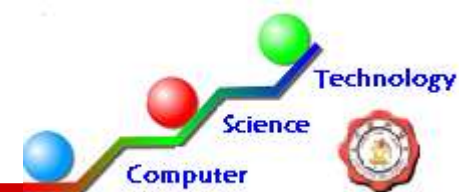


总线标准举例——PCI (续)



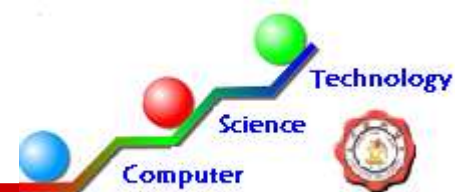
PCI总线信号

总线标准举例——PCI (续)



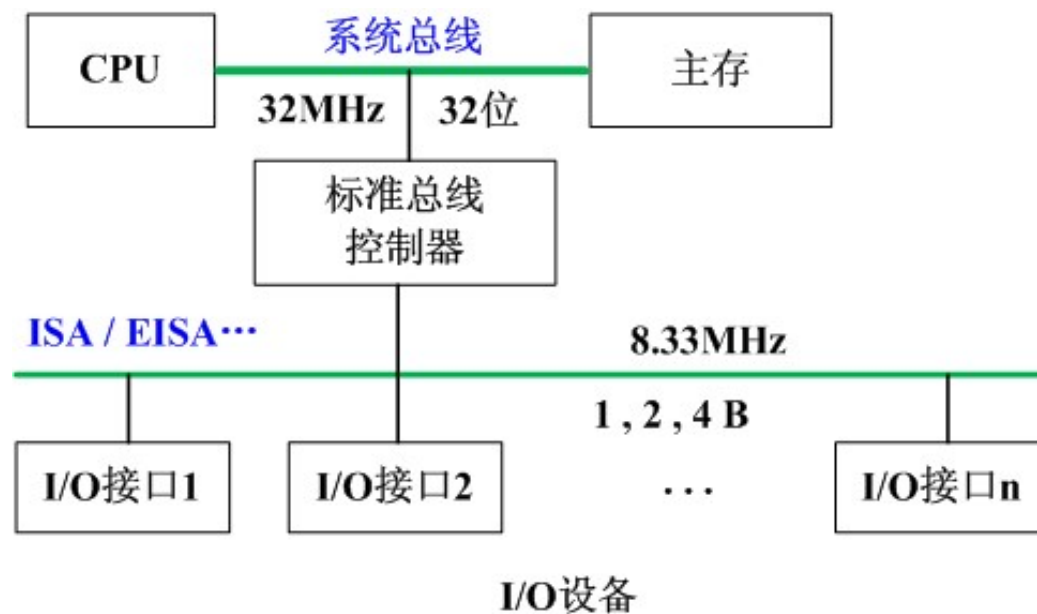
PCI的基本读操作时序

总线结构举例

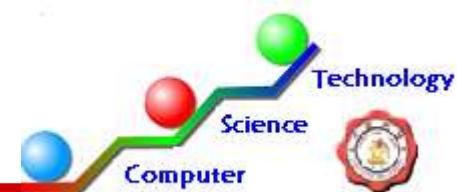


□ 总线结构举例

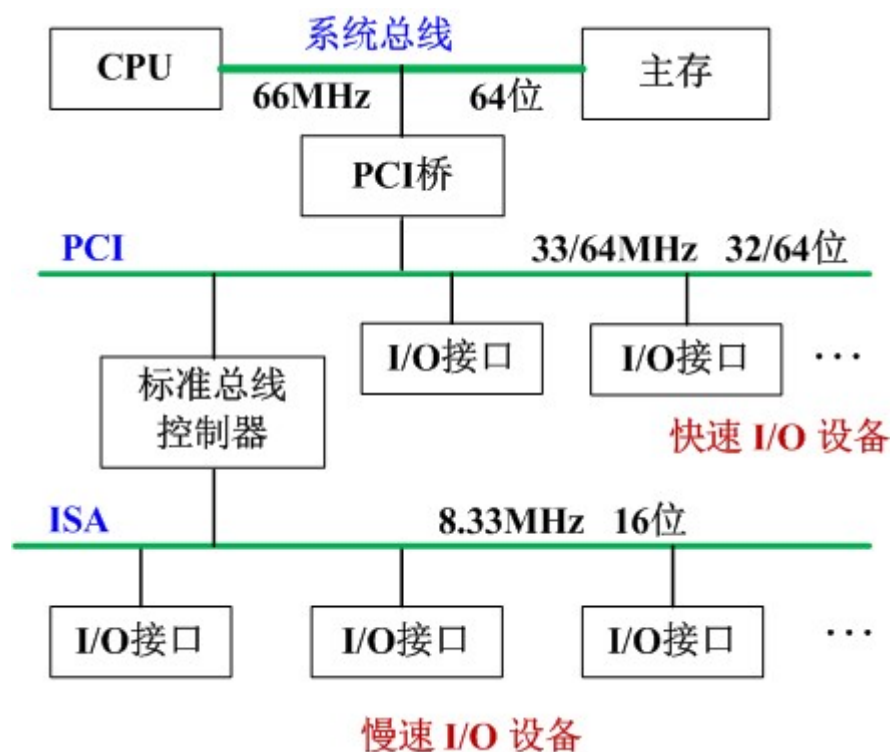
○ 传统微型机的双总线结构



总线结构举例 (续)



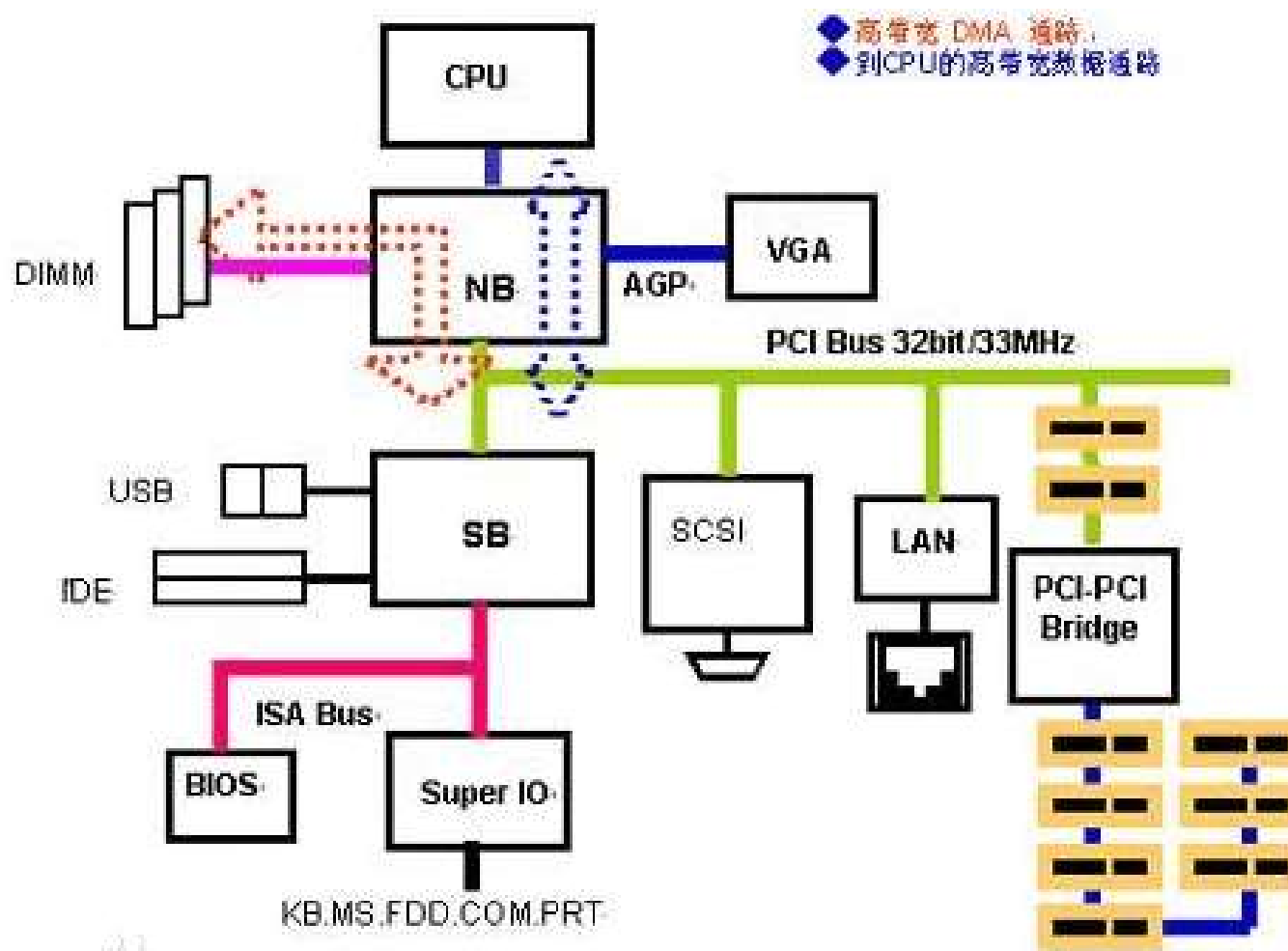
○现代微型机的三总线结构



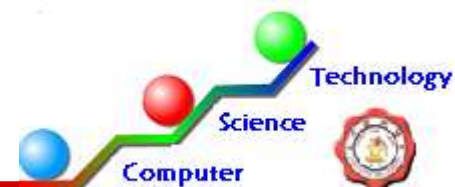
总线结构举例 (续)



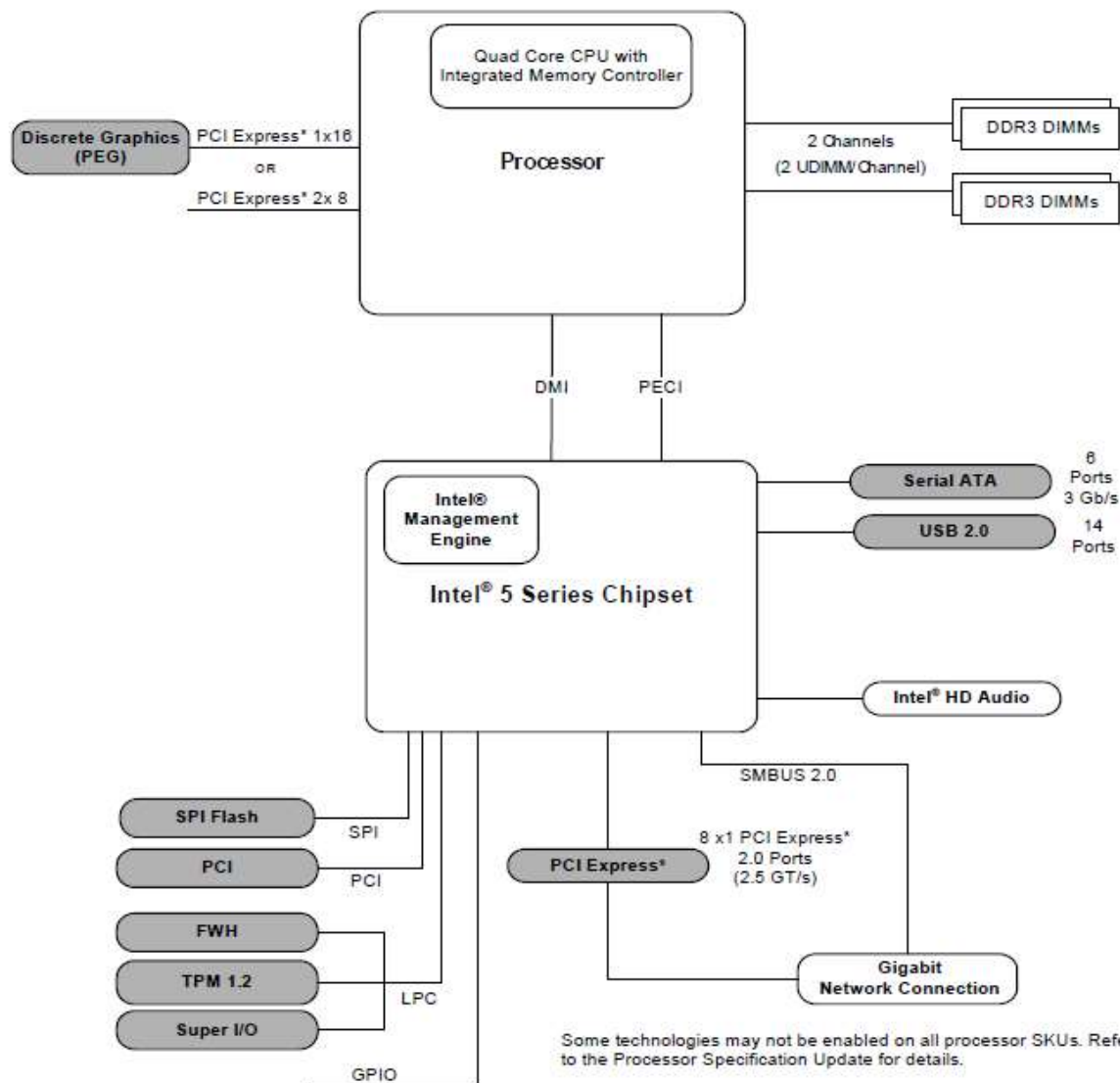
○Pentium II 总线结构



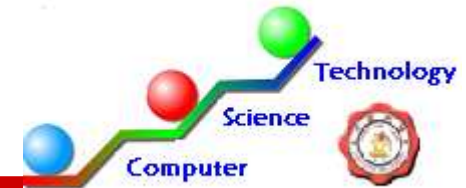
总线结构举例 (续)



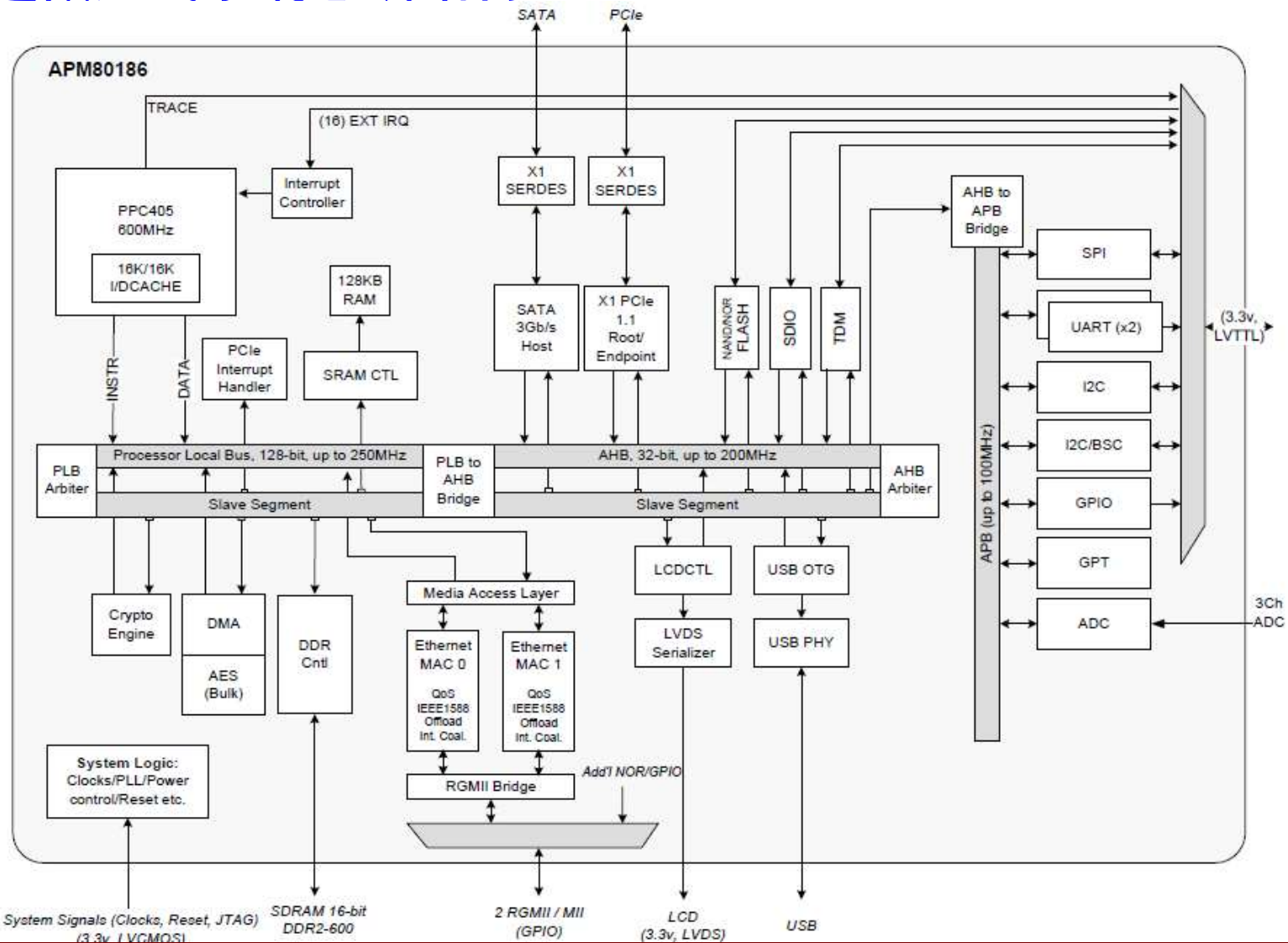
○现代i7总线结构



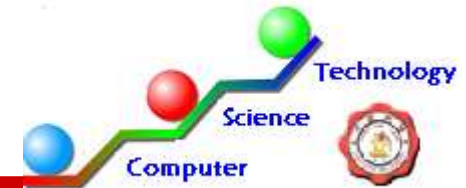
总线结构举例 (续)



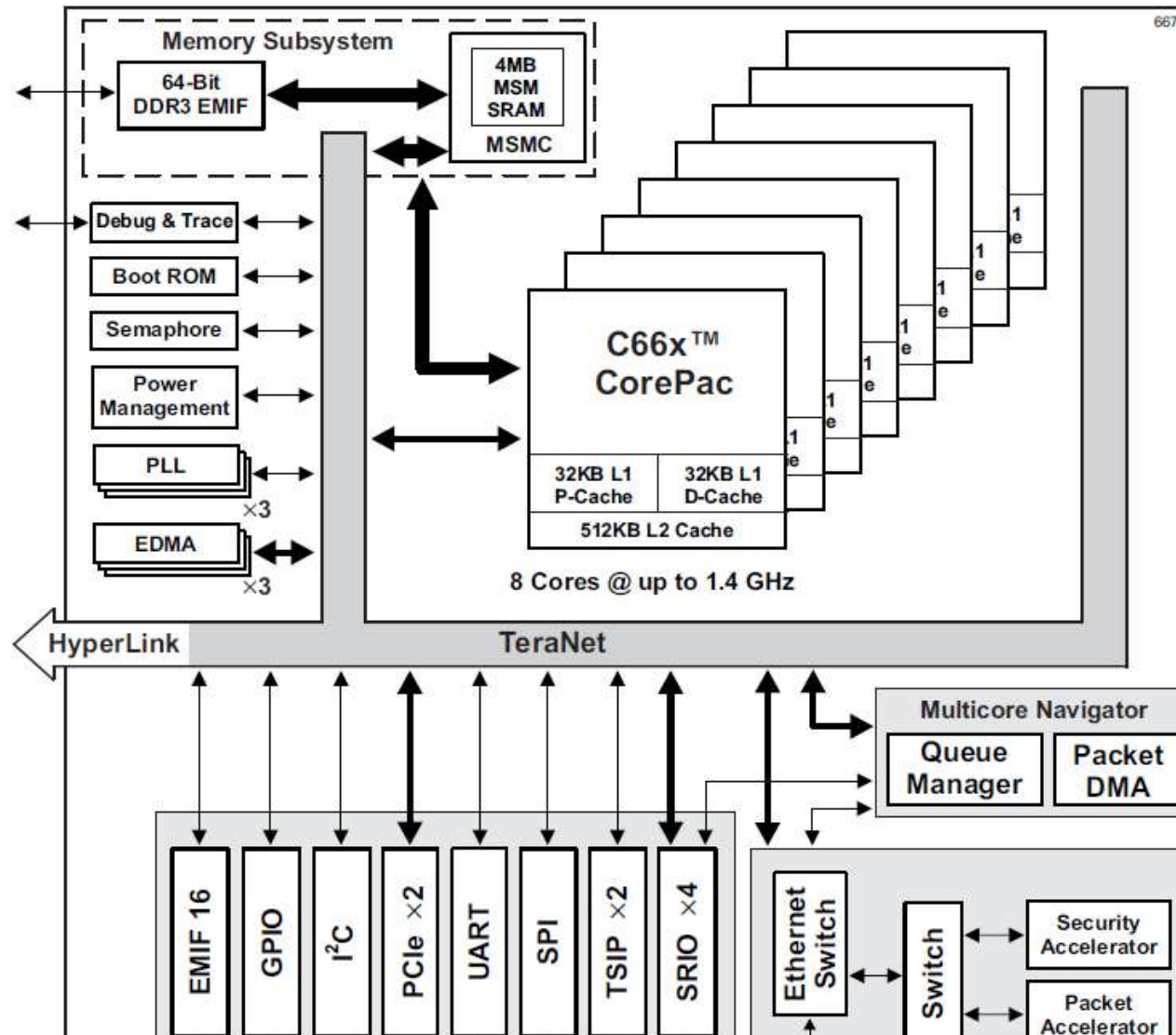
○高速嵌入式系统总线结构

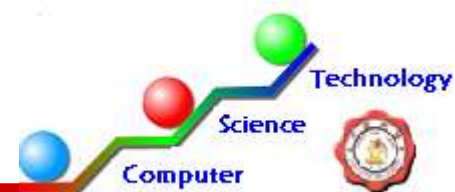


总线结构举例 (续)



○高速嵌入式系统总线结构

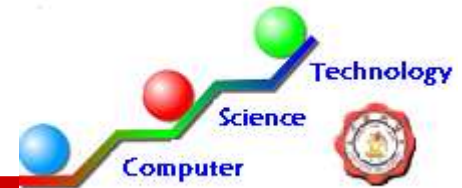




第四章 总线与输入输出系统

- 4.1 总线的分类
- 4.2 总线管理和控制
- 4.3 总线结构和标准
- 4.4 输入输出系统
- 4.5 I/O设备
- 4.6 I/O接口
- 4.7 I/O数据传送控制方式

输入输出系统



所谓输入输出系统就是计算机系统中完成输入/输出功能的子系统，简称 I/O系统。

□ 输入输出系统的组成

由 I/O硬件和 I/O软件两部分联合组成。

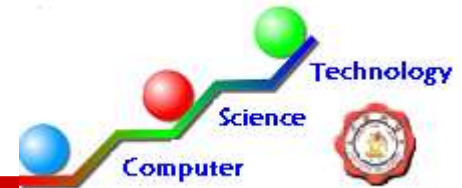
○ I/O 硬件

由计算机系统中所有 I/O设备及其接口电路组成，是 I/O系统的基础。

○ I/O软件

通常指用 I/O指令编制的、对 I/O接口及设备进行管理和访问的程序，常称为 I/O驱动程序。只有在 I/O驱动程序的作用下，I/O 硬件才能发挥相应的作用。

输入输出系统（续）



□ I/O编址方式

CPU访问 I/O设备是通过给每台 I/O设备分配特定的编号来识别的，称为 **I/O地址**。常用的 编址方式有两种：

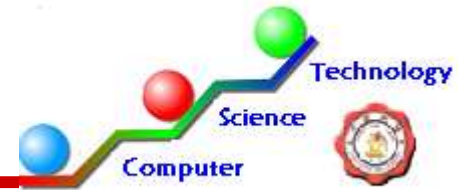
○ I/O与内存统一编址

I/O地址采用与主存单元地址完全一样的格式，这样 I/O设备就和主存占用了同一个地址空间，称为“**总线空间**”。此时CPU可像访问主存一样访问I/O设备，**不需要安排专门的I/O指令**。

○ I/O独立编址

为 I/O设备专门安排一套完全不同于主存地址格式的地址编码，称为**设备码（号）**。此时 I/O地址空间与主存地址空间是**两个独立的空间**，**CPU需要通过专门的 I/O指令来访问 I/O地址空间**。

输入输出系统（续）



□ I/O指令

机器指令系统中完成 **I/O操作** 的一类指令，它具有一般指令的基本特征，又有其特殊性。通常指令系统中对 I/O指令的安排采用两种方式：

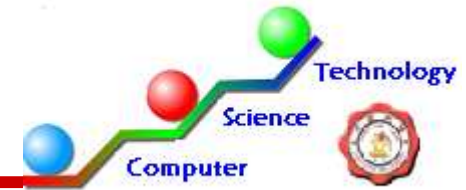
○ 隐式I/O指令

在 **I/O设备与主存统一编址的机器中**，所有具有访存功能的指令都可以访问 I/O，**因此不设置专门的 I/O指令**，即在指令系统一览表里查不到明显具有 I/O功能的指令，称为 **I/O隐指令**。

○ 显式I/O指令

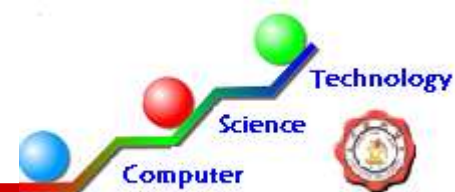
在 **I/O独立编址的机器中**，**需要专门设置I/O指令**，只有通过 I/O指令才能对 I/O设备进行操作。例如：IN、OUT指令等。

输入输出系统（续）



□ I/O寻址过程

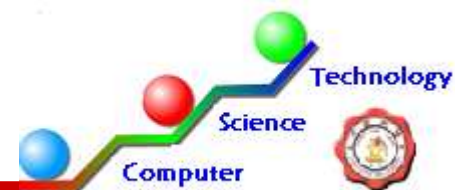
由 I/O指令给出要访问的 I/O地址，通过地址总线发往 I/O接口，接口中的**设备选择电路进行识别**，若**地址符合**即选中，CPU可对所选 I/O进行读/写等操作。



第四章 总线与输入输出系统

- 4.1 总线的分类
- 4.2 总线管理和控制
- 4.3 总线结构和标准
- 4.4 输入输出系统
- 4.5 I/O设备
- 4.6 I/O接口
- 4.7 I/O数据传送控制方式

I/O设备



除主机之外的大部分硬件设备都可以称为 I/O设备或外部设备、外围设备，简称外设。

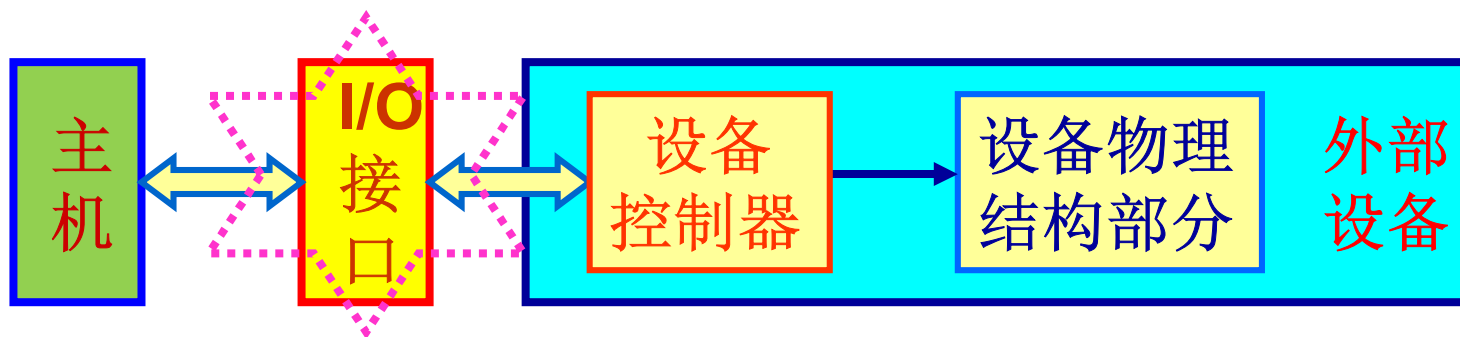
□ 外设的基本组成

○ 设备控制器

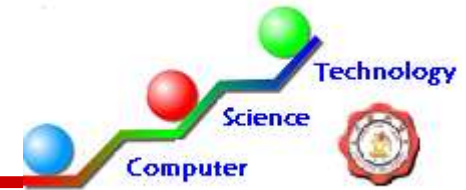
用来控制设备的具体动作，由电子线路实现。

○ 设备的物理结构

大多由机、电、光、磁等原理实现，与主机的结构原理（电子的）差距较大。



I/O设备（续）



□ 外设的分类

I/O设备大致可分为三类：

○ 人机交互设备

用来实现**操作者与计算机**之间交流信息的设备。

例如：键盘、鼠标、打印机、显示器等。

○ 信息驻留设备

用来**保存**计算机中大批有用信息的设备。

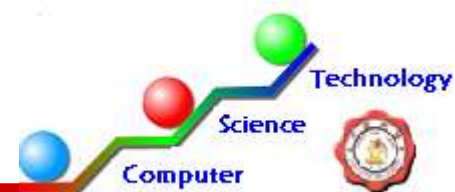
例如：磁盘、磁带、光盘等。

○ 机—机通信设备

用来实现计算机**系统间通信**的设备。

例如：调制解调器（Modem）、D/A、A/D转换设备等。

输入设备——键盘



输入设备完成输入程序、数据和操作命令等功能。
常见的有：键盘、鼠标、光笔、摄像机等。

□ 键盘

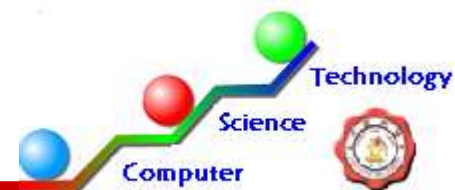
通用计算机必须配备的输入设备，用于向主机内敲入字符、功能命令、汉字等符号。键盘结构主要分为三部分：

○ 盘面

键盘盘面主要由面板和字母键、数字键、编辑键、光标控制键、数字小键盘和状态灯等部分组成。

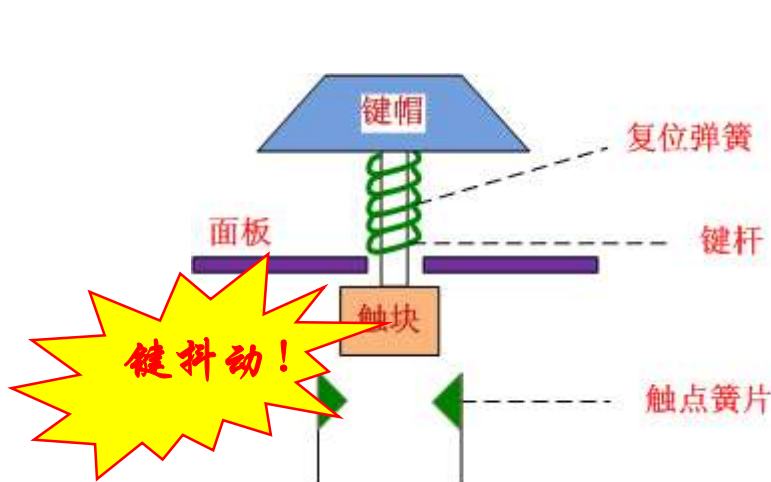


输入设备——键盘（续）

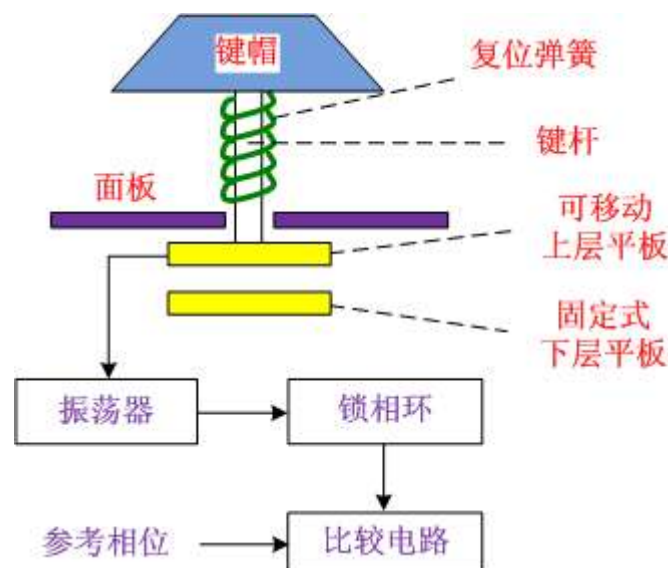


○键开关

键开关为键盘的**主要输入元件**，它可把**按键动作转变**为**相应的电信号**。同一个键盘上的所有键开关都采用**同一类型**的结构。常见的有：**有触点式**和**无触点式**。

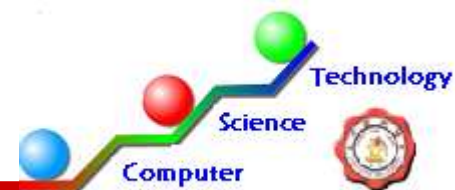


机械簧片式(有触点)



电容式(非机械, 无触点)

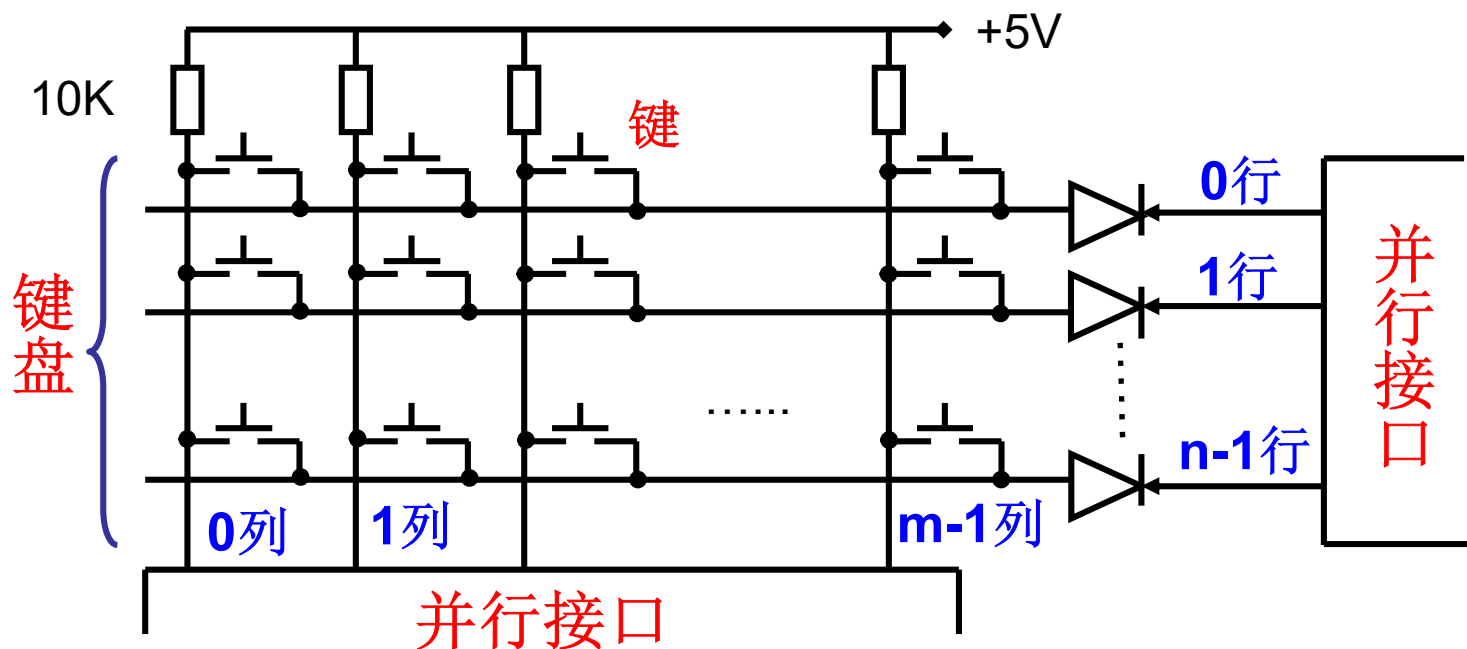
输入设备——键盘（续）



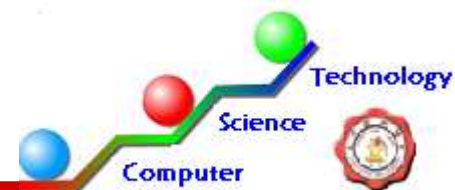
内部结构

矩阵排列

通常，键开关在内部电路板上按 $n \times m$ 的矩阵排列，行、列交叉点上放置键开关。键盘矩阵示意如下：



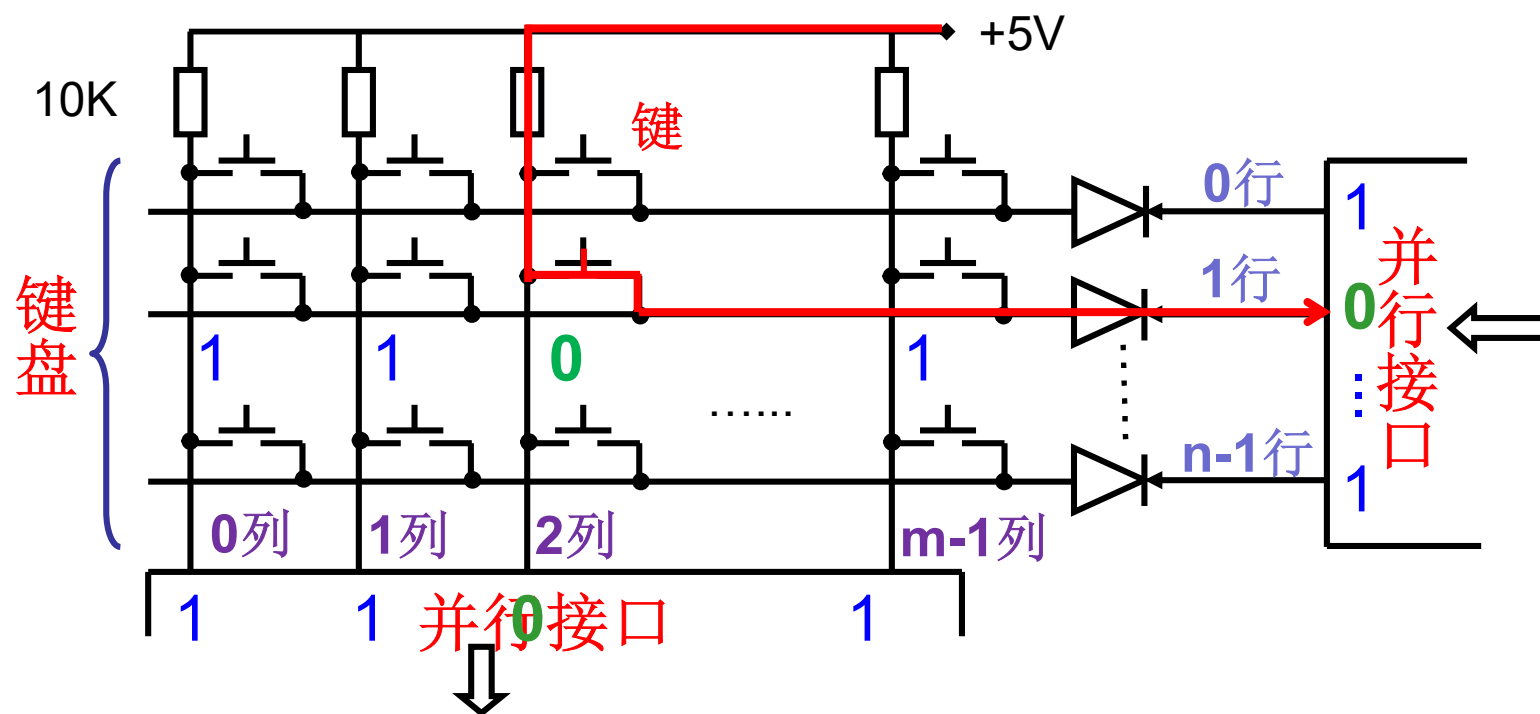
输入设备——键盘（续）



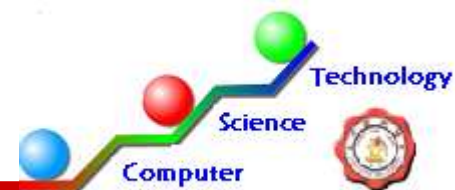
◇扫描方式

—无编码键盘

通过软件对键盘定期扫描来检查有无按键，并由程序查表产生编码。扫描过程：



输入设备——键盘（续）

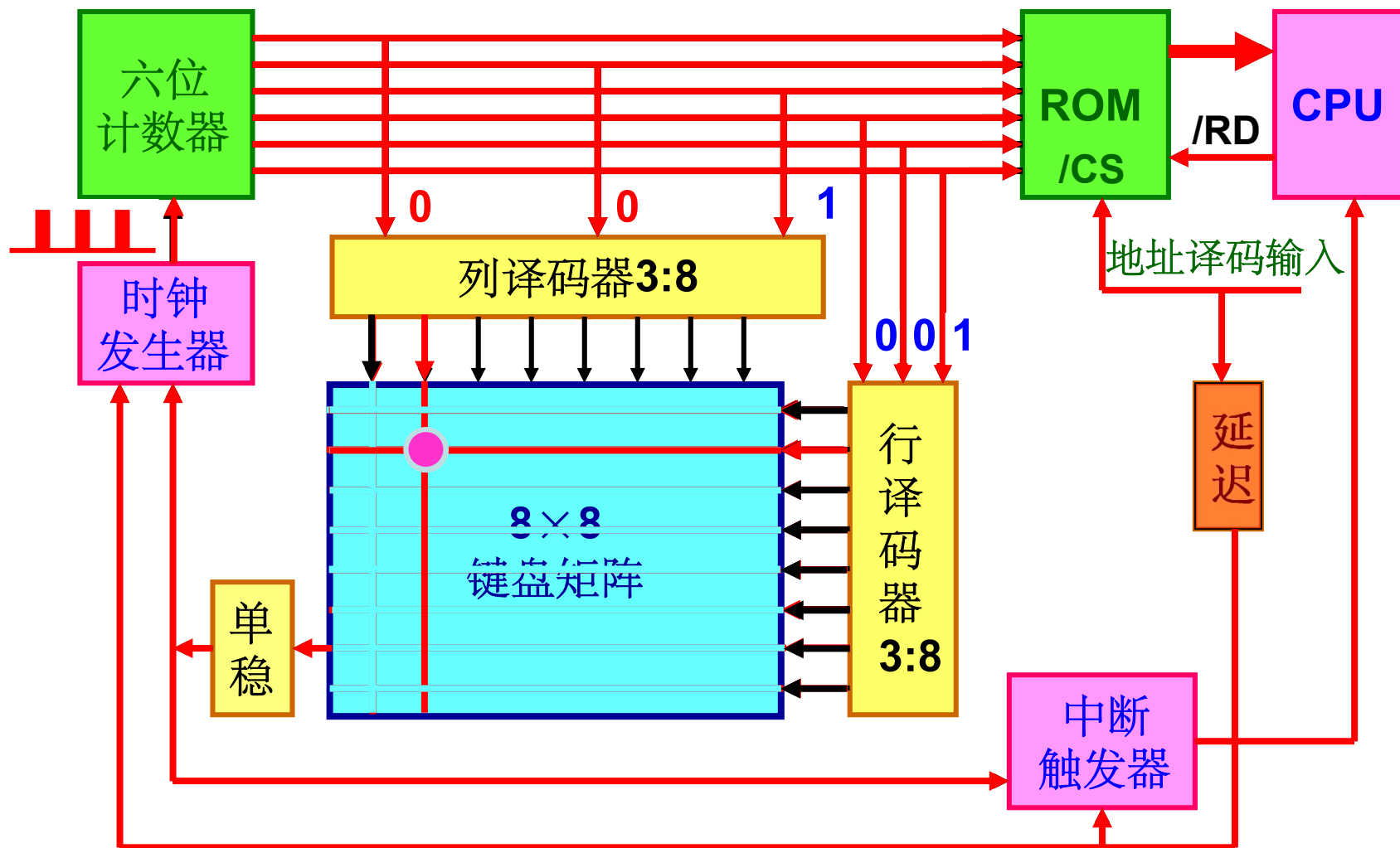
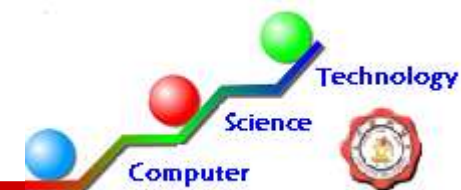


— 编码键盘

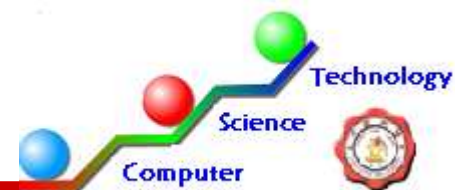
由**硬件确认**被按下的键并**自动产生**相应编码。

编码键盘原理图如下：

编码键盘扫描过程:



输出设备——显示器



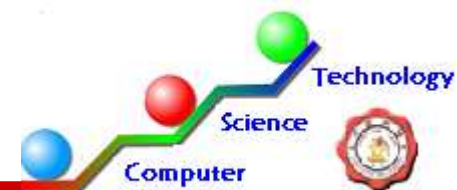
输出设备完成机内信息**转换**为自然信息并**输出**等功能。
常见的有：显示器、打印机、汉字处理设备等。

□ 显示设备

以**可见光**的形式处理和输出信息。应用最广泛，是每一台通用计算机**必备**的**常规外设**。

由于光信息消失后不留痕迹，**无法永久保存**，因此显示器被称为“**软拷贝**”输出设备。

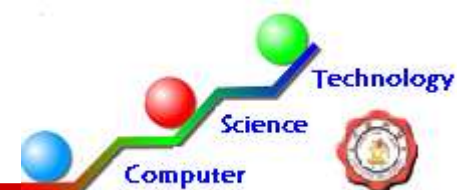
输出设备——显示器（续）



○分类

- ✧按显示器件分：阴极射线管（CRT）显示器
液晶显示器（LCD）
等离子显示器（PDP）
- ✧按显示内容分：字符显示器
图形显示器
图像显示器
- ✧按显示功能分：普通显示器
显示终端

CRT显示器



□ 分类

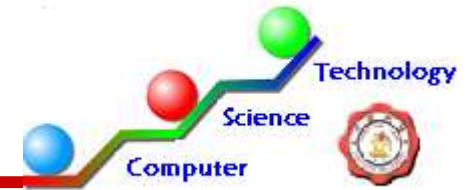
○ 按扫描方式分

- ✧ 光栅扫描
- ✧ 随机扫描

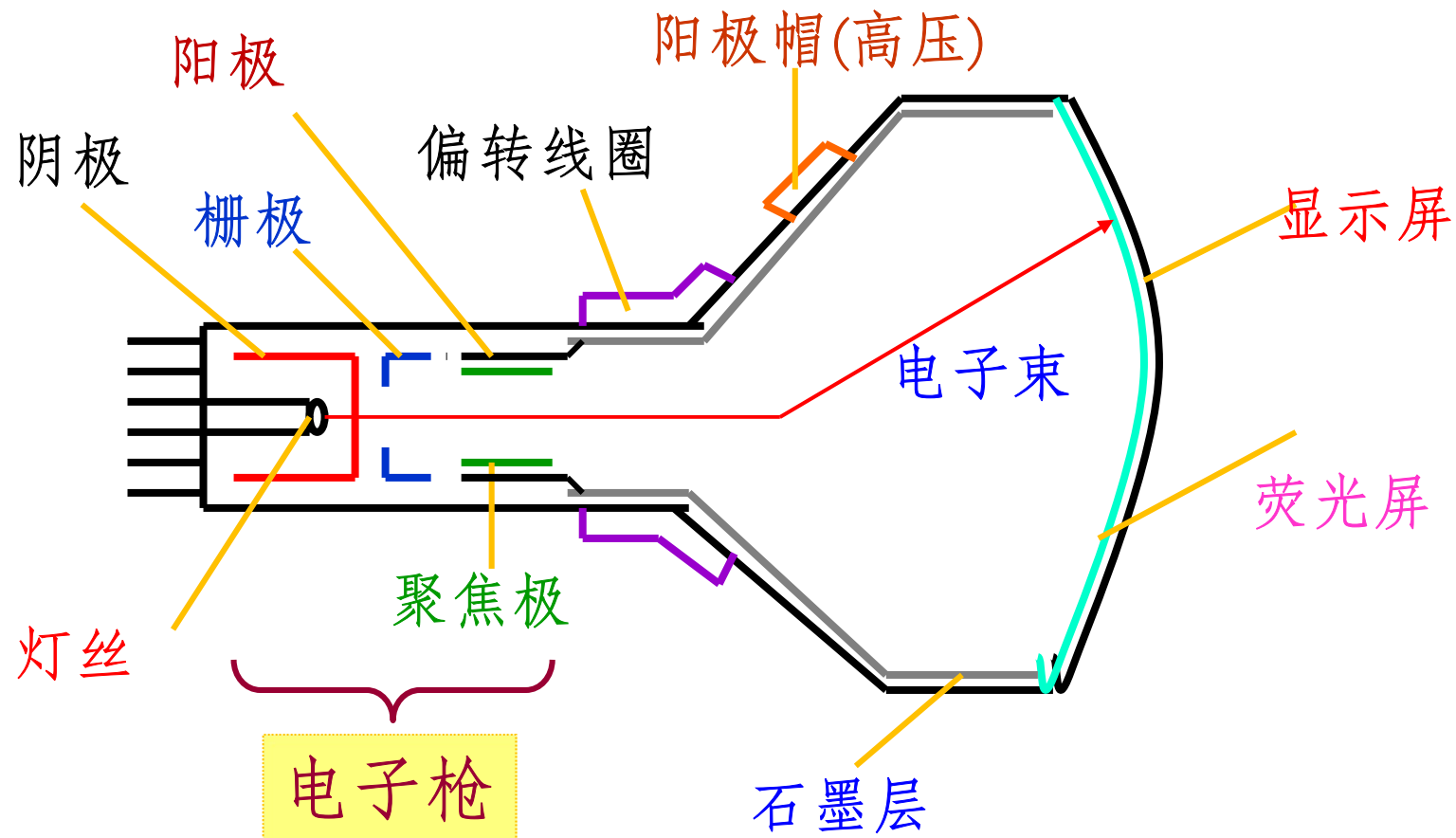
○ 按分辨率分

- ✧ 高分辨率
- ✧ 低分辨率

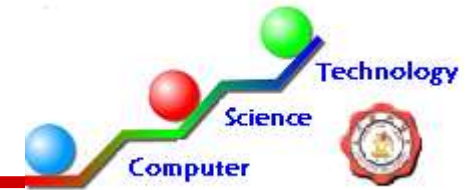
CRT显示器 (续)



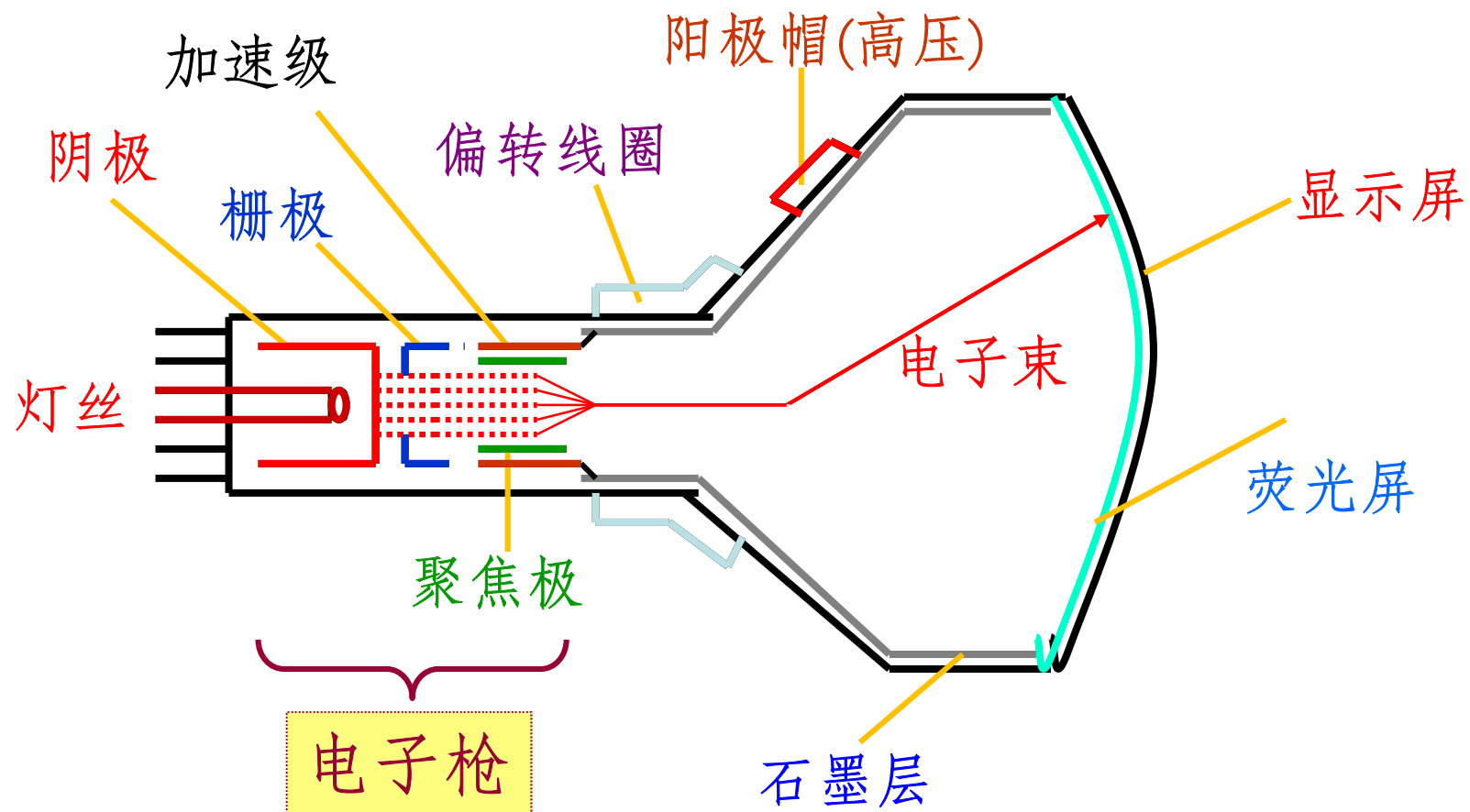
□ 阴极射线管 (CRT) 的结构



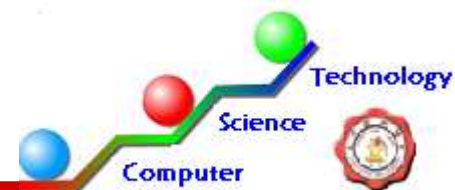
CRT显示器 (续)



□ 阴极射线管 (CRT) 显示过程



CRT显示器 (续)



□ 技术指标

○ 分辨率

显示器所能表示的像素个数。

○ 像素

显示的亮点，亮点越密，分辨率越高，画面越清晰。

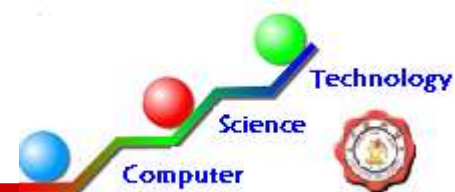
$$\text{分辨率} = \text{像素数/行} \times \text{像素数/列}$$

○ 灰度级

✧ 黑白显示器：显示的像素点的亮暗级差。

✧ 彩色显示器：显示的像素点的颜色种类。
一般可达64~256级。

CRT显示器（续）



□ 扫描方式

○ 随机扫描

电子束在荧光屏上按所显示的图形或字符的形状和位置移动，不必扫描全屏幕。

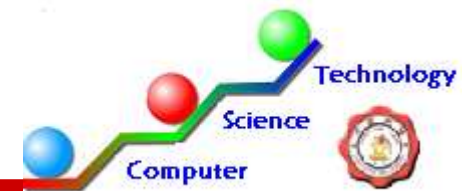
特点：图像清晰，显示速度快。但偏转系统与电视标准不一致，驱动系统复杂，价格较贵。当显示复杂图形时，有闪烁感。

○ 光栅扫描

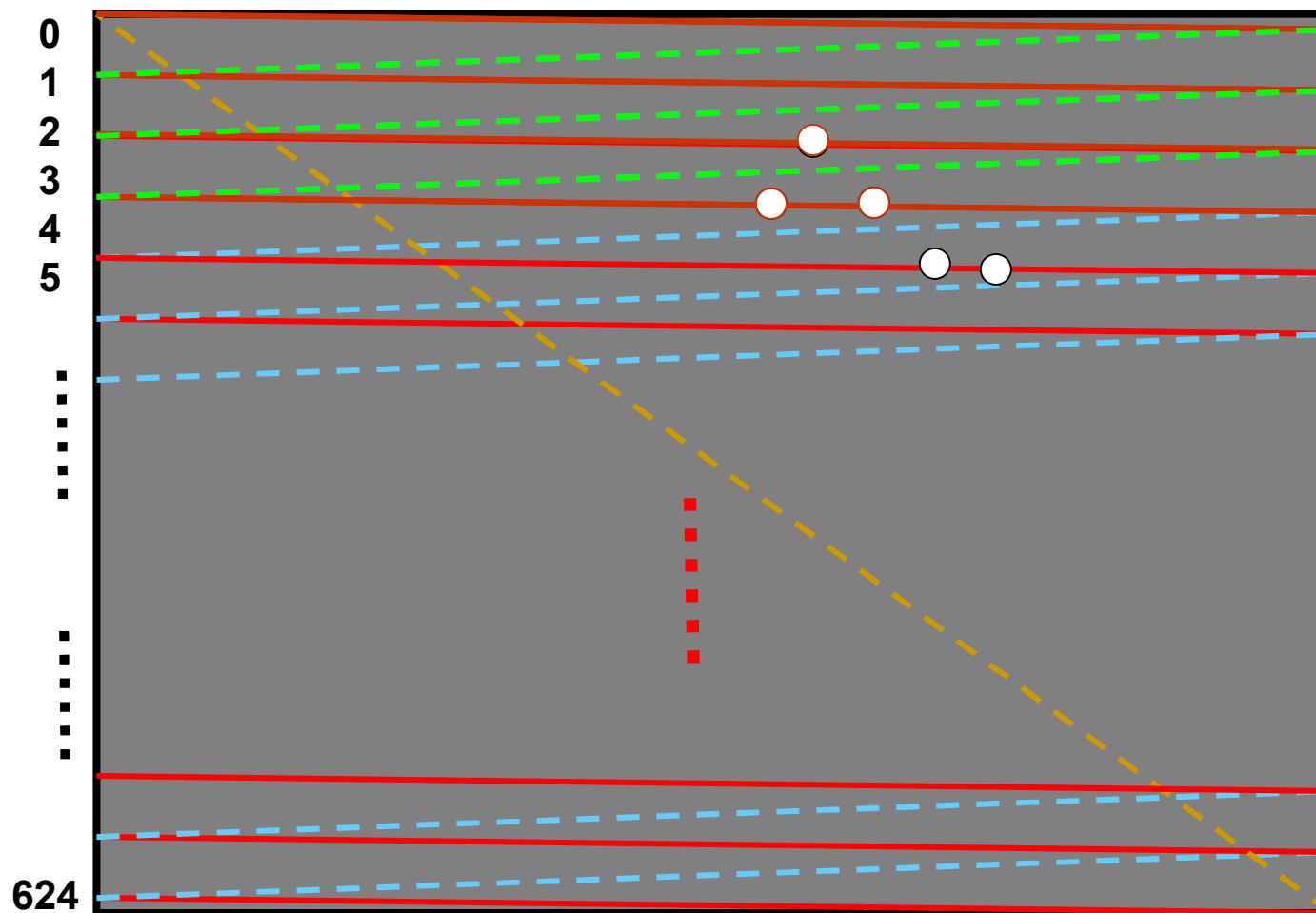
电子束周期性地扫描全屏，电子束通过需显示的信息位置时，点亮像素点，不需显示的地方消隐。

特点：电视所用的扫描方法，技术成熟，易配套、维修，CRT普遍采用。但显示质量不够高（曲线不够光滑）。

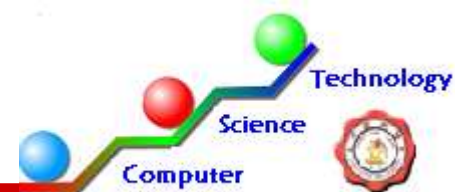
CRT显示器 (续)



□ 光栅扫描——逐行扫描



CRT显示器（续）



□ 光栅扫描的技术支持

○ 刷新

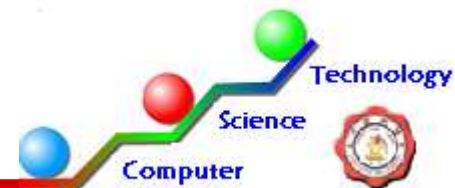
为了使人眼能够看到稳定的图像，电子束必须在屏幕上的图像消失前**周期性地对屏幕重复进行扫描**。一般刷新频率要**大于30Hz**，人眼才不会感到**闪烁**。

○ 刷新存储器

把瞬时变化的图像信号保存在一个存储器中，称为“**刷新存储器**”或“**视频存储器**”（**VRAM**）。

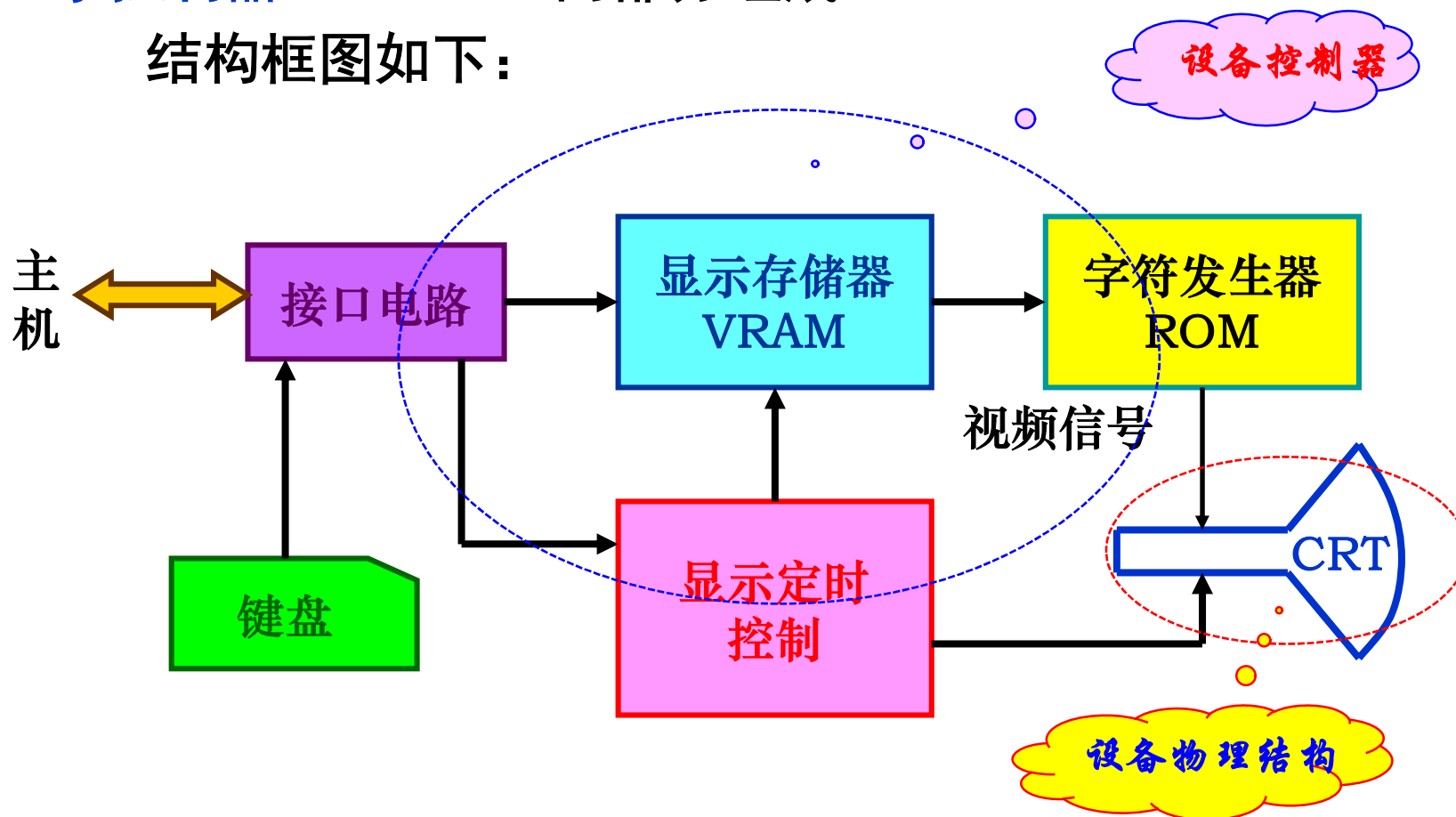
VRAM的容量由图像分辨率和灰度级决定。

CRT字符显示器

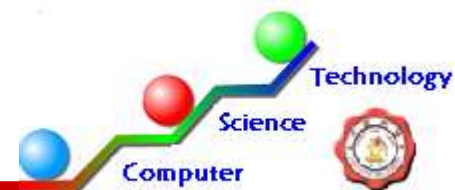


一种最简单的显示设备，通常由**监视器（CRT）**和**显示控制器（CRTC）**两部分组成。

结构框图如下：

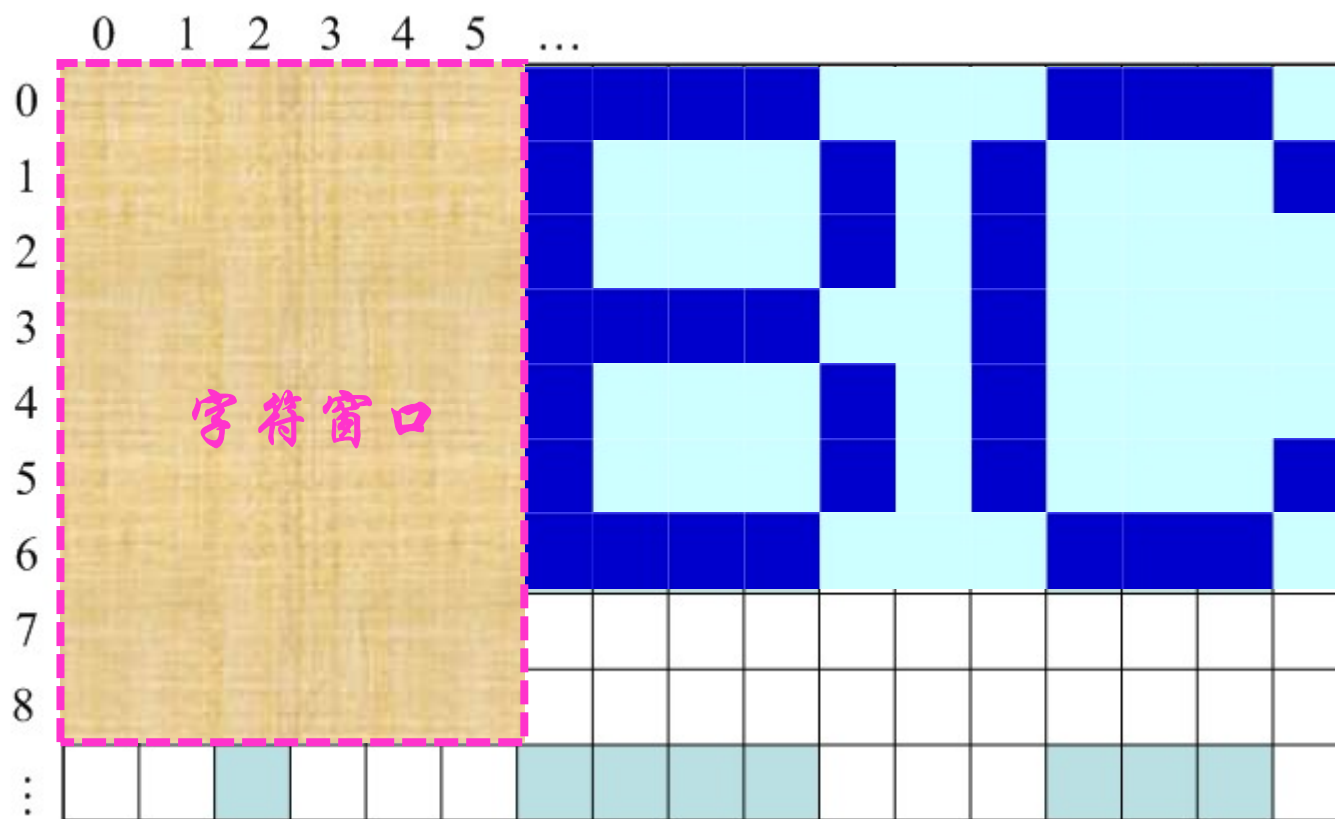


CRT字符显示器 (续)

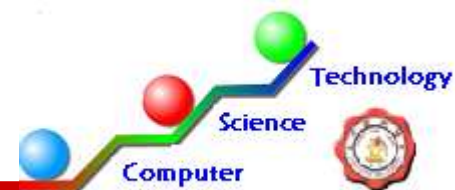


□ 字符显示原理

点阵法显示字符，用**M (列) × N (行)**点阵组成一个字符。



CRT字符显示器（续）



□ 显示存储器（VRAM）

存放一屏字符的ASCII码信息，**最小容量**等于一屏字符个数。每个单元的地址与屏幕上字符窗口的**位置一一对应**。

VRAM地址 = 字符所在行号 × 一行字符数 + 列号

表示**VRAM的地址**由两部分组成：

高位地址：字符在屏幕中的行（排）号；

低位地址：字符在屏幕中的列号。

□ 字符发生器（ROM）

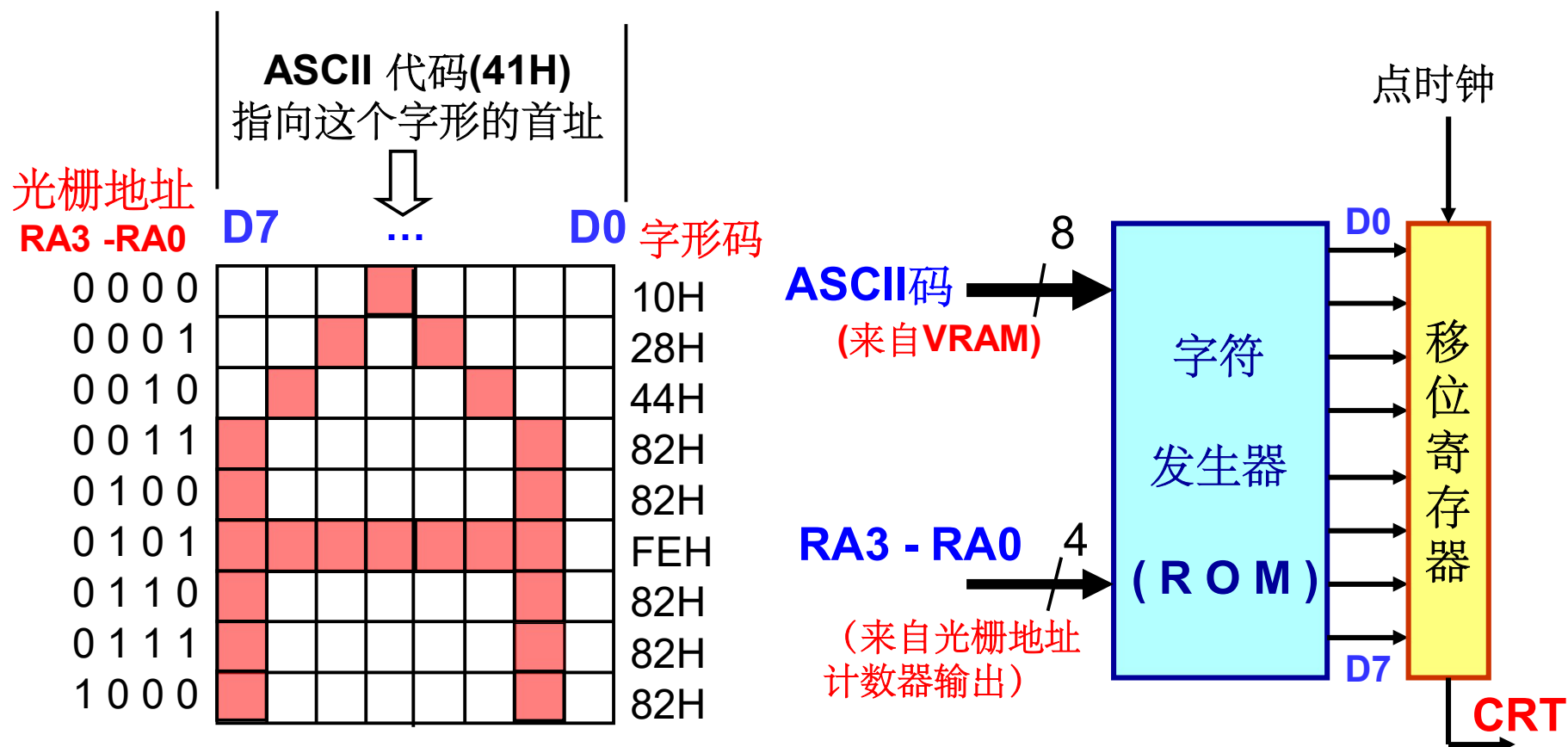
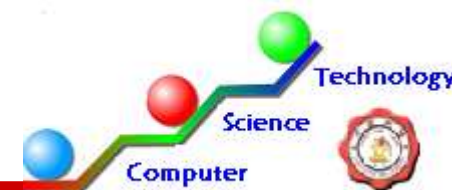
把字符点阵用**二进制编码矩阵**表示，存入ROM中。显示时根据字符的ASCII码将点阵信息从ROM中读出。

字符发生器的**地址**由两部分组成：

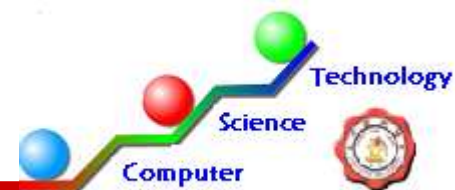
高位地址：VRAM单元读出的字符**ASCII码**；

低位地址（光栅地址）：字符点阵的**行号**。

CRT字符显示器 (续)



CRT字符显示器（续）



□ 显示定时控制

提供**CRT**屏幕刷新过程中的**定时**信号。主要部件有：

○点振荡器

产生点时钟，并控制视频信号的输出。

○点计数器

产生字符时钟，控制移位寄存器加载。

○字计数器（水平地址计数器）

产生行时钟，控制水平消隐和水平同步。

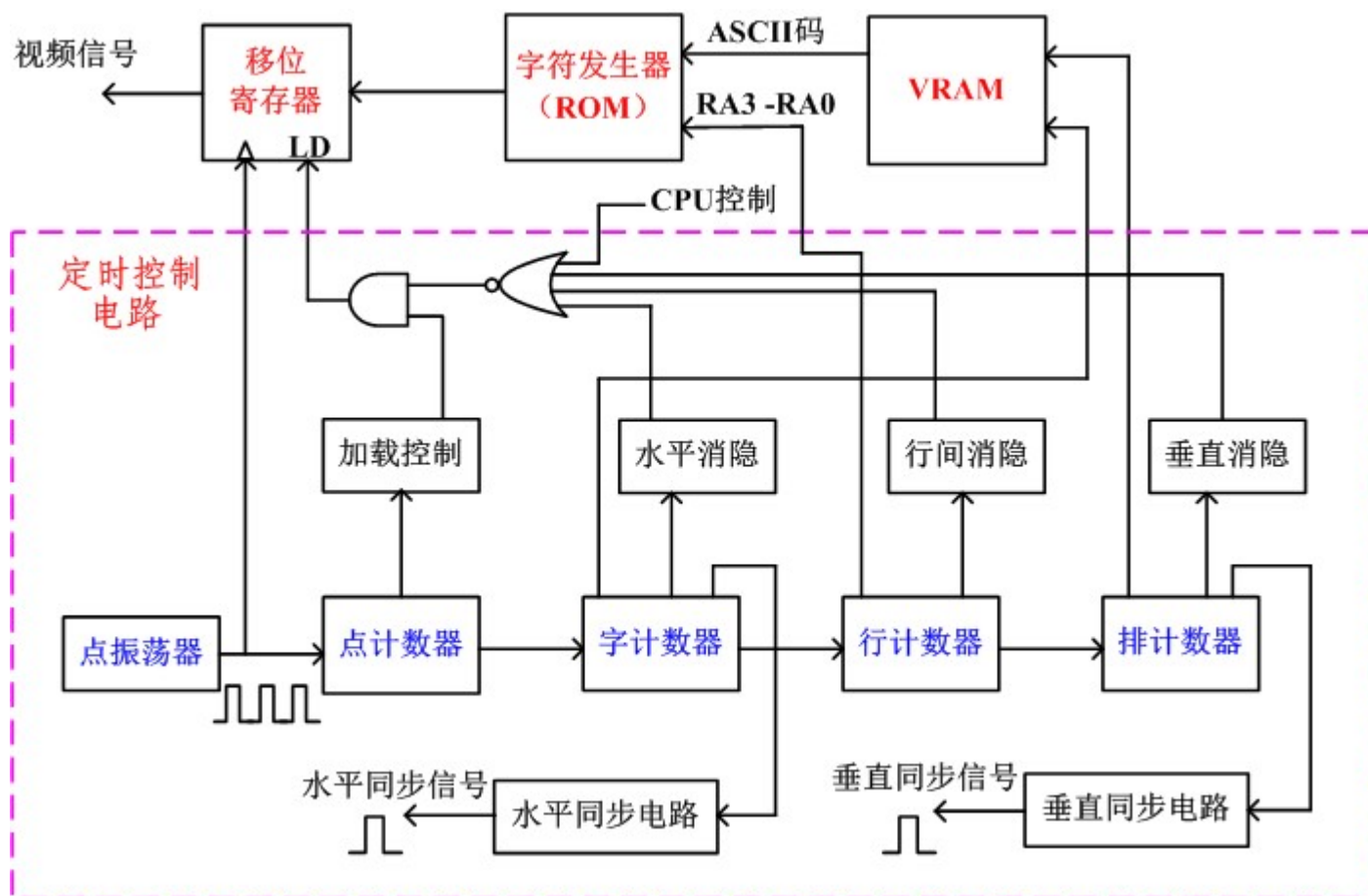
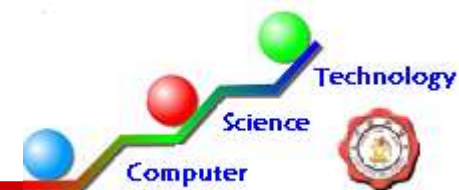
○行计数器（光栅地址计数器）

产生排时钟，计数值作为ROM低位地址，并控制字符行间隔消隐。

○排计数器（垂直地址计数器）

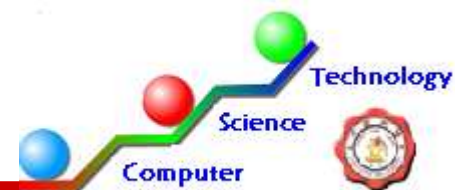
计数值作为VRAM高位地址，并控制垂直回扫和垂直同步。

CRT字符显示器 (续)



字符显示器控制器结构

CRT字符显示器 (续)

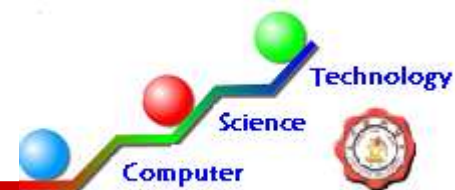


CRTC参数计算举例:

某**CRT**显示器可显示**64种ASCII**字符，每帧可显示**64字×25排**；每个字符字形采用**7×8**点阵，即横向**7**点，字间间隔**1**点（为方便起见和点阵一起存在**ROM**中），纵向**8**点，排间间隔**6**点；帧频**50Hz**，行频**24.5KHz**，点频**14.896MHz**，采用**逐行扫描**方式，问：

- (1) **缓存容量**至少有多大？
- (2) 字符发生器（**ROM**）**容量**至少有多大？
- (3) 缓存中存放的是**ASCII**代码还是**点阵信息**？
- (4) **缓存地址与屏幕显示位置**如何对应？
- (5) 设置**哪些计数器**以控制缓存访问与屏幕扫描之间的同步？它们的**分频关系**如何？

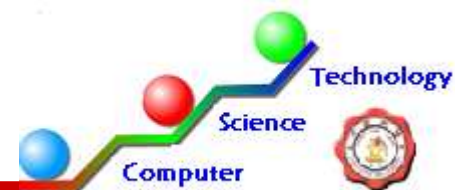
CRT字符显示器 (续)



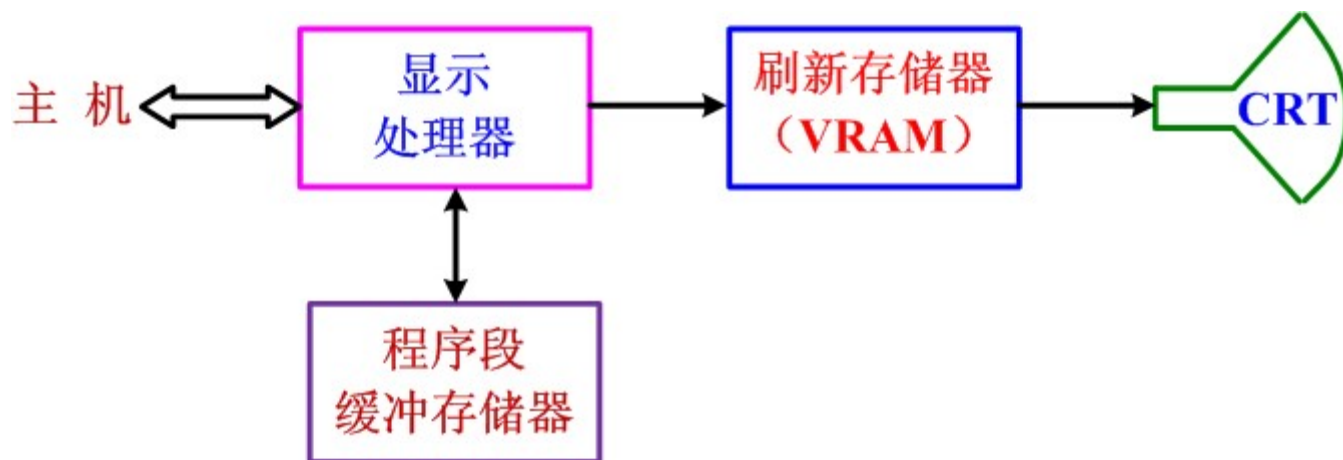
解答:

- (1) VRAM最小容量 = $64 \times 25 \times 8\text{bit} = 1600\text{B}$;
- (2) ROM最小容量 = $64 \times 8\text{行} \times 8\text{点} = 512\text{B}$;
- (3) 缓存中存放的是待显示字符的ASCII代码;
- (4) 显示位置自左至右、从上到下, 相应地, 缓存地址由低到高与屏幕显示位置一一对应。
- (5) 点计数器模 = $7 + 1 = 8$, 8: 1分频;
字计数器模 = $14.896\text{MHz} / 24.5\text{KHz} / 8$
= $608\text{点} / 8 = 76$, 76: 1分频;
行计数器模 = $8 + 6 = 14$, 14: 1分频;
排计数器模 = $24.5\text{KHz} / 50\text{Hz} / 14$
= $490\text{行} / 14\text{行} = 35$, 35: 1分频。

图形显示器

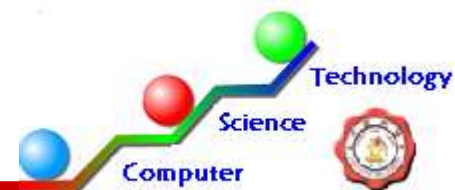


- ❑ 图形显示是指用计算机手段表示现实世界的各种事物，并形象逼真地加以显示。
- ❑ 图形显示器采用画点法显示图形，需显示的字符、汉字也以同样方法画出来。

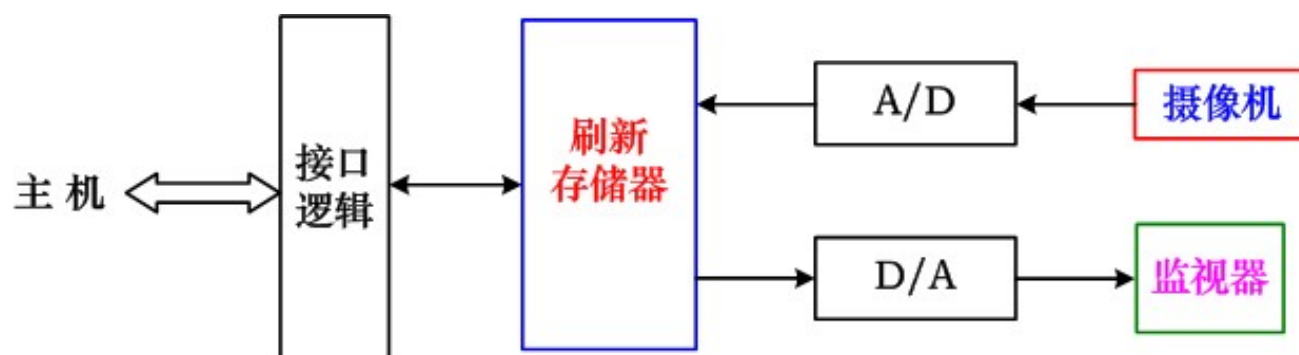


- ❑ 若图形显示器分辨率为 1024×1024 ，灰度级为256级，每个点信息需8位表示， $\text{VRAM容量} = 1024 \times 1024 \times 8 = 1\text{MB}$ 。

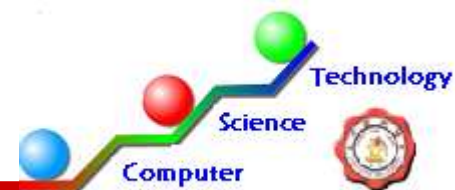
图像显示器



- **图形**是计算机用一定的**算法画出的**点、线、面、阴影等，称为**主观图像**或**计算机图像**。
- **图像**是来自**摄影机摄取的**真实景观，称为**客观图像**。
- 图像数字化后**逐点存储**，图像处理**对主存容量要求较大**。



输出设备——打印设备



将输出信息印在纸上的设备。由于产生的是永久性的记录，因此属于“硬拷贝”设备。

□ 分类

○ 按印字原理分

- ✧ 击打式

- ✧ 非击打式：活字式、点阵针式

○ 按工作方式分

- ✧ 串行打印

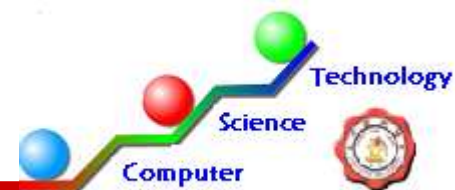
- ✧ 行式打印

○ 按打印纸宽度分

- ✧ 宽行打印机

- ✧ 窄行打印机

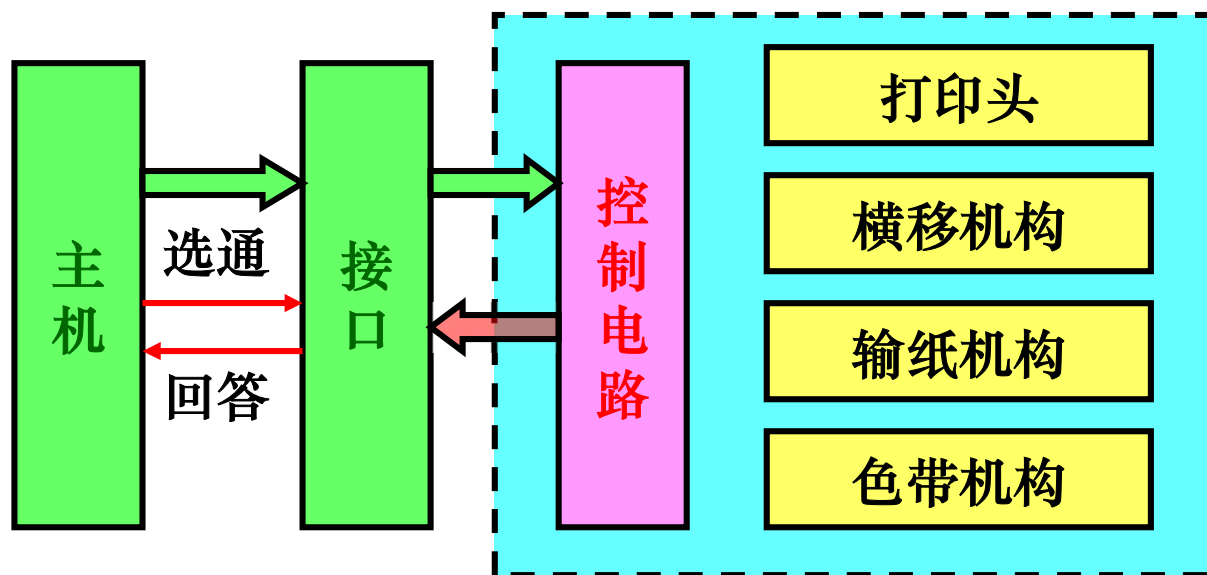
点阵针式打印机



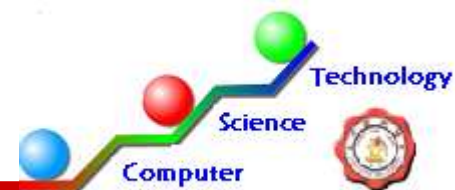
目前仍较普及的一种打印机。特点是结构简单，价格低，打印种类不受限制。

□ 原理与结构

用点阵组成要打印的字符或图形，按照要打印的点位置选择打印针，通过敲击色带在纸上打印出需要的点阵。

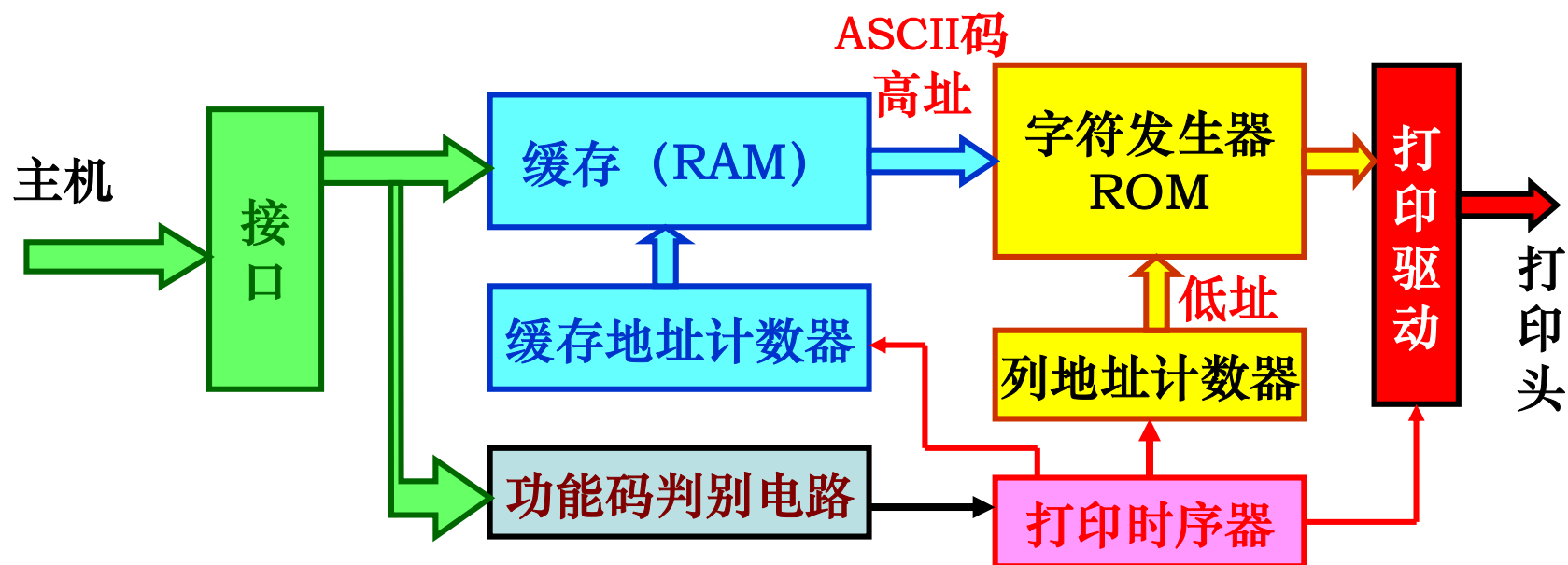


点阵针式打印机 (续)

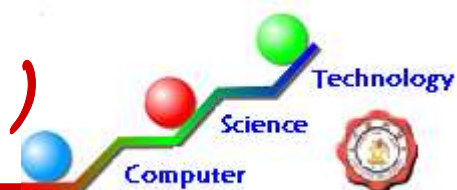


□ 打印控制

由于与显示器一样采用点阵法，因此打印控制器结构与显示控制器类似，主要包括打印缓存（**RAM**），字符发生器（**ROM**），定时控制及接口等部件。



本章第1次作业（总第6次作业）



4.4

4.9

4.10

4.11