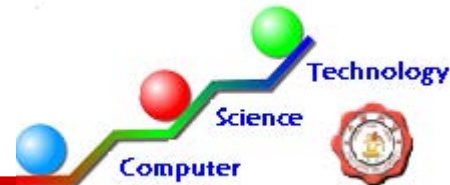


计算机组成原理习题解答



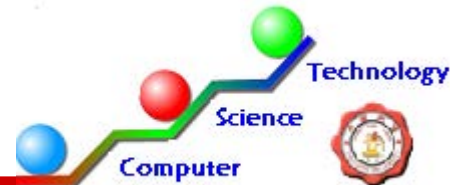
第三章题解

□ 3.3解释存储元、存储单元、存储体这几个概念。

存储元是 存储一位二进制信息的物理元件，是存储器中最小的存储单位，又叫存储基元或位单元，不能单独存取；

存储单元由若干存储元组成，是存储器读写的基本单位，并且具有特定存储地址；

存储体也被称为存储矩阵或存储阵列，它是存储单元的集合。



□ 3.5 回答下列问题：

- (1) 说明存取周期和存取时间的区别；
- (2) 什么是存储器的带宽？若存储器的数据总线宽度为32位，存取周期为200ns，则存储器的带宽是多少？

□ 题解：

- (1) 存取周期和存取时间的主要区别是：存取时间仅为完成一次操作的时间，而存取周期不仅包含操作时间，还包含操作后线路的恢复时间。即：存取周期 = 存取时间 + 恢复时间
- (2) 存储器的带宽指单位时间内从存储器进出信息的最大数量。
存储带宽 = $1/200\text{ns} \times 32\text{位} = 160\text{M位/秒} = 20\text{MB/S} = 5\text{M字/秒}$

第三章 3.6



□ 3.6某机字长32位，其主存存储容量为64KB，问：

- (1) 若按字编址它的寻址范围是多少？其存储容量应如何描述？
- (2) 若按字节编址，试画图示意主存字地址和字节地址的分配情况；
- (3) 试比较按字编址与按字节编址的优缺点。

□ 题解：

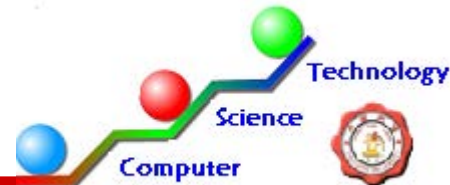
(1) 寻址范围=64K / (32/8) = 16K字；存储容量为16K×32bit。

(2) 字地址与字节地址的分配：

字地址	高字节	字节地址	低字节	
0	0	1	2	3
4	4	5	6	7
8				
.....
65528				
65532	65532	65533	65534	65535

- (3) a、字编址的机器结构简单，操作简便。字编址主要应用于早期的计算机中，当时的机器字长比较短，采用字编址并不感到不方便。
- b、字编址方式的主要缺点是数据较短时操作很不方便，尤其在非数值应用领域，信息的基本寻位是字节，而字编址方式无法支持字节操作。随着计算机规模的发展壮大，机器字长越来越长，字编址的不灵活性越来越突出，因此当前的计算机基本上都不再采用字编址方式而使用字节编址。
- c、字节编址既能够支持字节操作，也能够支持字操作，同时兼有字节寻址和字寻址双重功能，灵活性很好。字节编址的存储器空间利用率高。
- d、字节编址主要缺点是既有字节地址又有字地址，比较复杂；同样的地址总线位数下，可寻址的最大空间比字寻址空间小。

第三章 3.7



□ 3.7 设有一个具有20位地址和32位字长的存储器，问：

- (1) 该存储器能存储多少字节的信息？
- (2) 如果此存储器由512K×8位SRAM芯片组成，需要多少芯片？
- (3) 需要多少位地址作芯片选择？

□ 题解：

- (1) $2^{20} \times 32 / 8 = 4\text{MB}$
- (2) 芯片数 = $1\text{M} \times 32\text{位} / 512\text{K} \times 8\text{位} = 2 \times 4 = 8\text{片}$
- (3) 该存储器地址线共20位，其中低19位作为芯片的地址输入，最高1位用于芯片选择。8个512K×8位芯片通过字位扩展构成1M×32位的存储器。

□ 3.8 对于SRAM芯片，如果片选信号始终是有有效的，问：

- (1) 若读命令有效后，地址仍在变化，或数据总线仍被其它信号占用，则对读出的正确性有什么影响？还有什么其它问题存在？
- (2) 若写命令有效后，地址仍在变化，或写入数据仍不稳定，会对写入有什么影响？

□ 题解：

- (1) 若地址仍在变化，则读出的数据不稳定（可能读出的不是指定单元的数据）；若数据总线上还有其他电路的信号，则可能发生冲突，并可能损坏输出端电路（输出端被并联）。
- (2) 若地址仍在变化，则数据可能被写入其他单元；若数据不稳定，则写入的数据可能发生错误。

□ 3.9 在DRAM存储器中为何将地址分为行地址和列地址？
采用这种双向地址后，需要增加哪些器件？给DRAM存储器的性能带来哪些方面的影响？

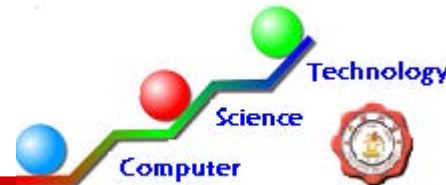
□ 题解：

由于DRAM芯片集成度高，所以容量一般比较大，导致了地址引脚数的大幅度增加，这对芯片的集成又带来了困难。为此，DRAM芯片通常将地址分为行地址和列地址两部分，行地址和列地址分时使用同一组地址引脚，这样可以将地址引脚的数量减少为原来的一半。

地址引脚采用多路分时复用技术后，芯片内部需要增加行地址锁存器，列地址锁存器。

由于地址分两次输入并缓存，会延长DRAM的存取时间。

第三章 3.10



□ 3.10 某DRAM芯片每1ms必须刷新64次，一个存储器周期需要250ns，刷新周期与存储周期相同。则刷新时间占存储器总操作时间的百分比是多少？

□ 题解：

○ 1ms(1000us)内必须刷新64次，每次刷新时间为1/4us，则1ms内16us用于刷新，比例为1.6%。

○ 或者，

1ms中包含的存取周期数为： $1\text{ms}/250\text{ns}=4000$ 个

第三章 3.11



□ 3.11若用 $1\text{M} \times 1$ 位的DRAM芯片构成 $1\text{M} \times 16$ 位的主存储器，芯片内部存储元排列成正方形阵列，其刷新最大间隔时间为 4ms 。则采用异步刷新时，两次刷新操作应相隔多长时间？ 4ms 时间内共需多少个刷新周期？

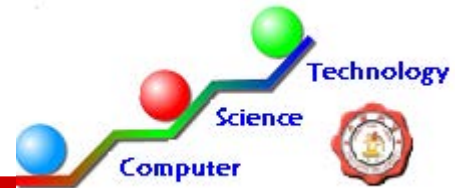
□ 题解：

刷新定时信号的周期时间为：

$$4\text{ms}/1024 = 3.9\mu\text{s};$$

4ms 时间内共需1024个刷新周期。

第三章 3.12



□ 3.12 某32位机主存地址码为32位，使用 $64\text{M} \times 4$ 位的DRAM芯片组成，设芯片内部由4个 $8\text{K} \times 8\text{K}$ 存储体结构组成，4个体可同时刷新，存储周期为 $0.1\mu\text{s}$ 。若采用异步刷新方式，设存储元刷新最大时间间隔不超过 8ms ，则刷新定时信号的周期时间是多少？对整个存储器刷新一遍需要多少个刷新周期？

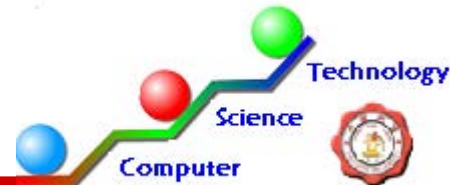
□ 题解：

刷新定时信号的周期时间为：

$8\text{ms}/8192=0.976\mu\text{s}\approx 0.9\mu\text{s}$ ；(不能取 $0.98\mu\text{s}$)

对整个存储器刷新一遍需要 8K 个刷新周期。

第三章 3.13



□ 3.13 用 $16\text{K} \times 8$ 位的DRAM芯片构成 $64\text{K} \times 32$ 位存储器，要求：

- (1) 计算该存储器的芯片用量；
- (2) 画出该存储器的原理性组成逻辑图；
- (3) 采用异步刷新方式，设芯片内部矩阵为 $128 \times 128 \times 8$ 结构，如存储元刷新最大间隔不超过 8ms ，则刷新定时信号周期是多少？对整个存储器刷新一遍需要多少个刷新周期？
- (4) 如改用分散刷新方式，设存储周期为 $0.5\mu\text{s}$ ，则在 8ms 时间内可对整个存储器刷新多少遍？有多少遍是多余的？
- (5) 如改用集中刷新方式，CPU访存的死时间是多少？

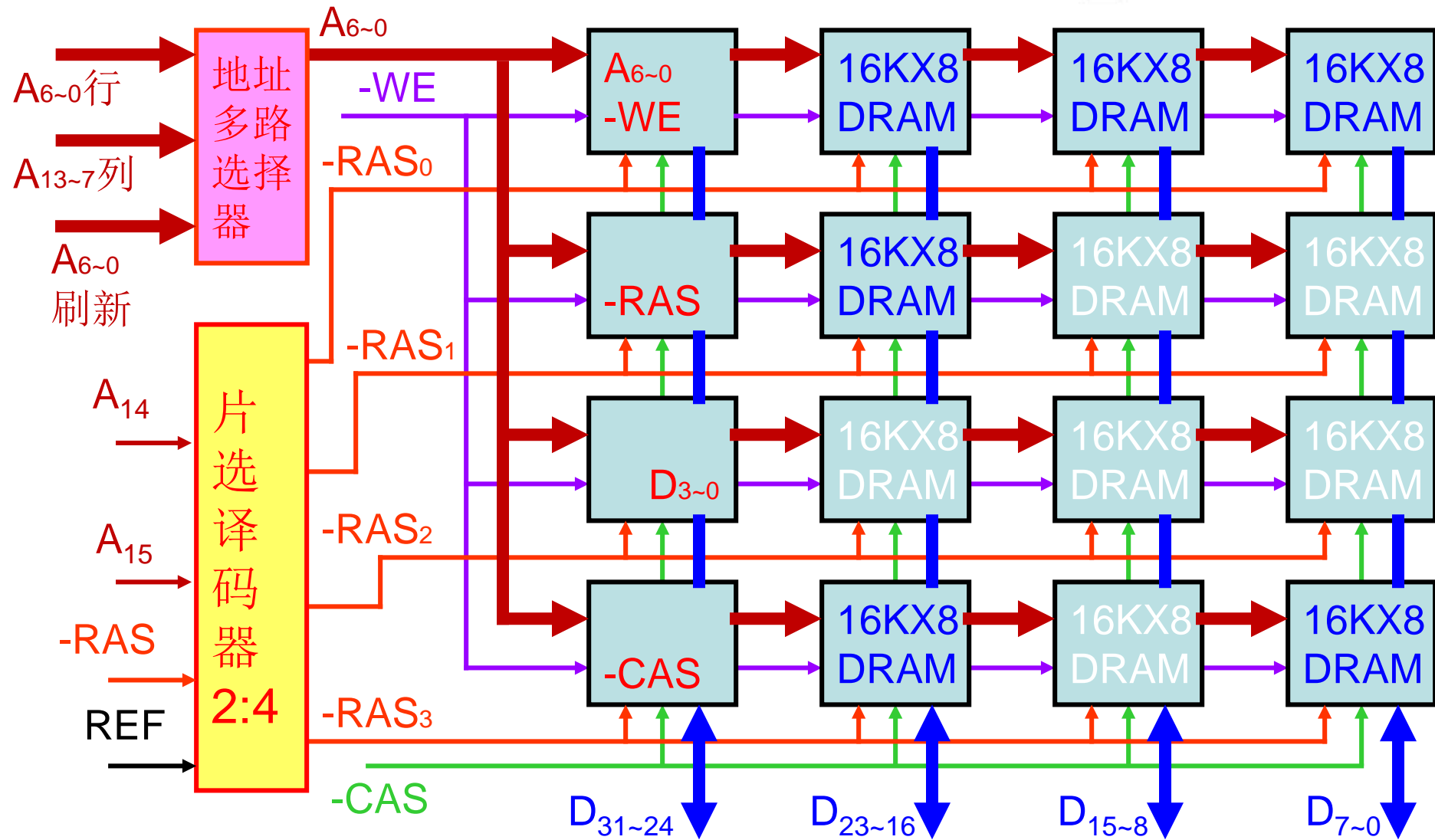
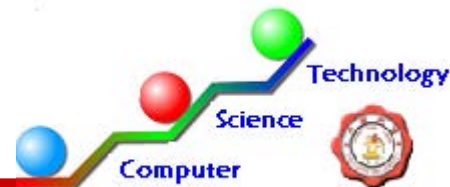
第三章 3.13



□ 题解：

- (1) $64K \times 32\text{位} / 16K \times 8\text{位} = 4 \times 4 = 16\text{片}$ ；
- (2) 见下页；
- (3) $8\text{ms} / 128 = 62.5\mu\text{s}$ ，刷新周期为 $62.5\mu\text{s}$ ，128个刷新周期；
- (4) 分散式对存储器刷新一遍用时 $128 \times 0.5\mu\text{s} \times 2 = 128\mu\text{s}$ ，在 8ms 内对存储器刷新的次数： $8\text{ms} / 128\mu\text{s} = 62.5\text{遍}$ ，所以61.5遍是多余；
- (5) $128 \times 0.5\mu\text{s} = 64\mu\text{s}$ ，死时间为 $64\mu\text{s}$ 。

第三章 3.13



第三章 3.14

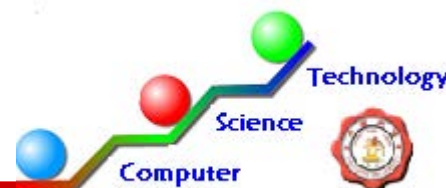


□ 3.14 某机存储器的ROM区域所占的地址空间为0000H~3FFFH，由8K×8位EPROM芯片组成。RAM区域的大小为40K×16位，起始地址为6000H，采用的SRAM芯片容量仍为8K×8位。假设SRAM芯片有-CS和-WE信号控制端，CPU的地址总线为 $A_{15} \sim A_0$ ，数据总线为 $D_{15} \sim D_0$ ，控制总线给出的控制信号有R/-W（读/写）和-MREQ（访存）。要求：

- (1) 画出地址空间分配图，并在图中标出译码方案；
- (2) 画出该存储器的原理性组成逻辑图；并与CPU总线相连。

□ 题解：

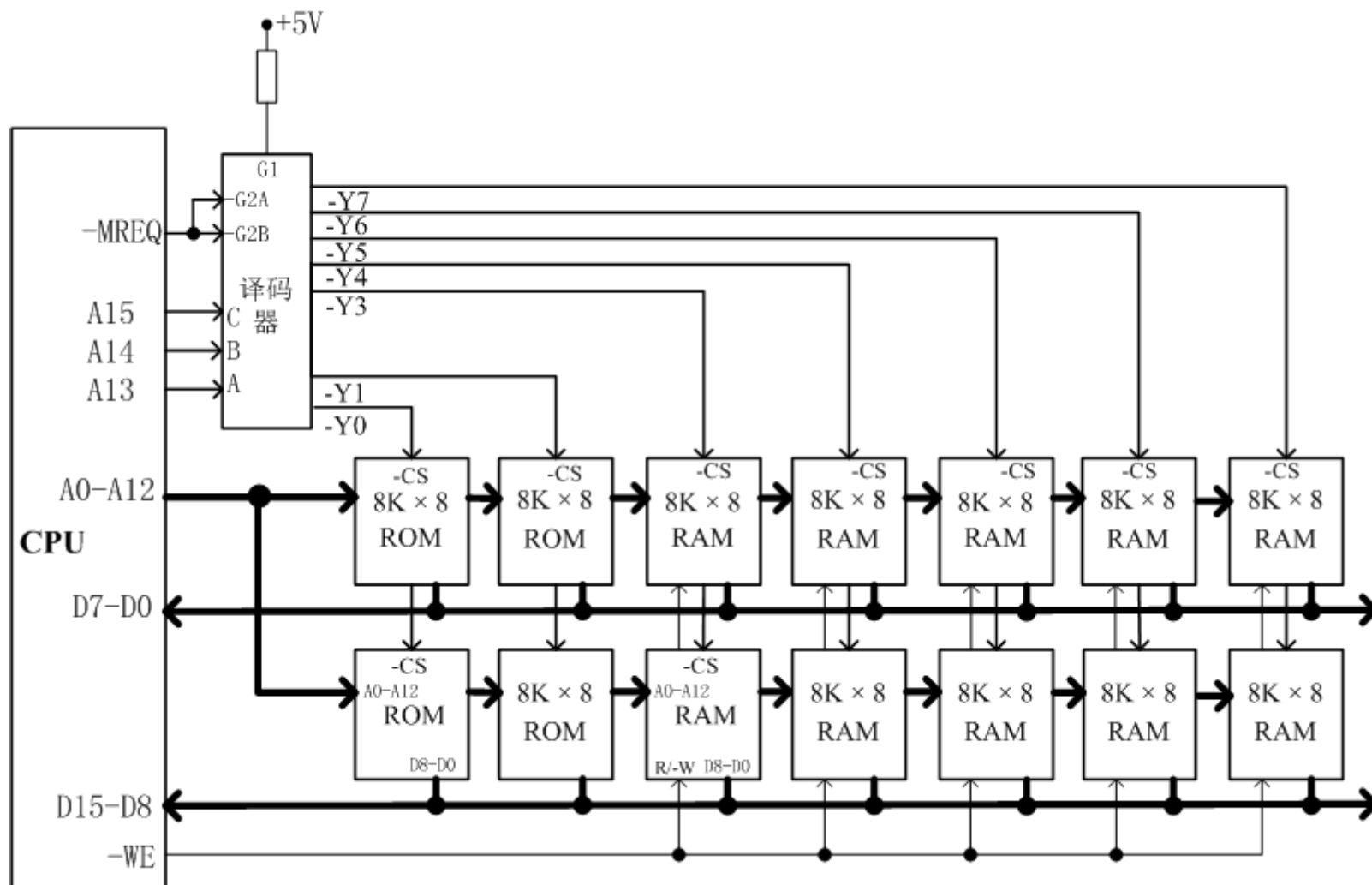
第三章 3.14



□ (1)依题意，选用4片 $8K \times 8$ 位的EPR0M组成 $16K \times 16$ 位ROM区；10片 $8K \times 8$ 位RAM片组成 $40K \times 16$ 位的RAM区。芯片均需13位片内地址，故可用A15-A13三位高地址经译码产生片选信号。主存地址空间分布及译码方案如右图所示：

0000H	$8K \times 8$ ROM 2片	Y0
	$8K \times 8$ ROM 2片	Y1
3FFFH 4000H	$8K \times 16$ 预留	
5FFFH 6000H	$8K \times 8$ RAM 2片	Y3
	$8K \times 8$ RAM 2片	Y4
	$8K \times 8$ RAM 2片	Y5
	$8K \times 8$ RAM 2片	Y6
FFFFH	$8K \times 8$ RAM 2片	Y7

第三章 3.14



第三章 3.15



□ 3.15 设CPU有16根地址线，8根数据线，并用/MREQ作访存控制信号（低电平有效），用-WR作读/写控制信号（高电平为读，低电平为写）。现有下列存储芯片：1K×4位SRAM；4K×8位SRAM；8K×8位SRAM；2K×8位EPROM；4K×8位EPROM；8K×8位EPROM及74LS138译码器和各种门电路，请画出CPU与存储器的连接图。要求：

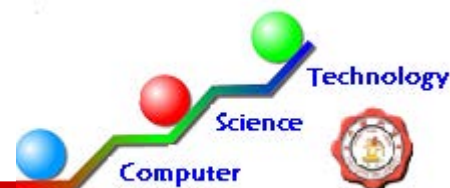
- (1) 主存地址空间分配如下： 6000H~67FFH为系统程序区；6800H~6BFFH为用户程序区； 6C00H~6FFFH为系统程序工作区。

请画出主存地址空间分配图，并标出译码分配方案。

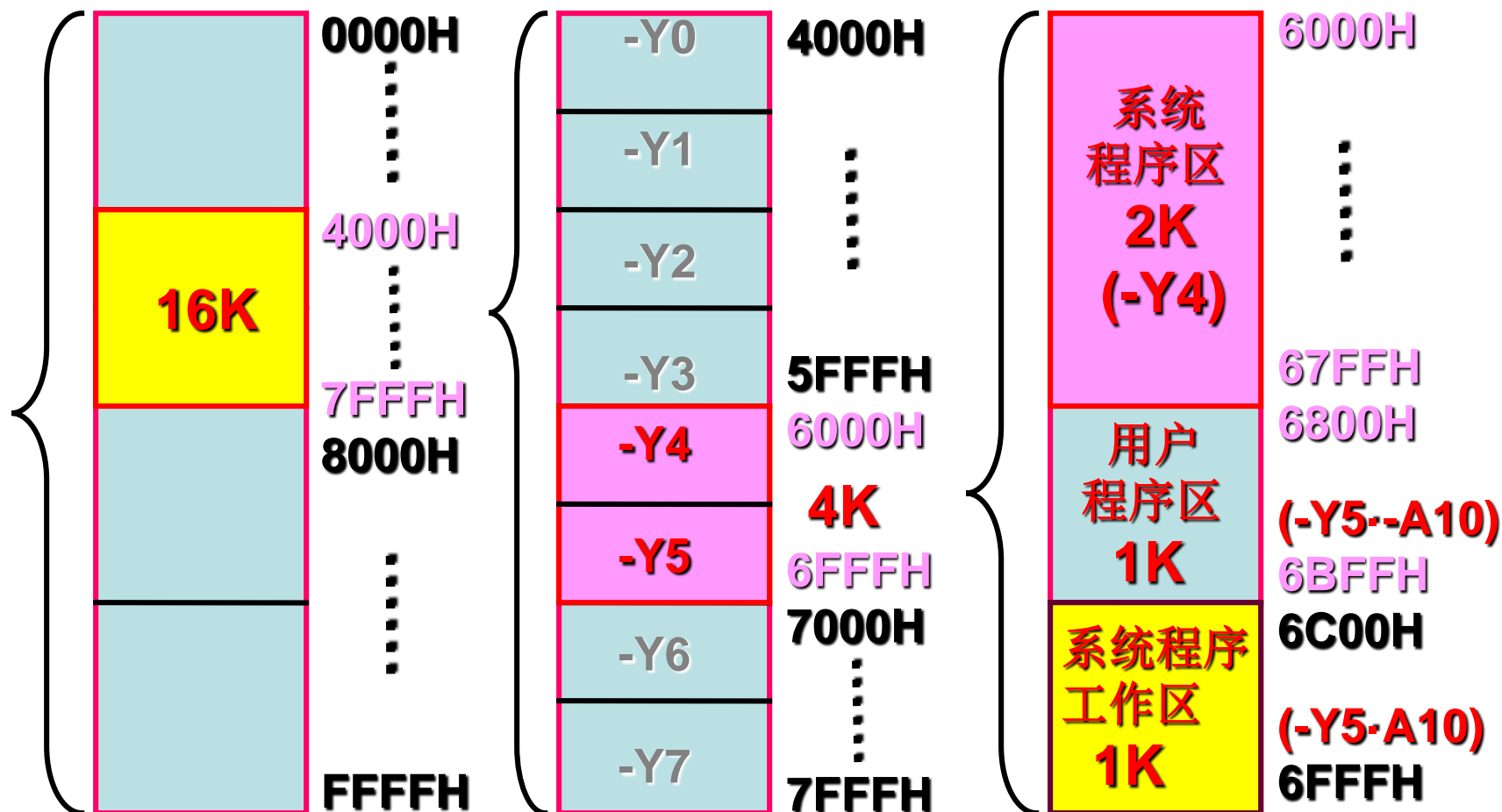
- (2) 合理选用上述存储芯片，说明各选几片？
- (3) 详细画出存储芯片的片选逻辑图。

□ 题解：

第三章 3.15



□ (1) 地址空间分配图:



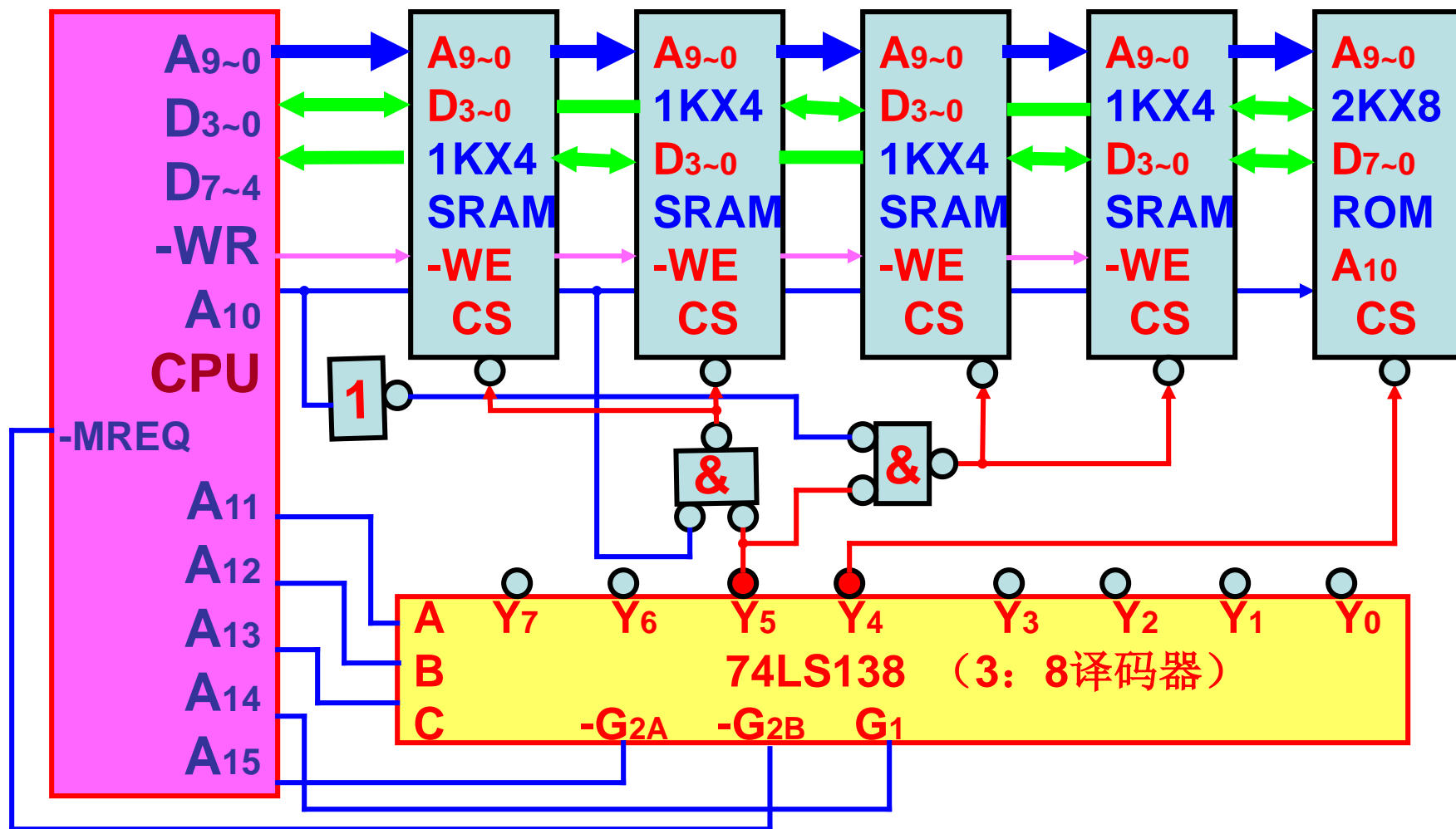
第三章 3.15



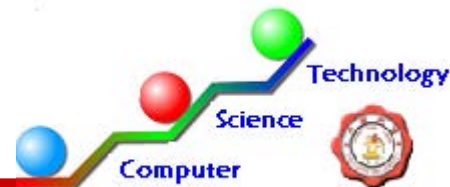
- (2) 选片：系统程序区 (ROM): $67FFH - 6000H = 2K$
2K×8位: 1片;
 用户程序区 (RAM): $6BFFH - 6800H = 1K$
 系统程序工作区 (RAM): $6FFFH - 6C00H = 1K$
 1K×4位: 4片;
- (3) 片选逻辑图见下页:

第三章 3.15

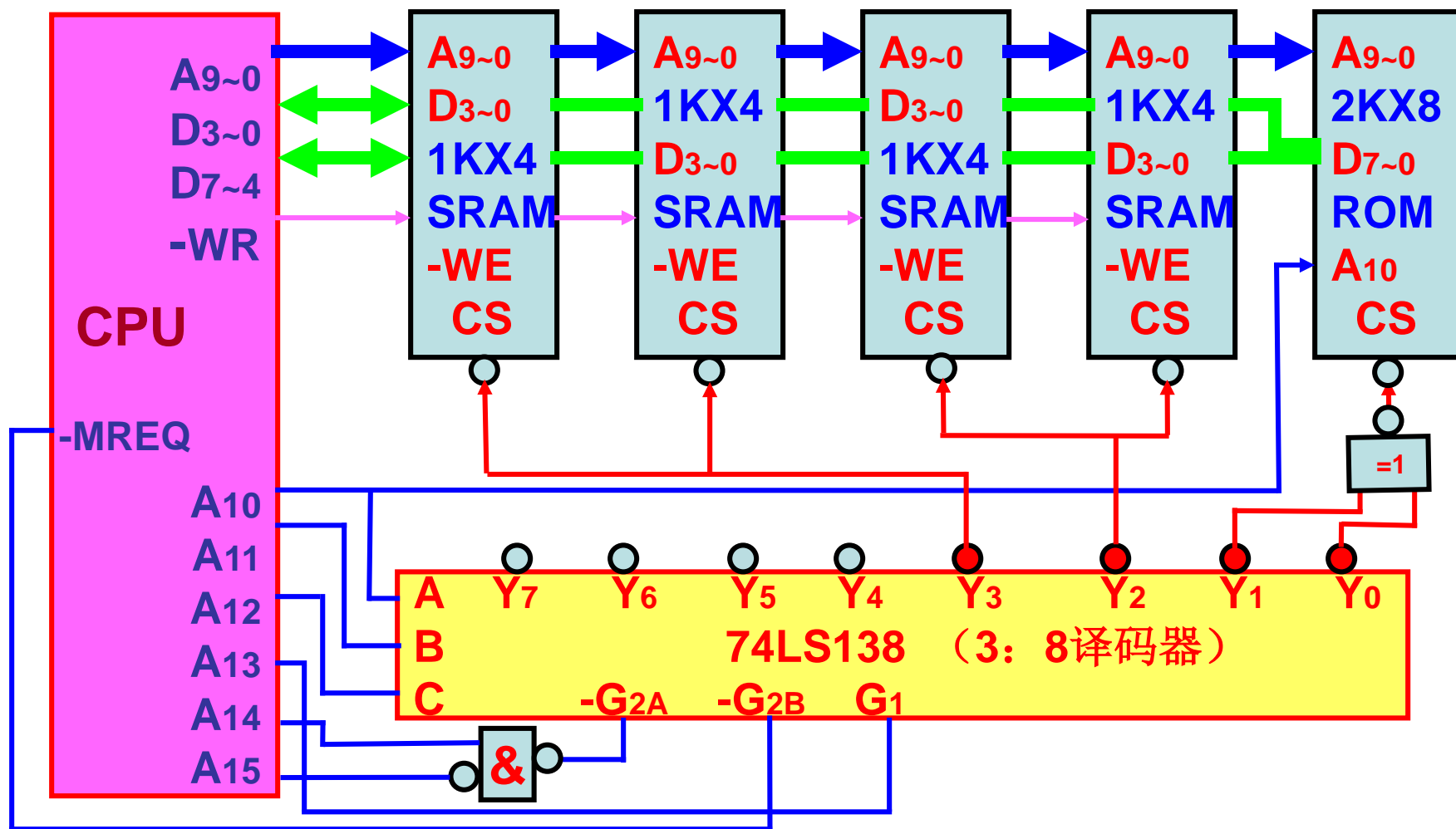
(3) CPU与存储器连接逻辑图:



第三章 3.15



(3) CPU与存储器连接逻辑图：（解法二）



第三章 3.16



- 3.16 某32位机主存地址码为32位，使用64M×4位的SRAM芯片组成，并采用存储条（模块板）结构，问：
- (1) 若该主存采用按字节编址方式，其字节寻址范围可达多少？
 - (2) 若每个存储条容量为512MB，共需几块存储条才能构成支持上述寻址范围的主存？
 - (3) 每个存储条内需要多少SRAM芯片？该主存共需多少SRAM芯片？
 - (4) 画出该存储器的地址格式分配图。

第三章 3.16

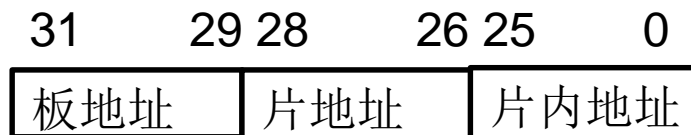


- (5)若采用74LS138译码器芯片，画出存储条（模块板）的逻辑组成图。
- (6)设CPU采用-MERQ（访存请求，低有效）信号、R/-W（读/写控制信号，高为读令，低为写令）信号与主存联络，画出该存储器的逻辑组成框图并与CPU连接。

第三章 3.16

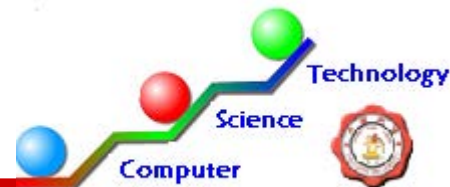


- (1) 4GB
- (2) $4\text{GB}/512\text{MB} = 8$ 条
- (3) $512\text{M} \times 8\text{位} / 64\text{M} \times 4 = 8 \times 2 = 16$ 个; $8 \times 16 = 128$ 个;
- (4) 存储器的地址格式分配图

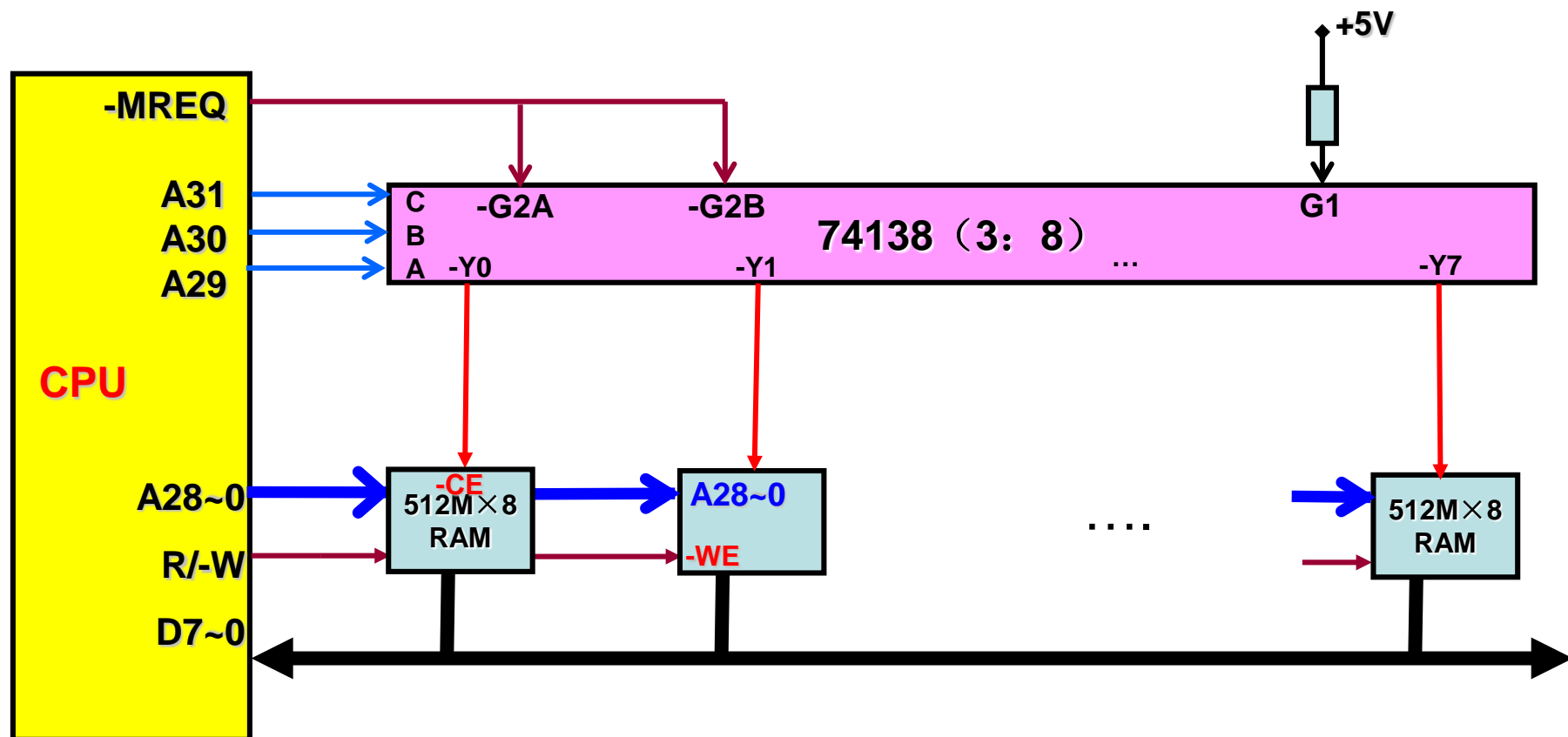


The diagram illustrates the connection of a 74138 decoder to a 64Mx4 RAM array. The 74138 decoder (labeled 74138 (3: 8)) has three address inputs: A28 (C), A27 (B), and A26 (A). Its outputs are labeled -G2A, -G2B, -Y0, -Y1, ..., -Y7. The -CE input is connected to -G2A and -G2B. The +5V supply is connected to G1. The decoder's outputs -Y0, -Y1, and -Y7 are connected to the -CS inputs of the RAM chips. The -WE input is connected to the -WE inputs of the RAM chips. The RAM chips are organized into two rows: the top row has inputs A25~0 and outputs D3~0, while the bottom row has inputs A25~0 and outputs D7~4. The RAM chips are connected to the D3~0 and D7~4 data buses.

第三章 3.16

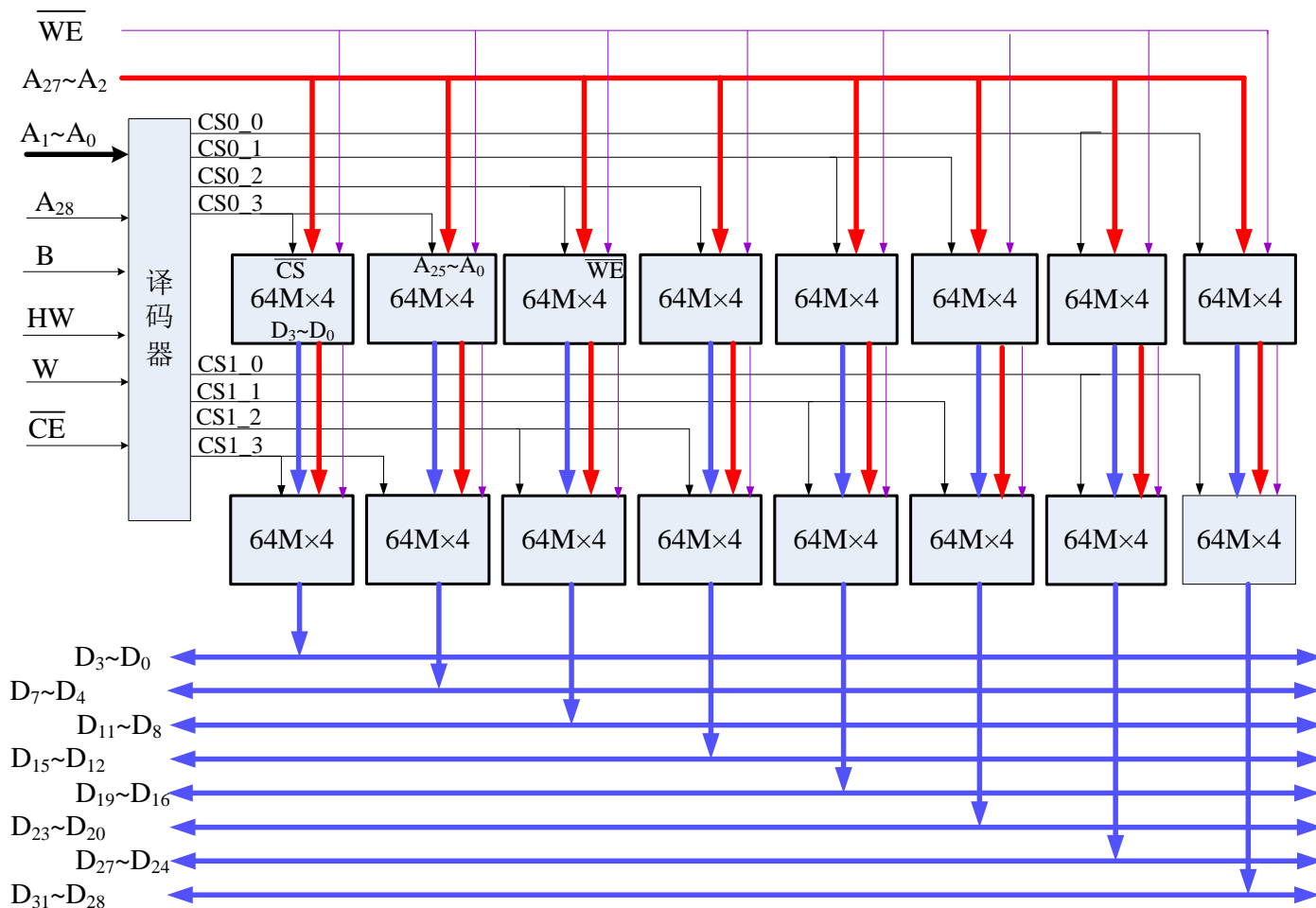


(6)存储器的逻辑组成框图及与CPU连接



第三章 3.16-2

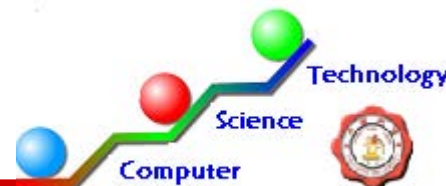
(5)存储条（模块板）的逻辑组成图



信号注释:

B: 按字节访问
W: 按字访问
HW: 按半字访问
CE: 条选择

第三章 3.16-2



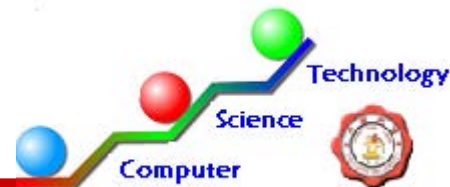
译码器逻辑如下: (Verilog HDL)

```
module ChipSelOpt (  
    input wire A0, A1;  
    input wire A28;  
    input wire B, HW, W;  
    input wire ~CE;  
    output reg CS0_0, CS0_1, CS0_2, CS0_3, CS1_0, CS1_1, CS1_2, CS1_3;
```

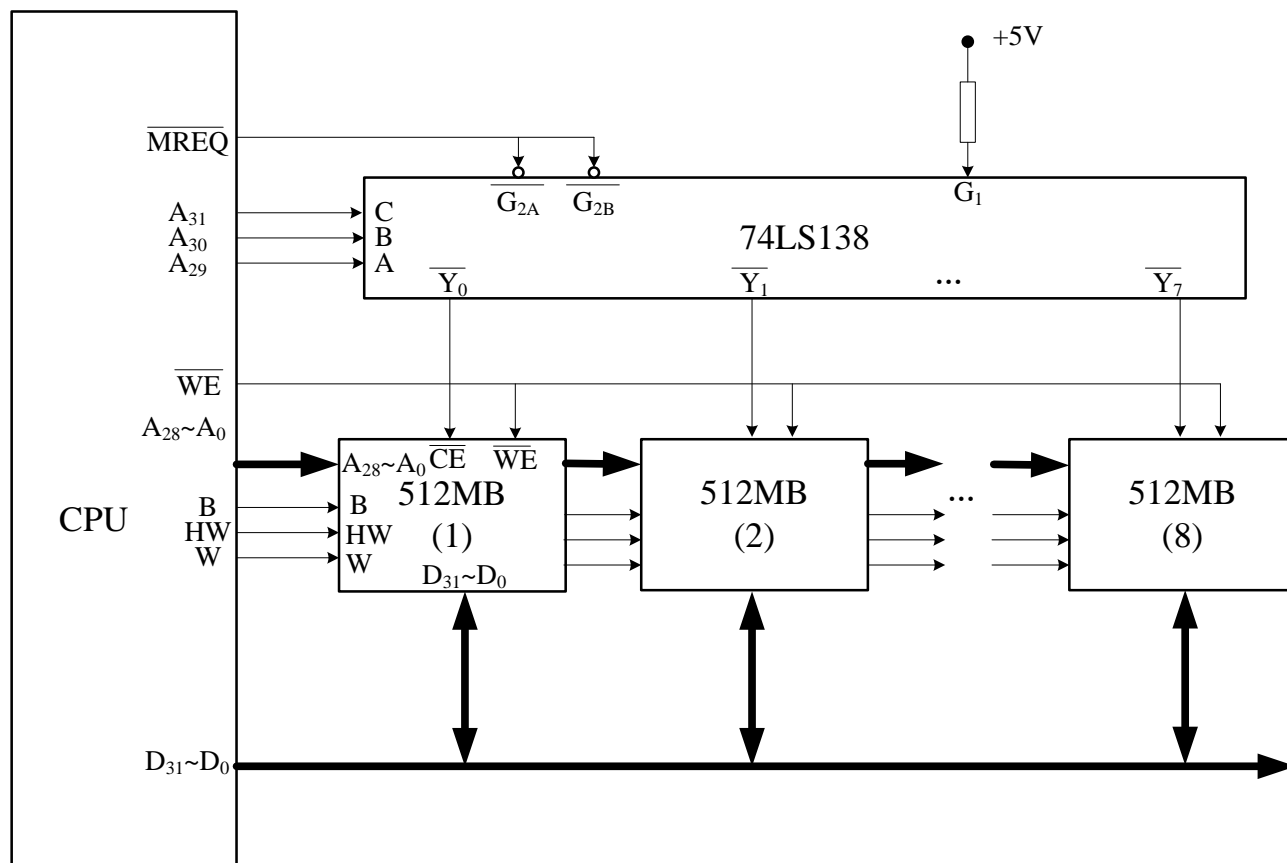
注释:
按照边界对齐方
式访问字和半字

```
    CS1_0 <= (((B and ~A1 and ~A0) or (HW and ~A1) or W) and A28) and ~CE;  
    CS1_1 <= (((B and ~A1 and A0) or (HW and ~A1) or W) and A28) and ~CE;  
    CS1_2 <= (((B and A1 and ~A0) or (HW and A1) or W) and A28) and ~CE;  
    CS1_3 <= (((B and A1 and A0) or (HW and A1) or W) and A28) and ~CE;  
    CS0_0 <= (((B and ~A1 and ~A0) or (HW and ~A1) or W) and ~A28) and ~CE;  
    CS0_1 <= (((B and ~A1 and A0) or (HW and ~A1) or W) and ~A28) and ~CE;  
    CS0_2 <= (((B and A1 and ~A0) or (HW and A1) or W) and ~A28) and ~CE;  
    CS0_3 <= (((B and A1 and A0) or (HW and A1) or W) and ~A28) and ~CE;
```

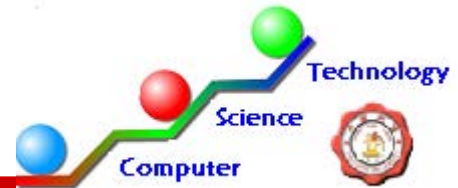
第三章 3.16-2



(6)存储器的逻辑组成框图及与CPU连接



第三章 3.17



□ 3.17 用2片 $1\text{M} \times 4$ 位的SRAM芯片和若干片 $256\text{K} \times 8$ 位的SRAM芯片构成 $1\text{M} \times 16$ 位的主存储器，设CPU的地址总线为 $A_{19} \sim A_0$ ，数据总线为 $D_{15} \sim D_0$ ，控制信号为 $R/-W$ （高电平表示读，低电平表示写）， $-\text{MREQ}$ （低电平表示访存），试问：

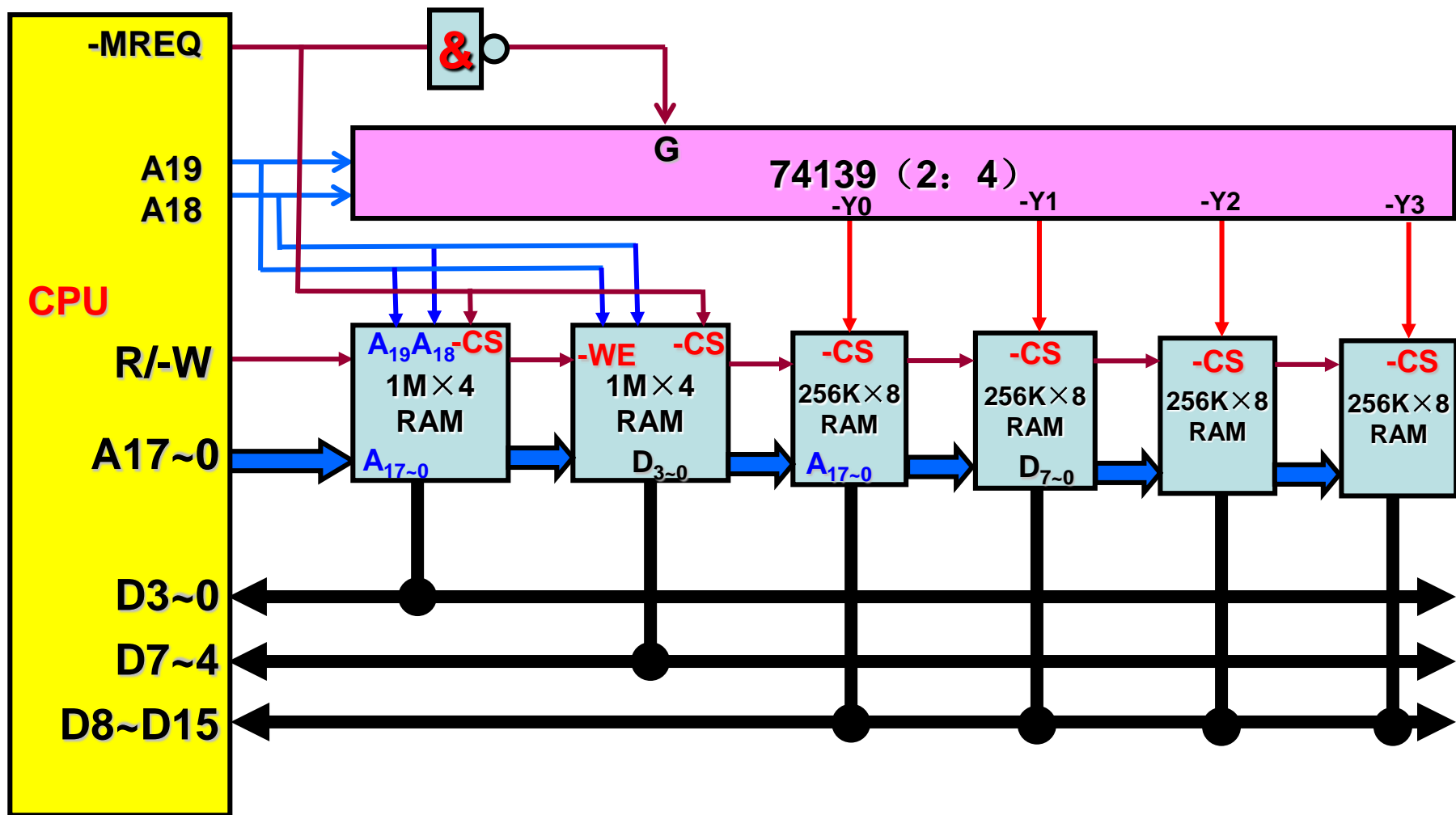
- (1) 除2片 $1\text{M} \times 4$ 位SRAM芯片外，还需多少片 $256\text{K} \times 8$ 位SRAM芯片？
- (2) 画出该存储器的组成逻辑图，并与CPU连接。

第三章 3.17



□ 题解:

- (1) 需要 $1\text{M} \times 8$ 位SRAM, 如果采用 $256\text{K} \times 8$ 位进行字扩展, 则需要4片;
- (2) 逻辑图(见下页)



第三章 3.18



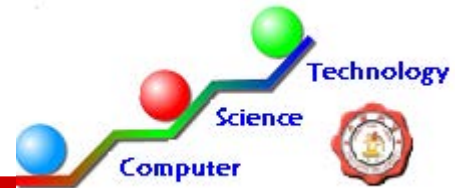
□ 3.18 某64位机主存地址码为26位，使用256K×16位的DRAM芯片组成，并采用模块板结构，问：

- (1) 若每个模块板容量为1M×64位，共需几块模块板？
- (2) 每个模块板内有多少DRAM芯片？
- (3) 主存共需多少DRAM芯片？
- (4) 试述该存储器的地址译码方案。

□ 题解：

- (1) 最大主存容量： $2^{26} = 64\text{M} \times 64\text{位}$ ，
 $64\text{M} \times 64\text{位} / 1\text{M} \times 64\text{位} = 64$ ，
则需要64个1M×64位模块。
- (2) $1\text{M} \times 64\text{位} / 256\text{K} \times 16\text{位} = 4 \times 4 = 16$ ，
则每个模块板内有16片DRAM芯片。
- (3) $64 \times 16 = 1024$ ，则主存共需1024片DRAM芯片
- (4) 6位模块地址，2位芯片地址，18位片内地址

第三章 3.19

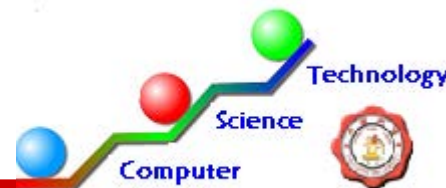


□ 3.19 现有两个IA-32汇编程序，其中分别定义了一个数据段，定义方式如下：

- (1) data segment
msg db "Hello!"
align 4
dw 100,200,300
data ends
- (2) data segment
msg db "Hello"
dw 200,300,400
data ends

若这两个程序运行前，数据段加载到主存中的起始地址为00B04010H，请分别画出两个程序中数据段在主存中放置的示意图，并标出每个字节单元的地址及内容。（注：在IA-32汇编程序中，用dw定义16位数据，用dd定义32位数据。）

第三章 3.19



□ 解：主存单元地址及内容的十六进制表示形式如下：

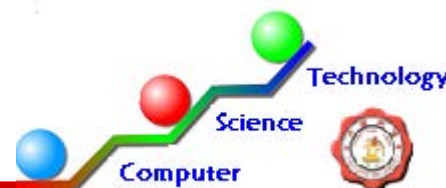
(1)

字节地址	3	2	1	0	字地址
	...				
	6c	6c	65	48	00B04010
				6f	00B04014
	00	c8	00	64	00B04018
			01	2c	00B0401C
	...				
	高字节 ←————— 低字节				

(2)

字节地址	3	2	1	0	字地址
	...				
	6c	6c	65	48	00B04010
	2c	00	c8	6f	00B04014
		01	90	01	00B04018
					00B0401C
	...				
	高字节 ←————— 低字节				

第三章 3.21



□ 3.21 图3-3中，如果检索寄存器的值为“**** 1011 ****
****”，屏蔽寄存器的值是什么？检索完成后，匹配寄存器中的值又是什么？

□ 题解：

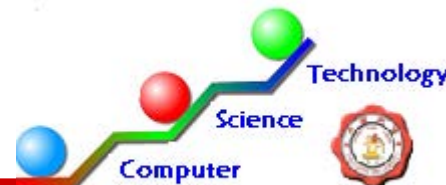
□ 屏蔽寄存器的值是：0000 1111 0000 0000；
完成检索后匹配寄存器的值为：01000...

□ 3.24 将数据cache和指令cache分开有什么好处？

答：将数据cache和指令cache分开有如下**好处**：

- 1) 可支持超前控制和流水线控制，有利于这类控制方式下指令预取操作的完成；
- 2) 指令cache可类似于ROM实现，以提高指令存取的可靠性；
- 3) 数据cache对不同数据类型的支持更为灵活，既可支持整数（例32位），也可支持浮点数据（如64位）。

第三章 3.25



3.25 某计算机系统的内存由cache和主存构成，cache的存取周期为40ns，主存的存取周期为200ns。已知在一段给定的时间内，CPU共访问内存4500次，其中300次访问主存，求：

(1) Cache的命中率是多少？

(2) CPU访问内存的平均访问时间是多少？

答：

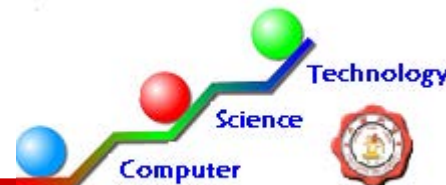
(1) 命中率

$$H = (4500 - 300) / 4500 \approx 93\%$$

(2) 平均访存时间

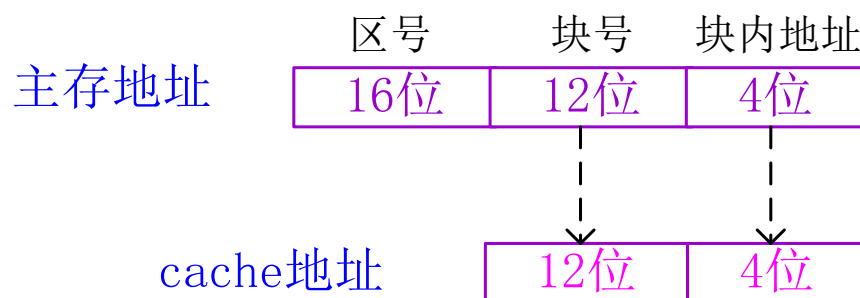
$$T_a = 93\% \times 40\text{ns} + (1 - 93\%) \times 200\text{ns} = 51.2\text{ns}$$

第三章 3.26



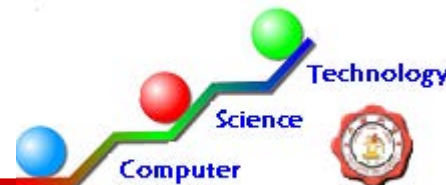
□ 3.26 某32 位计算机的 cache 容量为 **64KB**，cache 块的大小为 16B，若采用直接映射方式，则主存地址为 123456F8（十六进制）的存储单元装入到cache中的cache地址是多少？

答：采用直接映射方式时，主存和cache 地址格式如下：



故主存地址为 123456F8H的存储单元装入到cache中的cache地址是：56F8H。

第三章 3.27



3.27 给定以下程序段：

```
int array[1000][1000];  
for ( i=0; i<1000; i ++ )  
    for ( j=0; j<1000; j ++ )  
        sum+=a[i][j];  
return sum;
```

试比较按行优先和按列优先两种方式存储方式哪一种有更高的执行效率。

答：按行优先执行更高效率。

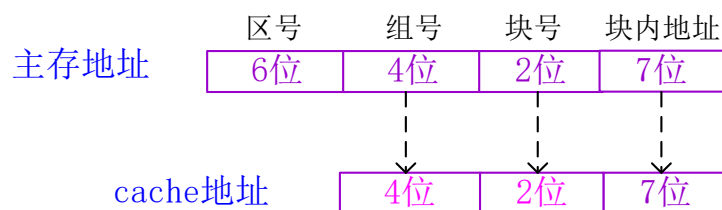
因为对数据访问是按行进行的，若按行优先存储使得数据访问具有局部性，cache命中率高。

第三章 3.28



3.28 某计算机的cache采用组相联映射方式，每块大小为128B，cache容量为64块，按4块分组，主存容量为4096块，问：主存地址共需多少位？主存地址字段中主存字块标记，组地址和块地址各需多少位？

答：采用组相联映射方式，主存和cache 地址格式如下：

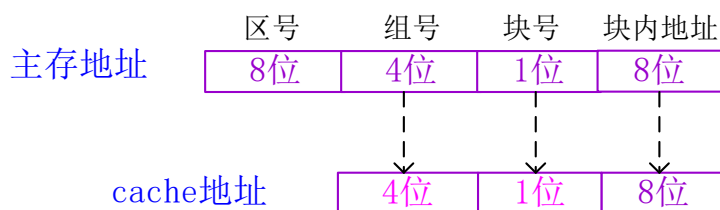


第三章 3.29



3.29 假设主存与cache间采用2路组相联映射，块大小为256字。Cache容量为8K字，主存地址空间为2M字。问：主存地址该如何划分？说明主存地址和cache地址是如何映射的？

答：采用2路组相联映射时，主存和cache 地址格式如下：



第三章 3.30



3.30 假设某计算机的cache的容量为8块，块大小为一个字，开始时cache所有块为空。如果采用直接映射方式和LRU替换算法，按字编址。CPU按照如下地址顺序执行：1,2,4,8,16,21,56,45,2,4,6,7,5,4,7。问：

- (1) 说明每次访问时命中还是缺失，并计算上述访问的命中率是多少？
- (2) 假设cache的容量为4块，重新计算（1）。
- (3) 如果采用两路组相联映射方式，其它条件不变，重新计算（1）。

第三章 3.30 (1)



答：（1）cache中存放程序的变化情况如下图所示：

程序执行顺序	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
Cache 块0				8	16	16	56	56	56	56	56	56	56	56	56
Cache 块1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
Cache 块2		2	2	2	2	2	2	2	2 ✓	2	2	2	2	2	2
Cache 块3															
Cache 块4			4	4	4	4	4	4	4	4 ✓	4	4	4	4 ✓	4
Cache 块5						21	21	45	45	45	45	45	5	5	5
Cache 块6											6	6	6	6	6
Cache 块7												7	7	7	7 ✓

命中率： $4/15 \times 100\% \approx 26.7\%$

第三章 3.30 (2)



(2) cache中存放程序的变化情况如下图所示：

程序执行顺序	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
Cache 块0			4	8	16	16	56	56	56	4	4	4	4	4 ✓	4
Cache 块1	1	1	1	1	1	21	21	45	45	45	45	45	5	1	1
Cache 块2		2	2	2	2	2	2	2	2 ✓	2	6	6	6	2	2
Cache 块3												7	7	7	7 ✓

命中率： $3/15 \times 100\% = 20\%$

第三章 3.30 (3)



(3) 采用LRU算法的cache中存放程序变化情况如下：

程序执行顺序	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
Cache 块0				8	8	8	56	56	56	56	56	56	56	56	56
Cache 块1	1	1	1	1	16	16	16	16	16	16	16	16	16	16	16
Cache 块2		2	2	2	2	2	2	2	2 ✓	2	2	2	2	2	2
Cache 块3															
Cache 块4			4	4	4	4	4	45	45	45	45	45	5	5	5
Cache 块5						21	21	21	21	4	4	4	4	4 ✓	4
Cache 块6											6	6	6	6	6
Cache 块7												7	7	7	7 ✓

命中率： $3/15 \times 100\% = 20\%$

第三章 3.31



3.31 考虑以下简单的程序：

```
for i=1 to 100
```

```
  x=x+1;
```

分别说明采用写回法和写直达法时，分别需要对主存执行多少次写操作？

答：采用写直达法时，每写一次数据都要写主存。采用写回法时，只有当被修改的块被替换时才写主存。

对该程序来说，采用写直达法时对主存执行100次写操作；采用写回法时对主存执行写操作的次数与块大小、替换策略等有关。

第三章 3.32



□ 3.32 某磁盘组有6片盘片，每片有两个记录面，最上最下两个面不用。存储区域内直径22cm，外直径33cm，道密度为40道/cm，内层位密度500位/cm，转速5400转/分。问：

○(1) 共有多少柱面？

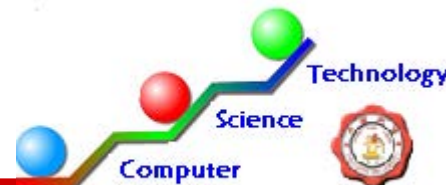
○(2) 盘组总存储容量是多少？

○(3) 数据传输率是多少？

○(4) 采用定长数据块记录格式，直接寻址的最小单位是什么？若一个扇区的大小为512B，系统中带有两台盘驱，则寻址命令中如何表示磁盘地址？

○(5) 如果某文件长度超过一个磁道的容量，应将它记录在同一个存储面上，还是记录在同一个柱面上？为什么？

第三章 3.32



□ 题解:

○ (1)柱面数 = 磁道数 = $(33-22)/2 \times 40 = 220$ 道;

○ (2)硬盘容量=磁盘记录面数 \times 道数 \times (位密度 \times 磁道的周长)
 $=10 \times 220 \times (500 \times 22 \times \pi) \text{ b}$
 $=75\,988\,000\text{b} = 9\,498\,500\text{B} \approx 9.058\text{MB}$

(在此, $M=2^{20}$)

○ (3)数据传输率=磁道容量 \times 转速= $(500 \times 22 \times \pi) \text{ b} \times 5400/60$
 $=34540\text{b} \times 90=3\,108\,600\text{bps}=388\,575\text{Bps} \approx 389\text{KBps}$

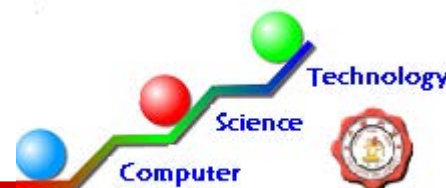
(在此, $K=10^3$)

○ (4)直接寻址的最小单位是扇区; 扇区数= $34540\text{b}/8/512\text{B}=8$, 向下取偶
磁盘地址表示格式:

1	8	4	3
驱动器号	柱面号	盘面号	扇区号

○ (5)应记录在同一柱面上, 减少磁头找道时间。

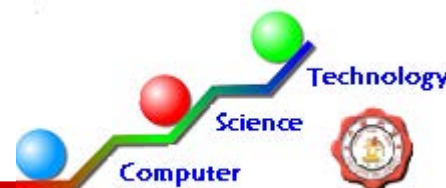
第三章 3.33



□ 3.33 假设磁盘存储器共有5个盘片，最外两侧盘面不能记录，每面有200个磁道，每条磁道有12个扇区，采用定长记录格式，每个扇区可保存512B。磁盘机以7200rpm速度旋转，平均定位时间为8ms。问：

- (1) 这个磁盘存储器的存储容量是多少？
- (2) 磁盘存储器的平均寻址时间是多少？
- (3) 数据传输率是多少？

第三章 3.33



□ 题解:

(1) 道容量 = $512\text{B} \times 12 = 6144\text{B}$

存储容量 = $(5 \times 2 - 2) \times 200 \times 6144\text{B}$

$= 8 \times 200 \times 6144\text{B} = 9\ 830\ 400\text{B} = 9.375\text{MB}$

(在此, $M=2^{20}$, 来自数据结构)

(2) 平均等待时间 = $60/7200\text{rpm}/2 \approx 0.00416\text{s} \approx 4.16\text{ms}$

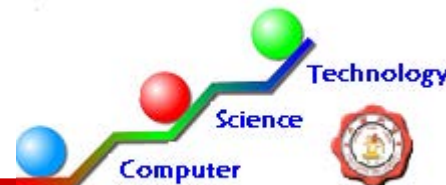
平均寻址时间 = $8\text{ms} + 4.16\text{ms} = 12.16\text{ms}$

(3) 数据传输率 = $6144\text{B} \times 7200\text{rpm}/60$

$= 6144\text{B} \times 120 = 737\ 280\text{Bps} = 720\text{KBps}$

($K=10^3$)

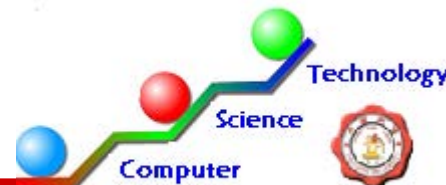
第三章 3.34



□ 3.34 某磁盘存储器转速为**7200rpm**，共有**6**个记录面，每毫米磁道数为**10道**。采用定长记录格式，每个磁道可以记录信息**12 288B**，最小磁道直径为**22cm**，共有**200道**，问：

- (1) 这个磁盘存储器的**存储容量**是多少？
- (2) 最外层磁道和最内层磁道的**位密度**分别是多少？
- (3) **数据传输率**是多少？

第三章 3.34



解:

$$\begin{aligned} (1) \text{ 存储容量} &= 200 \text{道} \times 12 \text{ 288B/道} \times 6 \text{面} \\ &= \mathbf{14\ 745\ 600B} \approx 14.06\text{MB} \end{aligned}$$

(在此, $M=2^{20}$, 来自**数据结构**)

$$\begin{aligned} (2) \text{ 最高位密度} &= 12\ 288\text{B} \div 220\pi \\ &= 12\ 288 \times 8 \text{位} \div (220 \times 3.14) \approx \mathbf{142 \text{位/mm}} \text{ (向下取整)} \end{aligned}$$

$$\text{最外层磁道直径} = 220\text{mm} + 200 \text{道} / 10 \text{道} \times 2$$

$$= 220\text{mm} + 40\text{mm} = 260\text{mm}$$

$$\text{最低位密度} = 12\ 288\text{B} \div 260\pi$$

$$= 12\ 288 \times 8 \text{位} \div (260 \times 3.14) \approx \mathbf{120 \text{位/mm}} \text{ (向下取整)}$$

$$\begin{aligned} (3) \text{ 磁盘数据传输率} &= 12\ 288\text{B} \times 7200\text{rpm} / 60 \\ &= 12\ 288\text{B} \times 120 \text{转/秒} = \mathbf{1\ 474\ 560\text{Bps}} = 1.5\text{MBps} \\ &(\text{M}=10^6) \end{aligned}$$

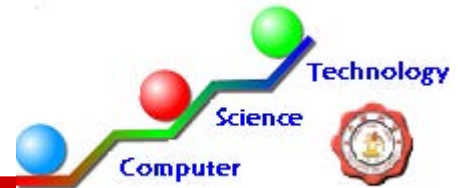
第三章 3.35



□ 3.35 对于一个有多个盘面构成的磁盘存储器，当需要存储的文件长度**超过**一个磁道的容量时，应该将超出部分记录在同一个盘面的不同磁道，还是不同盘面的同一个磁道？

□答：如果文件长度超过一个磁道的容量，应将它记录在**同一个柱面上**（即不同盘面的同一个磁道），因为这样不需要重新找道，**有利于提高数据读写速度**。

第三章 3.36



□3.36 已知某磁盘存储器转速为**2400rpm**，每个记录面道数为**200道**，平均查找时间为**60ms**，每道存储容量为**96Kb**，求磁盘的存取时间与数据传输率。

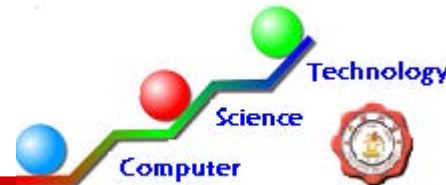
□解：

□平均等待时间= $60\text{秒}/2400\text{rpm}/2=0.0125\text{秒}=12.5\text{ms}$

□平均存取时间=平均找道时间+平均等待时间
= $60\text{ms} + 12.5\text{ms} = 72.5\text{ms}$

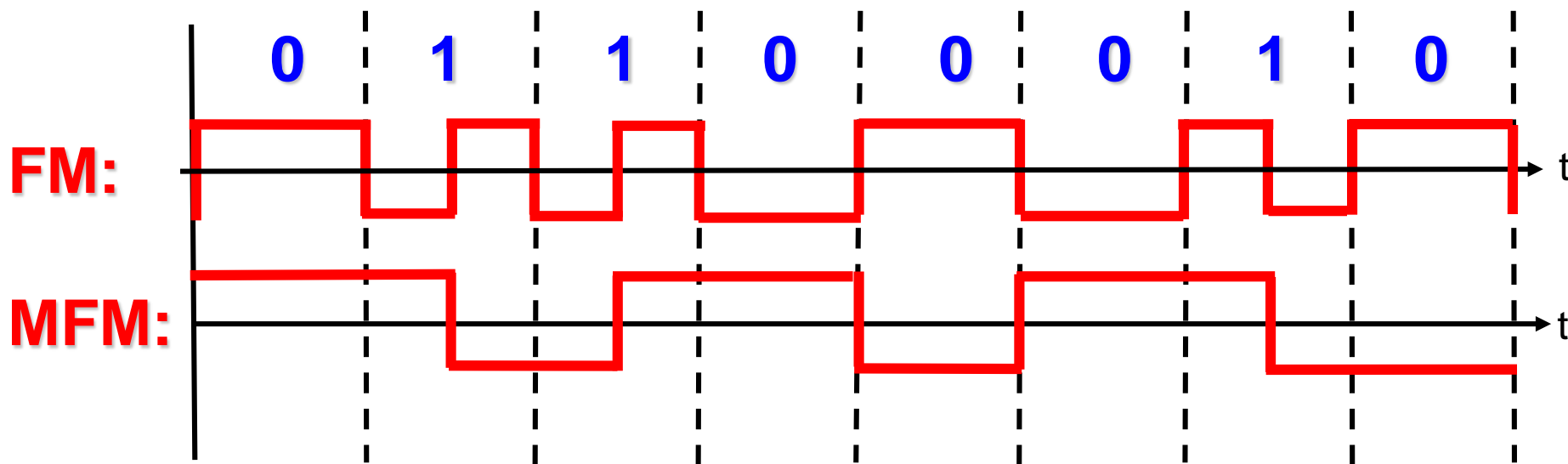
□数据传输率= $96\text{Kb} \times 2400\text{rpm}/60 = 3840\text{Kbps}$

第三章 3.37



□ 3.37 分别画出FM和MFM记录 01100010的写入电流波形。

解： FM和MFM的写入电流波形图如下：



3.15 设CPU有16根地址线，8根数据线，并用/MREQ作访存控制信号（低电平有效），用-WR作读/写控制信号（高电平为读，低电平为写）。现有下列存储芯片：1K×4位SRAM；4K×8位SRAM；8K×8位SRAM；2K×8位EPROM；4K×8位EPROM；8K×8位EPROM及74LS138译码器和各种门电路，请画出CPU与存储器的连接图。要求：

(1) 主存地址空间分配如下： A000H~A7FFH为系统程序区；A800H~ABFFH为用户程序区； AC00H~AFFFH为系统程序工作区。

请画出主存地址空间分配图，并标出译码分配方案。

(2) 合理选用上述存储芯片，说明各选几片？

(3) 详细画出存储芯片的片选逻辑图。