

중간고사 모범답안 (2분반)

2019/04/27

1.(a) 무어의 법칙에 따르면 6년 뒤에는 컴퓨터 성능이 얼마나(몇 배) 향상될까? [[10]]

<sol> 무어의 법칙은 컴퓨터나 microprocessor에 들어 있는 트랜지스터 개수가 1.5 년마다 2배씩 증가하는 것을 말하지만, 이런 추세는 컴퓨터 성능, 통신 전송 용량 향상 등에도 적용되어왔다.

따라서, 6년이 지난 후에 현재의 컴퓨터 성능은 1.5년마다 2배씩의 향상을 4번 반복할 것이므로, 결국 컴퓨터 성능은 $2^4 (=16)$ 배 향상될 것이다.

(b) 디지털 전화통신을 위해 30 kbps의 데이터 전송이 필요하다. 전송 용량이 100 Mbps인 4G LTE로 동시에 얼마나 많은 digital speech signals을 전송할 수 있을까? [[10]]

<sol> LTE 무선통신 시스템을 통해 여러 사람의 통화를 동시에 전송하는 경우로서 동시 통화할 수 있는 사람의 수 M 은 다음과 같이 구할 수 있다.

$$M = \frac{100 \text{ Mbps}}{30 \text{ kbps}} = \frac{100 \times 10^6 \text{ bps}}{30 \times 10^3 \text{ bps}} = \frac{10}{3} \times 10^3 \simeq 3.3 \times 10^3 = 3300 \text{ (명)}$$

2.(a) 오늘날 거의 모든 정보통신 시스템은 디지털 정보를 이용한다. 디지털 정보를 이용할 때 우리가 얻을 수 있는 이점 2가지 이상을 기술하라. (각 이점을 한 줄 이내로 기술) [[10]]

<sol> 아날로그 신호를 디지털 신호로 변환하여 정보를 처리할 경우의 장점은 다음과 같다.

- 1) 잡음으로 인해 신호가 변형되는 것을 방지할 수 있음. (임계값 처리를 통해 잡음이 존재하는 경우에도 “0”과 “1”을 명확히 구분할 수 있음.)
- 2) 디지털 정보 저장이나 전송 과정에서 예기치 못한 아주 큰 잡음이 발생하여 신호가 왜곡되더라도 적절한 오류 검출 및 보정 알고리즘을 활용하여 신호 왜곡을 방지할 수 있음.
- 3) 디지털 신호는 신호의 원천(종류)과 무관하게 이진수 조합으로 표현되므로, 하나의 정보통신 기기로 많은 종류의 신호를 처리할 수 있음.
- 4) 아날로그 신호에 비해 디지털 신호의 정보량이 상대적으로 적음. 필요하다면 압축 알고리즘을 적용하여 정보량을 더욱 축소할 수 있음.

(b) 전화기 key pad는 총 12개의 스위치(key)로 구성되어 있으며, 스위치를 연결하는 전선의 수를 최소화하기 위해 switch array가 활용된다. 전선의 수가 최소화된 switch array에서 각 스위치를 구분하기 위해 주소를 부여한다면, 주소 표현에 필요한 최소 bit는 몇 개인가? [[10]]

<sol> 만일 12개의 스위치를 하나의 행에 모두 배치하는 방식으로 switch array (1×12)를 구현한다면, 행을 위해 1개의 전선, 12개의 열을 위해 12개의 전선이 각각 필요하다. 즉, 총 13개의 전선이 필요하게 된다. 그러나 스위치들을 두 개의 행에 배치하는 방식으로 switch array (2×6)를 구현한다면, 총 8(=2+6)개의 전선이 필요하게 된다.

필요한 행의 개수를 a , 열의 개수를 b 라 하고, 이 문제를 일반화해 보자. 일종의 최적화 문제로서 a , b 는 다음 조건을 만족해야 한다.

$$a \times b = 12, \quad a + b \rightarrow \text{최소화}$$

a 와 b 가 유사한 값을 가질 때 두 값의 합이 최소화되므로, 가능한 답은 다음과 같으며 필요한 전선의 개수는 총 7개가 된다.

$$a = 3, b = 4, \text{ 또는 } a = 4, b = 3$$

3개의 행을 구분하기 위해 3가지 다른 주소 표현이 필요하므로, 행 주소를 표현하기 위해서 2 bits가 요구된다. 그리고 4개의 열을 구분하기 위해 4가지 다른 주소 표현이 필요하므로, 열 주소를 표현하기 위해서 또 다른 2 bits가 요구된다. 결국, 12개 중의 한 key를 구분하기 위해서는 2 bits의 행 주소와 2 bits의 열 주소가 필요하므로 총 4 bits가 필요하게 된다.

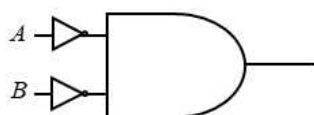
3.(a) AND gates와 NOT gates 만으로 OR gate와 동일하게 동작하는 논리회로를 구현하라. (답안에 논리회로 그림만 제시할 경우 0점 처리함.) [[15]]

<sol> 난감해할지 모르지만, 진리표로부터 구현된 대부분의 논리회로가 AND gate와 NOT gate로 구성된다는 점에 착안하여 이 문제를 풀 수 있다. 우선 OR gate의 진리표를 살펴보자.

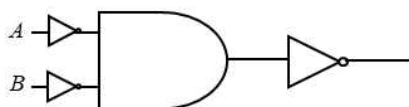
A	B	$Y=A+B$
0	0	0
0	1	1
1	0	1
1	1	1

OR gate 진리표

진리표에서 출력이 1이 되는 경우는 3회, 출력이 0이 되는 경우는 1회이므로, 출력이 0이 되는 경우를 기준으로 논리회로를 구현하는 것이 좋다. 이를 위해 먼저 출력이 0이 되는 input binary pattern “00”만을 인식하는 회로를 구현하자. 이 회로는 two-input AND gate를 기본으로 하며, pattern “00”만을 인식하도록 아래 그림처럼 입력단에 NOT gate를 적절히 삽입하면 된다.

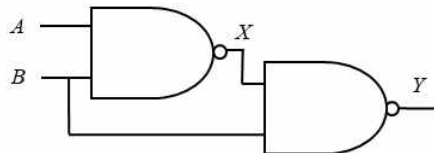


그런데 위의 회로는 input pattern “00”만을 인식하지만, 진리표와 달리 출력이 1이 된다. 이 문제는 위 회로의 출력단에 NOT gate를 하나 추가하여 출력을 반전시킴으로써 해결할 수 있다. 따라서 최종 논리회로는 다음과 같다.



위의 논리회로는 OR gate와 같은 동작을 하는 논리회로로서, 하나의 AND gate와 총 3개의 NOT gates로 구성되었다. 따라서 문제에서 요구한 회로를 완성한 것이 된다.

(b) 아래 논리회로의 동작 특성을 진리표로 나타내라. [[10]]



<sol> 위의 회로는 두 개의 NAND gate로 구성된 회로이므로 아래 제시된 NAND gate의 진리표를 참고하여 회로의 동작 특성을 파악해야 한다.

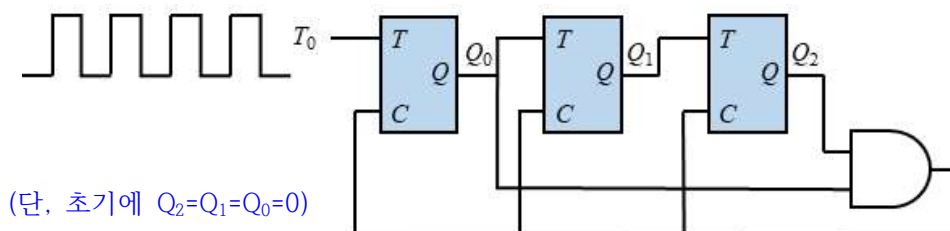
A	B	$Y = \overline{A \cdot B}$
0	0	1
0	1	1
1	0	1
1	1	0

NAND gate 진리표

논리회로의 동작 특성을 이해하기 위해서는 첫 번째 NAND gate의 출력 X를 파악하고, 다시 출력 X와 입력 B를 입력으로 갖는 두 번째 NAND gate의 출력을 파악해야 한다. 이 결과를 아래와 같은 진리표로 나타낼 수 있다.

A	B	$X = \overline{A \cdot B}$	$Y = \overline{X \cdot B}$
0	0	1	1
0	1	1	0
1	0	1	1
1	1	0	1

4. 다음은 toggle-FF을 이용한 counter 회로이다. 주기가 1 sec인 사각 pulse 8개가 입력 T_0 에 연속으로 입력될 때, toggle-FFs의 출력 Q_2 , Q_1 , Q_0 의 변화를 timing diagram으로 나타내라. 이때 counter 회로는 최대 몇 개의 pulse까지 count 할 수 있는가? [[15]]



<sol> 이 counter 회로는 toggle-FF (T-FF)의 input T에 down transition (0→1)이 발생할 때마다 출력 Q가 반전되는 T-FF의 특성을 활용한 것이다. 초기 상태를 $Q_2 = Q_1 = Q_0 = 0$ 라고 가정하고, counter 회로에 주기적인 pulse가 연속적으로 입력될 때 회로를 구성하는 각 T-FF의 출력이 어떻게 변하는지를 살펴보자.

최초의 사각 pulse가 첫 번째(제일 왼쪽에 있는) T-FF의 입력 T에 인가되면, 출력 Q_0 는 0에서 1의 값으로 반전된다. 물론 출력 Q_0 의 반전은 사각 pulse에서 down transition이 발생하는 순간에 일어난다. Q_0 는 두 번째 T-FF의 입력에 인가되지만, down transition이 일어나지 않았으므로, 출력 Q_1 은 변하지 않을 것이다.

두 번째 사각 pulse가 첫 번째 T-FF에 입력되면, 출력 Q_0 는 다시 1에서 0으로 반전되며, Q_0 의 down transition은 두 번째 T-FF의 출력 Q_1 을 초기상태인 0에서 1로 반전시킨다. 그러나, Q_1 의 반전은 세 번째 T-FF의 출력에 영향을 주지는 못한다.

이제 3번째 사각 pulse가 첫 번째 T-FF에 입력되면, 출력 Q_0 는 다시 1로 반전되나, Q_0 의 up transition은 두 번째 T-FF의 출력 Q_1 에 영향을 주지 못하며, 출력 Q_1 에 변화가 없으므로 당연히 출력 Q_2 에도 변화가 일어나지 않을 것이다.

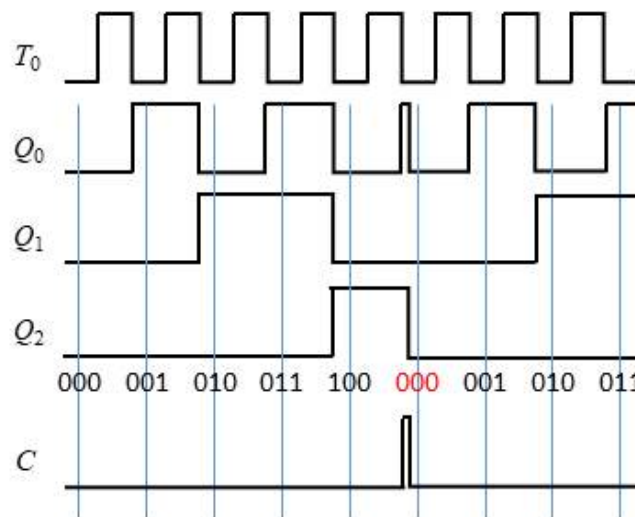
4번째 사각 pulse가 입력되면, 출력 Q_0 는 다시 down transition을 일으키며, 이는 두 번째 T-FF의 출력을 반전시킨다. 즉, Q_1 이 1에서 0으로 반전된다. 그러므로 Q_1 의 down transition은 마지막 T-FF의 출력 Q_2 를 반전시키게 된다. 즉, Q_2 가 0에서 1의 값을 갖게 된다.

사각 펄스가 연속적으로 입력됨에 따라 이런 식으로 각 T-FF의 출력에 변화가 일어나게 될 것이다.

4개의 pulse가 counter 회로에 순차적으로 입력될 때, 각 T-FF의 출력이 어떻게 변하는지를 살펴보았는데, 첫 번째 pulse가 입력된 이후에 출력 $Q_2Q_1Q_0$ 는 001이 되고, 두 번째 pulse가 입력된 이후에 010, 세 번째 및 네 번째 pulse가 입력된 이후에는 각각 011, 100이 된다는 것을 알게 되었다. 이들 3 bits 이진수를 십진수로 변환하면, 각각 1, 2, 3, 4이므로, 해당 회로가 입력된 사각 pulse의 개수를 count할 수 있음을 확인하였다.

결론을 맺기 전에 각 T-FF를 clearing 시키는 AND gate 기반의 회로를 살펴봐야 한다. AND gate는 Q_0 와 Q_2 가 동시에 1의 값을 가질 때 그 출력이 1이 된다. 따라서 회로의 출력 $Q_2Q_1Q_0$ 가 101 또는 111이 되는 순간 모든 T-Fs는 동시에 clear 되어 회로의 출력이 000이 된다. 따라서 이 회로는 4개까지의 pulse만 count하고 다시 pulse가 입력되면, 000으로 환원된다. 문제에서 요구한 count 할 수 있는 pulse의 최대 개수는 4가 될 것이다.

이상의 내용을 diagram으로 표시하면 다음과 같다.



5. Analog waveform이 아래와 같은 함수로 주어진다고 가정하고 각 문항의 답을 구하라.

$$g(t) = \begin{cases} 2t & \text{for } 0 < t \leq 1 \\ 4 - 2t & \text{otherwise} \end{cases}, \quad g(t+2) = g(t) \quad \text{-- 주기: 2sec}$$

여기서 시간 t 는 초(sec), 함수 g 는 전압(V)의 단위를 갖는다. [[20]]

(a) 0.5 sec의 sampling period (T_s)에 대해 $t = 0$ sec부터 시작하여 한 주기 동안 sampling 된 모든 값 즉, sample values를 구하라.

<sol> Analog waveform의 주기가 2sec이고, sampling period가 0.5 sec이므로, sampling rate는 2Hz가 된다. 한 주기 동안 analog waveform을 sampling 해야 하므로 총 sampling 횟수는 4회가 된다. 각 sampling 시간은 0, 0.5, 1.0, 1.5 sec이므로 주어진 함수 관계로부터 각 순간에 analog waveform의 전압을 얻을 수 있으며, 이를 sample values라 한다.

시각 (sec)	sample value (V)
0.0	$2t \rightarrow 2 * 0.0 = 0$
0.5	$2t \rightarrow 2 * 0.5 = 1$
1.0	$2t \rightarrow 2 * 1.0 = 2$
1.5	$4 - 2t \rightarrow 4 - 2 * 1.5 = 1$

따라서 sampling 결과로 얻어지는 최종적인 sample values는 0, 1, 2, 1 V가 된다.

(b) Sample values를 $V_{\min}=-0.75$ V, $V_{\max}=2.05$ V인 3-bit quantizer로 양자화한다면, sample values는 각각 어떤 이진수로 변환되나? (step size Δ 는 0.4 V, 계단 전압의 개수 총 8개)

<sol> 3-bit quantizer이므로, 표현할 수 있는 계단 전압의 개수는 총 $8(=2^3)$ 이다. 그리고 step size는 아래 식에 의해 계산된다.

$$\Delta = \frac{V_{\max} - V_{\min}}{2^3 - 1} = \frac{2.05 - (-0.75)}{7} = 0.4 \text{ (V)}$$

Sample value를 양자화하는 과정은 단계적으로 증가하는 계단 전압과 sample value를 비교하여 계단 전압이 sample value와 같거나 크게 되면 비교 동작을 멈추고, 해당 계단 전압이 몇 번째 계단 전압인지를 이진수로 저장한다. 참고로 이때의 계단 전압을 양자화된 전압이라 한다.

비교를 위해 단계적으로 생성되는 계단 전압은 $V_k = V_{\min} + k \cdot \Delta$ 로 주어지며, 아래 표에 모든 계단 전압을 나타내었다.

k	계단 전압 (V)
0	$-0.75 + 0 \times 0.4 = -0.75$
1	$-0.75 + 1 \times 0.4 = -0.35$
2	$-0.75 + 2 \times 0.4 = 0.05$
3	0.45
4	0.85
5	1.25
6	1.65
7	2.05

이제 문항 (b)에서 구한 sample values와 계단 전압을 비교하여 sample value를 양자화하자. 예로서, 시각 0.0 sec에서의 sample value는 0V인데, $k = 2$ 인 계단 전압(0.05V)이 양자화 과정을 만족한다. 따라서 sample value의 양자화된 전압은 0.05V, 양자화 결과인 이진수는 k 를 이진수로 표현한 것이 될 것이다. 현재 3-bit quantizer를 사용하므로, 모든 이진수는 3 bits로 표현되어야 한다. 이런 방법으로 구한 모든 결과를 아래 표에 표시하였다.

시각 (sec)	sample value (V)	양자화된 전압	k (십진수)	k (이진수)
0.0	0	0.05	2	010
0.5	1	1.25	5	101
1.0	2	2.05	7	111
1.5	1	1.25	5	101

이상의 내용을 정리하면, A-D변환의 결과로 얻어지는 이진수는 “010 101 111 101”이다. 이를 다음과 같이 표현해도 괜찮다.

sample value 1: 0 V --> 010

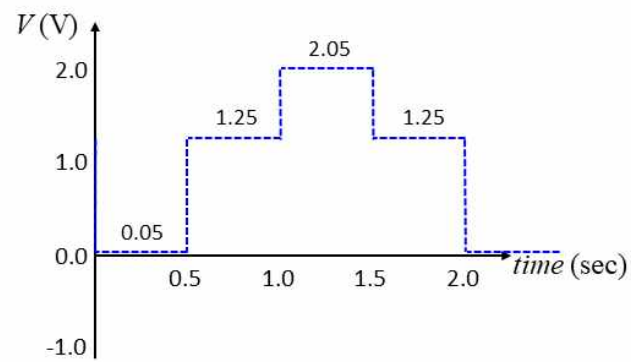
sample value 2: 1 V --> 101

sample value 3: 2 V --> 111

sample value 4: 1 V --> 101

(c) 변환된 (한 주기 동안의) 디지털 신호(데이터)를 boxcar reconstruction 방법으로 복원하라. 복원된 waveform을 그래프로 제시하고, 시간 및 전압도 그래프에 정확히 표시하라.

<sol> Boxcar reconstruction 방법으로 waveform을 복원하기 위해서는 양자화된 전압을 sampling period 동안 출력하는 것이다. 따라서 0.0~0.5 초 동안은 0.05 V를 0.5~1.0 초 동안은 1.25V를 출력하는 식이다. 이 결과를 다음과 같은 그래프로 표시하였다. 이 그래프에서 각 sampling period 동안의 전압은 문항 (b)에서 얻어진 양자화된 전압이 되어야 한다.



중간고사 모범답안 (3분반)

2019/04/27

1.(a) 무어의 법칙에 따르면 현재보다 성능이 100배 향상된 컴퓨터가 출현하기까지 몇 년을 기다려야 할까? [[10]]

<sol> 무어의 법칙은 컴퓨터나 microprocessor에 들어 있는 트랜지스터 개수가 1.5 년마다 2배씩 증가하는 것을 말하지만, 이런 추세는 컴퓨터 성능, 통신 전송 용량 향상 등에도 적용되어왔다. 이러한 경향을 관계식으로 표현하면 다음과 같다.

$$N = N_0 2^{\left(\frac{t-t_0}{1.5}\right)}$$

여기서, N_0 는 t_0 (년)에서의 컴퓨터 성능, N 은 t (년)에서의 컴퓨터 성능을 각각 의미한다.

문제에서 100배의 성능 향상이 이루어지는 기간을 요구하므로, 결국 $N/N_0 = 100$ 이 되는데 소요되는 년 수($=t-t_0$)를 구하면 된다.

$$\frac{N}{N_0} = 2^{\left(\frac{(t-t_0)}{1.5}\right)} = 100$$

$$\therefore t - t_0 = 1.5 \times \log_2(100) = 1.5 \times \frac{\log(100)}{\log(2)} \simeq 9.97 \text{ year}$$

대략 10년이 걸림을 알 수 있다.

(b) HDTV 프로그램(채널)을 전송하려면 15 Mbps의 데이터 전송이 필요하다. 전송 용량이 100 Gbps인 광통신에서 광섬유 하나를 통해 동시에 전송할 수 있는 HDTV 채널은 몇 개인가? [[10]]

<sol> 광통신 시스템을 통해 여러 HDTV 프로그램(채널)을 동시에 전송하는 경우로서 동시 전송할 수 있는 프로그램(채널)의 개수 M 은 다음과 같이 구할 수 있다.

$$M = \frac{100 \text{ Gbps}}{15 \text{ Mbps}} = \frac{100 \times 10^9 \text{ bps}}{15 \times 10^6 \text{ bps}} = \frac{100}{15} \times 10^3 \simeq 6.7 \times 10^3 = 6700 \text{ (개)}$$

2.(a) 오늘날 정보통신 기기의 “smart”한 작동(operation)을 위해 기기 자신의 위치를 알아내거나 거리를 측정하는 것이 매우 중요해 지고 있다. 이 목적에 맞는 센서 하나를 제시하고, 그 동작 원리를 간략히 기술하라. (2~3줄 정도로 답안을 작성할 것) [[10]]

<sol> 다음 중의 한 가지 답안이면 충분

1) GPS 센서

위치가 알려진 4개 이상의 위성으로 신호를 받아 각 위성과 기기 간의 거리를 파악하고, 이들 정보로부터 자신의 위치를 결정 - 일종의 삼각측량법

2) Time-of-flight 센서 (레이더-Radar, 라이다-Lidar, 초음파 센서-Sonar 등)

기기 자체로부터 전파, 빛, 또는 초음파 펄스를 방출한 후, 해당 파동이 관찰 물체로부터 되반사되어 기기로 돌아오는 시간을 측정함으로써, 기기와 관찰 물체 사이의 거리를 측정

3) 카메라 내장 거리 측정 센서

내장된 적외선 LED가 적외선을 방출하고, 피사체로부터 되반사된 적외선 빛을 렌즈로 집속하여 검출기로 검출할 때 검출기 내의 집속점 위치로부터 피사체까지의 거리를 파악

(b) 십진수 “1019”를 이진수로 변환하라. (답안에 변환과정을 반드시 포함해야 함.) [[10]]

<sol 1> 다음 표를 이용하여 십진수를 이진수로 변환하자.

2^{11}	2^{10}	2^9	2^8	2^7	2^6	2^5	2^4	2^3	2^2	2^1	2^0
2048	1024	512	256	128	64	32	16	8	4	2	1

1019는 $1024(=2^{10})$ 보다 작으므로, 10번째 자리에 해당하는 2^9 과의 뺄셈부터 시작해야 한다.

$$10\text{번째 bit 자리} : 1019 - 512 = 507$$

$$9\text{번째 bit 자리} : 507 - 256 = 251$$

$$8\text{번째 bit 자리} : 251 - 128 = 123$$

$$7\text{번째 bit 자리} : 123 - 64 = 59$$

$$6\text{번째 bit 자리} : 59 - 32 = 27$$

$$5\text{번째 bit 자리} : 27 - 16 = 11$$

$$4\text{번째 bit 자리} : 11 - 8 = 3$$

$$2\text{번째 bit 자리} : 3 - 2 = 1$$

$$1\text{번째 bit 자리} : 1 - 1 = 0$$

위의 뺄셈 과정으로부터 이진수를 완성할 수 있다. 뺄셈이 수행된 bit 자리에는 “1”을 그렇지 않은 bit 자리에는 “0”을 채워 이진수를 얻게 된다.

1	1	1	1	1	1	1	0	1	1
---	---	---	---	---	---	---	---	---	---

계산이 올바르게 되었는지를 확인하기 위해서 변환된 이진수를 십진수로 다시 변환해 보자.

$$\begin{aligned} & 1 \times 2^9 + 1 \times 2^8 + 1 \times 2^7 + 1 \times 2^6 + 1 \times 2^5 + 1 \times 2^4 + 1 \times 2^3 + 1 \times 2^1 + 1 \times 2^0 \\ &= 512 + 256 + 128 + 64 + 32 + 16 + 8 + 2 + 1 = 1019 \end{aligned}$$

<sol 2> 십진수를 2로 나누는 과정을 반복하여 이진수로 변환하자.

$$1019 / 2 = 509 \quad \text{--- 1 (나머지)} \quad \text{<-- 최하위 bit}$$

$$509 / 2 = 254 \quad \text{--- 1 (나머지)}$$

$$254 / 2 = 127 \quad \text{--- 0 (나머지)}$$

$$127 / 2 = 63 \quad \text{--- 1 (나머지)}$$

$$63 / 2 = 31 \quad \text{--- 1 (나머지)}$$

$$31 / 2 = 15 \quad \text{--- 1 (나머지)}$$

$$15 / 2 = 7 \quad \text{--- 1 (나머지)}$$

$$7 / 2 = 3 \quad \text{--- 1 (나머지)}$$

$$3 / 2 = 1 \quad \text{--- 1 (나머지)}$$

$$1 / 2 = 0 \quad \text{--- 1 (나머지)} \quad \text{<-- 최상위 bit}$$

이상의 나눗셈 결과로부터 이진수 표현을 완성할 수 있다. 첫 번째 나눗셈의 나머지를 최하위 bit 자리에, 몫이 0이 되는 마지막 나눗셈의 나머지를 최상위 bit 자리에 순차적으로 채우면 된다.

1	1	1	1	1	1	1	0	1	1
---	---	---	---	---	---	---	---	---	---

계산이 올바르게 되었는지를 확인하기 위해서 변환된 이진수를 십진수로 다시 변환해 보자.

$$\begin{aligned} & 1 \times 2^9 + 1 \times 2^8 + 1 \times 2^7 + 1 \times 2^6 + 1 \times 2^5 + 1 \times 2^4 + 1 \times 2^3 + 1 \times 2^1 + 1 \times 2^0 \\ &= 512 + 256 + 128 + 64 + 32 + 16 + 8 + 2 + 1 = 1019 \end{aligned}$$

3.(a) 2 bits 이진수 (A_1A_0 와 B_1B_0)의 대소 관계를 비교하여 이진수 A_1A_0 가 이진수 B_1B_0 보다 크다면

출력을 1로, 그렇지 않으면 출력을 0으로 설정하는 진리표를 작성하라. 그리고 이 진리표를 다시 논리 방정식으로 (또는 논리회로로) 표현하라. [[15]]

<sol> 대소 관계를 비교하는 참신한 알고리즘을 찾기 위해 고민할지 모르지만, 처리하고자 하는 일 (task)를 단순히 진리표로 표현하면 충분하다. 비교 대상인 두 이진수가 각각 2 bits이므로, 진리표의 입력은 총 4개 (A_1, A_0, B_1, B_0)이고, 출력은 1개이다. 입력이 4개이므로 input pattern은 총 16가지가 되며, 각 pattern에 대한 출력을 정해 주면 된다.

A_1	A_0	B_1	B_0	Y
0	0	0	0	0
0	1	0	0	1
1	0	0	0	1
1	1	0	0	1
0	0	0	1	0
0	1	0	1	0
1	0	0	1	1
1	1	0	1	1
0	0	1	0	0
0	1	1	0	0
1	0	1	0	0
1	1	1	0	1
0	0	1	1	0
0	1	1	1	0
1	0	1	1	0
1	1	1	1	0

위의 진리표 중에서 출력이 1이 되는 경우를 두꺼운 글씨체로 구분하여 표시하였다. 출력 1이 되는 input pattern을 인식하는 (입력이 4개인) AND gate 기반의 논리회로 총 6개를 구현하고, 이들 회로를 OR gate로 결합해 주면 된다.

이 결과를 논리방정식으로 표현하면 다음과 같다.

$$Y = \overline{A_1} \cdot \overline{A_0} \cdot \overline{B_1} \cdot \overline{B_0} + A_1 \cdot \overline{A_0} \cdot \overline{B_1} \cdot \overline{B_0} + A_1 \cdot \overline{A_0} \cdot \overline{B_1} \cdot B_0 + A_1 \cdot \overline{A_0} \cdot B_1 \cdot \overline{B_0} + A_1 \cdot \overline{A_0} \cdot B_1 \cdot B_0 + A_1 \cdot A_0 \cdot \overline{B_1} \cdot \overline{B_0}$$

위 식의 우변에 있는 6개의 항은 진리표에서 출력이 1이 되는 경우에 각각 해당한다.

(b) 다음은 원본 이진수 열을 exclusive OR gate를 이용하여 암호화한 결과이다. 암호화를 위해 사용된 이진수 열(random binary sequence, RBS)을 찾아라. [[10]]

원본 이진수 열: 0011 1010 암호화된 이진수 열: 1111 0000

<sol> 다음에 제시된 exclusive OR gate 진리표를 활용하여 random binary sequence (RBS)를 구하자.

A	B	$Y=A \oplus B$
0	0	0
0	1	1
1	0	1
1	1	0

exclusive OR gate 진리표

제시된 원본 및 암호화된 이진수 열이 모두 8 bits이므로, RBS를 $R_1R_2R_3R_4R_5R_6R_7R_8$ 와 같은 8

bits 이진수 열로 가정할 수 있다. 이제 세 가지 이진수 열의 동일 bit를 서로 비교하여 RBS의 모든 bit를 결정하자. 첫 번째(왼쪽부터) bit들의 관계부터 활용하자

$$0 \oplus R_1 = 1 \rightarrow R_1 = 1$$

$$0 \oplus R_2 = 1 \rightarrow R_2 = 1$$

$$1 \oplus R_3 = 1 \rightarrow R_3 = 0$$

$$1 \oplus R_4 = 1 \rightarrow R_4 = 0$$

$$1 \oplus R_5 = 0 \rightarrow R_5 = 1$$

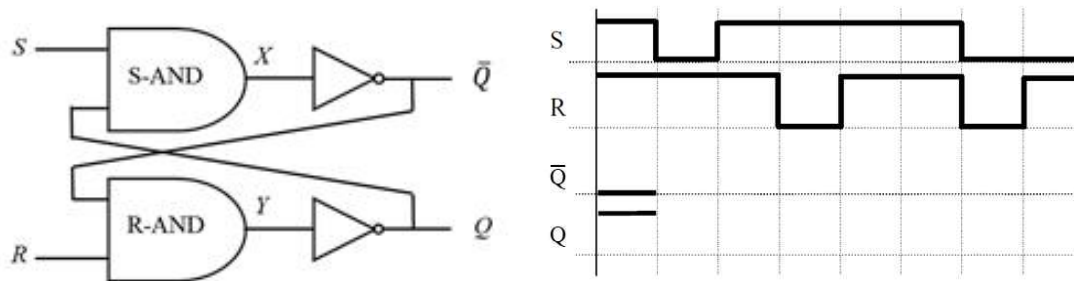
$$0 \oplus R_6 = 0 \rightarrow R_6 = 0$$

$$1 \oplus R_7 = 0 \rightarrow R_7 = 1$$

$$0 \oplus R_8 = 0 \rightarrow R_8 = 0$$

따라서 RBS는 1100 1010 이 된다.

4. 다음은 NAND gates로 구성된 SR-FF 소자이다. 아래 제시된 입력 Set과 Reset의 시간적 변화로 인해 출력 Q와 \bar{Q} 가 시간에 따라 어떻게 변하는지를 timing diagram으로 나타내라. [[15]]



<sol> 입력 $S = 1$, $R = 1$ 에 대해 출력 $Q = 1$, $\bar{Q} = 0$ 인 것이 초기 상태이므로, 이 상태를 시작으로 입력에서의 변화에 따라 출력 변화를 살펴보자.

1) $R = 1$ 이 유지된 상태에서 입력 S가 1→0으로 transition 하는 경우

S-AND의 입력 0, 1 → 출력 $X = 0$ → $\bar{Q} = 1$ ← 출력 \bar{Q} 가 반전

R-AND의 입력 1, 1 → 출력 $Y = 1$ → $Q = 0$ ← 출력 Q가 반전

다시 S-AND의 입력이 0, 0으로 변하지만, 출력 X에 영향을 주지 않음.
출력이 반전되며, 그 상태가 안정적으로 유지됨.

2) $R = 1$ 이 유지된 상태에서 입력 S가 0→1로 transition 하는 경우

S-AND의 입력 1, 0 → 출력 $X = 0$ → $\bar{Q} = 1$ ← 출력 \bar{Q} 가 불변

R-AND의 입력 1, 1 → 출력 $Y = 1$ → $Q = 0$ ← 출력 Q가 불변

출력이 변하지 않음.

3) $S = 1$ 이 유지된 상태에서 입력 R이 1→0으로 transition 하는 경우

R-AND의 입력 0, 1 → 출력 $Y = 0$ → $Q = 1$ ← 출력 Q가 반전

S-AND의 입력 1, 1 → 출력 $X = 1$ → $\bar{Q} = 0$ ← 출력 \bar{Q} 가 반전

출력이 반전되며, 그 상태가 안정적으로 유지됨.

4) $S = 1$ 이 유지된 상태에서 입력 R이 0→1로 transition 하는 경우

R-AND의 입력 1, 0 → 출력 $Y = 0$ → $Q = 1$ ← 출력 Q가 불변

S-AND의 입력 1, 1 → 출력 $X = 1$ → $\bar{Q} = 0$ ← 출력 \bar{Q} 가 불변

출력이 변하지 않음.

5) S와 R이 동시에 0이 되는 경우

S-AND의 입력 0, 1 --> 출력 $X = 0$ --> $\bar{Q} = 1$ <-- 출력 \bar{Q} 가 반전

R-AND의 입력 0, 1 --> 출력 $Y = 0$ --> $Q = 1$ <-- 출력 Q 가 불변

일부 출력만 반전되어, 출력 Q 와 \bar{Q} 의 반전 관계가 깨어짐.

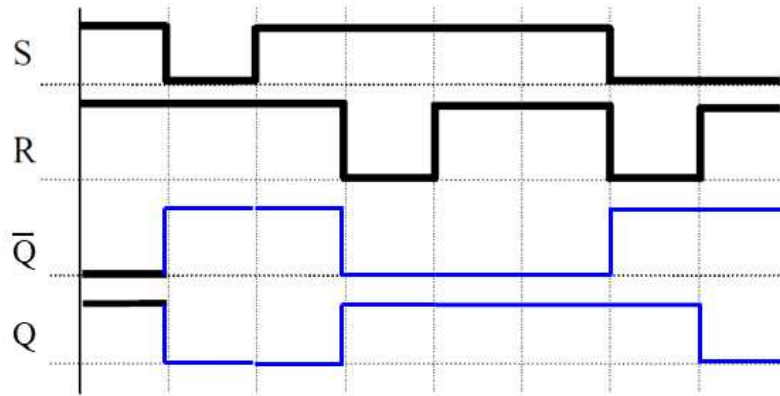
6) S = 0이 유지된 상태에서 입력 R이 0->1로 transition 하는 경우

R-AND의 입력 1, 1 --> 출력 $Y = 1$ --> $Q = 0$ <-- 출력 Q 가 반전

S-AND의 입력 0, 0 --> 출력 $X = 0$ --> $\bar{Q} = 1$ <-- 출력 \bar{Q} 가 불변

일부 출력만 반전되어, 출력 Q 와 \bar{Q} 의 반전 관계가 다시 성립하게 되었음.

이상의 내용을 활용하여 timing diagram을 완성하면 다음과 같다.



5. 다음에 제시된 이진수 열은 sampling과 양자화를 거쳐 어떤 analog waveform을 디지털 데이터로 변환한 결과이다. 이때 sampling period는 0.2 sec이고, 양자화를 위해 $V_{\min}=0.0$ V, $V_{\max}=1.5$ V인 4-bit quantizer가 사용되었다. [[20]]

00100110 11100110 00110010 01101110 01100011

(주) 총 40 bits, 보기 편하도록 이진수 열을 8 bits 씩 구분하여 배열했음.

(a) 위의 이진수 열을 얻기 위해 sampling을 몇 번 수행하였을까?

<sol> 4-bit quantizer를 사용하여 sample value(아날로그 신호)를 양자화하므로, 각 sample value는 4-bit 이진수로 변환된다. 주어진 이진수 열은 총 40 bits이므로, 10개의 sample value를 양자화한 것이 된다. 따라서 sampling을 총 10회 수행한 것이다.

(b) 이때 계단 전압의 계단차 즉, step size Δ 와 계단 전압의 최대 개수는 얼마인가?

<sol> 4-bit quantizer를 사용하며 최소 및 최대 전압이 각각 0.0과 1.5 V이므로, 계단 전압 개수는 총 16 ($= 2^4$)개이며, step size Δ 는 아래 식으로 구할 수 있다.

$$\Delta = \frac{V_{\max} - V_{\min}}{2^4 - 1} = \frac{1.5 - 0.0}{15} = 0.1 \text{ (V)}$$

(c) 이진수 열로 표현된 디지털 신호(데이터)를 pulse width modulation 방법으로 복원하라. 복원된 waveform을 그래프로 제시하고, 시간, duty cycle(또는 on time) 및 전압을 그래프에 정확히 표시하라. (이때 $T_{\text{PWM}} = T_s$ 를 가정)

<sol> 먼저 변환된 디지털 값으로부터 10개의 양자화된 전압 V_q 를 구하자. 이때 40 bits의 이진수

열을 4-bit 단위로 분리해야 한다는 것에 유의해야 한다.

$$V_q = V_{\min} + k \cdot \Delta$$

(여기서 k 는 디지털 신호로 변환된 4 bits 이진수를 십진수로 변환한 값)

4 bits 이진수 k	십진수로 변환, k	양자화된 전압, V_q (V)	T_{ON} (sec)	duty cycle (%)
0010	2	$0.0 + 2 \times 0.1 = 0.2$	$(0.2/1.5) \times 0.2 = 0.4/15$	13.3
0110	6	0.6	$1.2/15 = 0.08$	40.0
1110	14	1.4	$2.8/15$	93.3
0110	6	0.6	0.08	40.0
0011	3	0.3	$0.6/15 = 0.04$	20.0
0010	2	0.2	$0.4/15$	13.3
0110	6	0.6	0.08	40.0
1110	14	1.4	$2.8/15$	93.3
0110	6	0.6	0.08	40.0
0011	3	0.3	0.04	20.0

결국, analog waveform의 2개 주기에 해당하는 값을 알 수 있다.

이제 pulse width modulation (PWM) 방식으로 waveform을 복원하자. PWM 주기(T_{PWM})가 제시되지 않았으므로, $T_{PWM} = T_s = 0.2(\text{sec})$ 라고 가정한다. PWM 방식에서는 waveform을 복원하기 위해 양자화된 전압을 출력하는 대신에 PWM 주기 중의 일정 시간(on time, T_{ON}) 동안만 최고 전압을 출력한다. 따라서 각각의 양자화된 전압 복원을 위한 T_{ON} 을 결정해야 한다.

$$T_{ON} = \frac{V_q}{V_{\max}} T_{PWM}$$

위 식을 이용하여 구한 T_{ON} 은 표에 이미 표시되어 있으며, duty cycle은 $T_{ON}/T_{PWM} \times 100(\%)$ 를 의미한다.

이상의 내용을 종합하여 복원된 waveform을 그리면 다음과 같다. 0.2 sec마다 전압 크기가 1.5 V인 전압 pulse가 출력되어야 하며, 각 전압 pulse의 시간 폭(또는 duty cycle)은 표의 값과 같아야 한다. (한 주기에 해당되는 복원 waveform만 그려도 무방하다.)

