

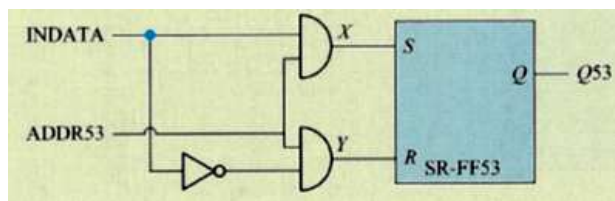
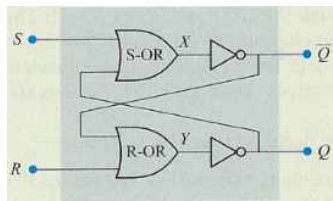
기말고사 모범답안 (1분반)

2020/06/23

1. IR beam interrupt sensor와 optical proximity sensor를 비교 설명하고, 대표적인 용도(활용)를 하나씩만 기술하라. (그림만 제시하는 것은 의미가 없음. 5줄 이내의 답안이면 충분함) [10]

[sol] 두 센서는 빛을 방출하는 transmitter (광원)와 방출된 빛을 검출하는 receiver (수신기, 또는 검출기)로 구성되어 있다. Beam interrupt sensor에서는 광원과 검출기를 마주 보게 배치하여 방출된 빛의 차단 여부를 감지하는 반면, optical proximity sensor에서는 광원과 검출기를 같은 쪽에 배치하여 빛의 반사 여부를 감지한다. Beam interrupt sensor는 도난 경보, 출입자 수 counting 등에, optical proximity sensor는 근접 감지나 반사율 측정 등에 활용된다.

2. 아래 오른쪽 회로는 SR-FF 소자를 이용하여 주소가 53인 1 bit 메모리에 정보를 저장하는 회로이다. SR-FF의 입출력 상태가 $S=0, R=0, Q=0$ 일 때 메모리에 "1"을 저장하려고 시도하면 (입력 ADDR53에도 1이 입력), 저장 회로의 모든 입출력이 어떤 논리변수 값을 갖게 되는지를 설명하라. 이때, SR-FF의 입출력 상태 변화를 반드시 왼쪽 회로도를 활용하여 설명하고 "1"이 어디에 저장되는지도 설명하라. [20]



[sol] 오른쪽 저장회로에서 입력 단자 INDATA와 ADDR53에 논리변수 값 1이 동시에 입력되면, 위쪽 AND gate에는 1과 1이 입력되어 출력 X는 1이 되고 아래쪽 AND gate에는 NOT gate 때문에 1과 0이 입력되어 출력 Y는 0이 된다. 즉, 메모리에 "1"을 저장하고자 시도할 때 SR-FF의 입장에서 입력 R은 0으로 유지되지만 S로 입력되는 논리변수 값은 0에서 1로 갑자기 변하는 상황이 된다.

이러한 상황 변화가 SR-FF의 출력 Q에 어떤 변화를 일으키는지를 왼편 회로도를 이용하여 살펴보자. 저장을 시도하기 직전에 출력 상태는 $Q = 0$ 와 $Qbar = 1$ 이다. 그런데, 입력 S에 0→1 transition이 일어나면, 왼편 회로도의 위쪽 OR gate에 1과 0이 입력되어 출력 X는 1이 된다. 이 출력은 NOT gate를 지나므로 Qbar는 1에서 0으로 변한다. 이 변화는 feedback에 의해 아래쪽 OR gate에 0과 0의 입력을 제공하게 되어 출력 Y가 0이 되고 NOT gate 때문에 출력 Q는 0에서 1로 변하게 된다. 출력 Q는 다시 위쪽 OR gate의 입력으로 작용하는데, Q의 변화에도 불구하고 위쪽 OR gate의 출력 X는 1을 유지한다. 즉, S에서의 0→1 transition으로 인해 출력 Q가 1로 변하며, 이 변화 상태는 안정적인(이후 그 상태를 지속)을 알 수 있다.

이런 과정에 의해 저장하고자 한 이진수 값 1은 SR-FF의 출력 Q에 저장된다.

3. 음악 인사 카드(인사장)를 펼치면 10초 동안 노래를 들려준다. 원래의 노래 신호에서 3 kHz 이상의 주파수 성분을 모두 제거된 다음, 해당 아날로그 신호를 샘플링하고 5 bits로 양자화하였다고 하자. 음악 카드에 내장된 메모리에 저장된 디지털 데이터량은 최소 bits인가? [10]

[sol] 원래의 노래 신호에서 3 kHz 이상의 주파수 성분을 모두 제거했으므로, AD 변환이 적용될 아날로그 신호의 최고 주파수는 3 kHz이다. 따라서 샘플링을 위한 Nyquist 주파수는 6 kHz 이

상이 되어야 한다. (정확히는 6 kHz를 초과). 즉, 노래 신호를 초당 6,000번 이상 샘플링해야 한다. 이렇게 샘플링된 값들은 5-bits로 양자화되므로, 각 샘플 값은 5 bit 이진수로 변환된다.

이상의 내용을 정리하면, 10초 동안 AD 변환된 이진수열의 총 bit 수(데이터 량)는 최소한 아래 값보다는 크게 될 것이다.

$$6,000 \text{ (samples/sec)} \times 5 \text{ (bits/sample)} \times 10 \text{ sec} = 300,000 \text{ (bits)} = 300 \text{ kbits}$$

4. Matched processor의 곱셈 계수($n_x = 5$)가 $c_0=0.5, c_1=2, c_2=0, c_3=-2, c_4=-1$ 이라고 하자.

(a) 이진수 1과 0을 전송할 때 사용되는 signal sequence $s1i$ 와 $s0i$ 를 모두 설계하라. [10]

[sol] Matched processor의 곱셈 계수 c_i 는 signal sequence s_i ($i = 0, 1, 2, 3, 4$)에 matching된 것이므로, signal sequence s_i 는 다음과 같이 주어져야 한다.

$$s_0 = 0.5, s_1 = 2, s_2 = 0, s_3 = -2, s_4 = -1$$

이진수 1과 이진수 0을 전송할 때 사용되는 signal sequence $s1i$ 와 $s0i$ 를 complimentary signals로 설계한다면, 두 가지 signal sequences는 다음과 같이 주어진다.

$$s1_0 = +0.5, s1_1 = +2, s1_2 = 0, s1_3 = -2, s1_4 = -1$$

$$s0_0 = -0.5, s0_1 = -2, s0_2 = 0, s0_3 = +2, s0_4 = +1$$

(b) $X_i = s1_i, X_i = s0_i$ 인 두 경우에 대해 matched processor output을 각각 구하라. [10]

[sol] $X_i = s1_i$ 인 경우에 matched processor의 출력은

$$V = \sum_{i=0}^4 c_i s1_i = (0.5)(0.5) + (2)(2) + (0)(0) + (-2)(-2) + (-1)(-1) = 9.25$$

$X_i = s0_i$ 인 경우에 matched processor의 출력은

$$V = \sum_{i=0}^4 c_i s0_i = (0.5)(-0.5) + (2)(-2) + (0)(0) + (-2)(2) + (-1)(1) = -9.25$$

5. 제시된 code tree를 활용하여 주어진 이진수열을 symbols로 변환하라.

11 11 01 00 10 10

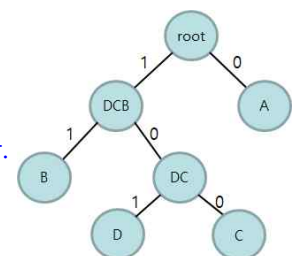
(주) 이진수열을 2개씩으로 구분 표현한 것에 특별한 의미는 없음. [10]

[sol] Code tree로부터 4가지 symbols의 code word를 구하면 다음과 같다.

A: 0, B: 11, C: 100, D: 101

이 결과를 이용하여 주어진 이진수열을 symbols로 변환하자.

11 11 0 100 101 0 --> BBACDA



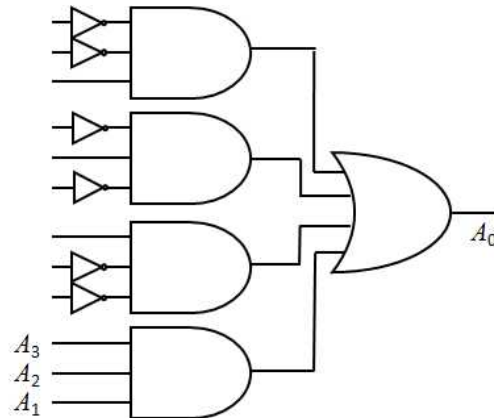
6. 오류 검출을 위해 입력 데이터인 3-bit 이진수(A3, A2, A1)에 even parity bit(A0)를 추가하고, 그 결과를 random binary sequence (R3, R2, R1, R0)을 이용하여 암호화하는 논리회로를 설계하라. 논리회로의 입력 논리변수는 7개, 최종 출력(Y3, Y2, Y1, Y0)은 4개가 된다. [20]

[sol] 설계해야 할 논리회로는 두 단계의 연산을 처리하는 회로이다. 첫 번째 연산은 오류 검출을 위해 3가지 논리변수(A3, A2, A1)를 입력받아 even parity bit (A0)를 출력하는 것이다. 두 번째 연산은 4가지 논리변수(A3, A2, A1, A0)와 또 다른 4가지 논리변수(R3, R2, R1, R0)를 입력받아 bit 별로 exclusive OR 연산을 수행하는 것이다.

첫 번째 연산에 관한 진리표는 even parity를 생성하는 것이므로 다음과 같이 작성된다. 진리표의 각 행에 있는 4개 이진수 중에서 bit 1의 개수가 짝수개 (또는 0개)가 되도록 출력 A0를

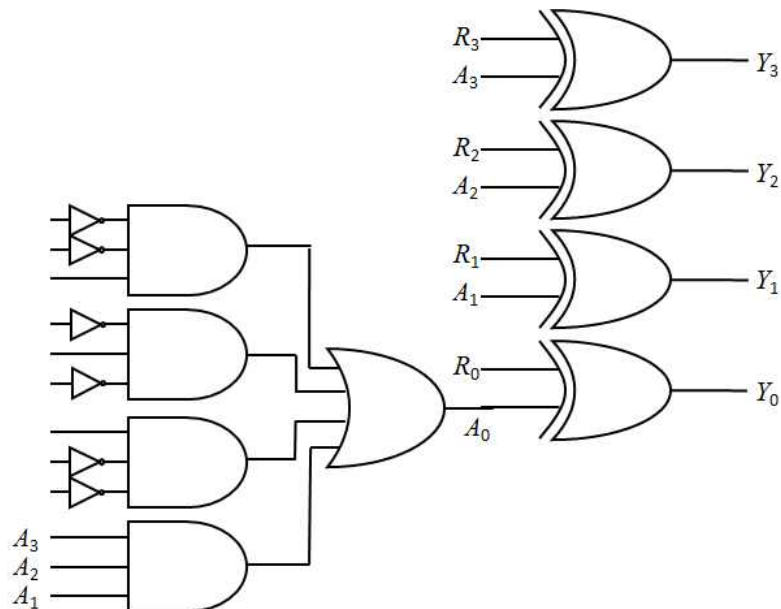
정한 것이다.

A3	A2	A1	A0 (출력)
0	0	0	0
0	0	1	1
0	1	0	1
0	1	1	0
1	0	0	1
1	0	1	0
1	1	0	0
1	1	1	1



이제 위의 진리표를 만족하는 논리회로를 설계하자. 출력이 1인 경우와 출력이 1인 경우가 모두 4회이므로 출력이 1인 경우를 기준으로 논리회로를 설계한다. 설계된 회로는 위의 그림과 같다.

위 논리회로의 출력 A0을 포함하여 A3, A2, A1을 암호화하기 위해서는 R3, R2, R1, R0와 bit 별로 exclusive OR 연산을 수행해야 한다. 아래 논리회로는 parity bit 생성을 포함한 회로이다.



7. TCP/IP와 UDP/IP를 간략히 비교하라. (2줄 이내의 답안이면 충분) [10]

[sol] TCP/IP는 데이터 전송의 신뢰성에 중점을 둔 통신 규약이며, UDP/IP는 데이터 전송의 속도에 중점을 둔 통신 규약이다.

(주) 주관식이므로 풀이 과정도 답안에 함께 적어야 합니다.

기말고사 모범답안 (2분반)

2020/06/23

1. 오른쪽 진리표를 만족하는 논리회로를 설계하되 논리방정식을 활용하여 좀 더 간결한 회로를 구현하라. 논리회로를 간결화하는 시도가 있다면 그것으로 충분하며 가장 간결한 회로를 구현할 필요는 없다. (답안에 논리회로도도 포함되어야 하며, 표에서 **X**는 "don't care"를 의미함.) [20]

A	B	C	Y
0	0	0	1
0	0	1	1
0	1	0	1
0	1	1	0
1	0	0	0
1	0	1	0
1	1	0	X
1	1	1	X

[sol] 진리표에서 출력이 1인 경우가 3회, 출력이 0인 경우가 3회, 그리고 출력이 **X**인 경우가 2회이다. **X**를 무엇으로 (0 또는 1) 간주하느냐에 따라 출력이 1인 경우가 많을 수도 있고 적을 수 있다.

따라서 $X=1$ 인 경우와 $X=0$ 인 경우로 나눠 어떤 경우에 더 간결화된 논리회로가 설계되는지를 확인해야 한다. (하지만, 이 문제에서는 최대로 간결화된 회로를 설계해야만 하는 것이 아니므로 두 경우로 나눠서 해를 구하지 않아도 괜찮다.)

1) $X = 0$ 으로 설정한 경우

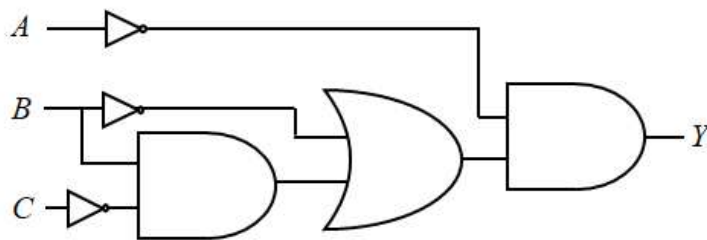
출력이 1인 경우를 기준으로 회로를 구성해 보자. 출력이 1인 3가지 경우(000, 001, 010)를 3개의 AND gate(3가지 입력 변수를 갖는)로 각각 구현하고, 이들 AND gate의 출력을 OR gate로 더해주면 된다. 이 연산을 처리하는 논리회로를 그리기에 앞서 회로의 간결화를 위해 위의 내용을 논리 방정식으로 표현하자.

$$Y = \overline{A} \cdot \overline{B} \cdot \overline{C} + \overline{A} \cdot \overline{B} \cdot C + \overline{A} \cdot B \cdot \overline{C}$$

위 방정식에서 우변 첫 번째 항과 두 번째 항은 하나의 항으로 통합될 수 있다. 즉,

$$Y = \overline{A} \cdot \overline{B} + \overline{A} \cdot B \cdot \overline{C} = \overline{A} \cdot (\overline{B} + B \cdot \overline{C})$$

논리방정식의 최종 표현을 논리회로로 그린다면, 간결화가 시도된 논리회로를 얻게 된다.



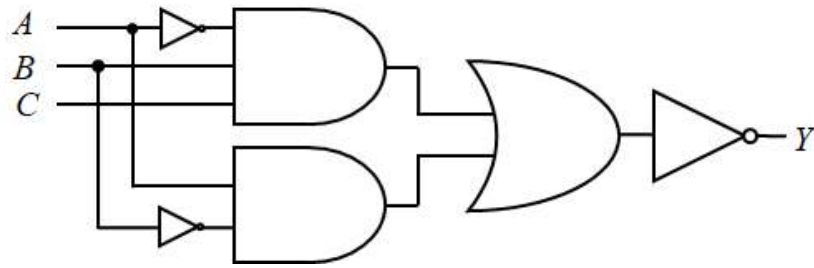
2) $X = 1$ 로 설정한 경우

출력이 0인 경우를 기준으로 회로를 구성해 보자. 출력이 0인 3가지 경우(011, 100, 101)를 3개의 AND gate로 각각 구현하고, 이들 AND gate의 출력을 OR gate로 더해준 다음에 OR gate의 출력에 NOT gate를 추가하면 된다. 앞서와 마찬가지로 이 연산을 처리하는 논리회로를 그리기에 앞서 회로의 간결화를 위해 위의 내용을 논리 방정식으로 표현하자.

$$\overline{Y} = \overline{A} \cdot B \cdot C + A \cdot \overline{B} \cdot \overline{C} + A \cdot \overline{B} \cdot C = \overline{A} \cdot B \cdot C + A \cdot \overline{B}$$

$$Y = \overline{\overline{A} \cdot B \cdot C + A \cdot \overline{B}}$$

이 결과를 논리회로로 구현하면 다음과 같다.

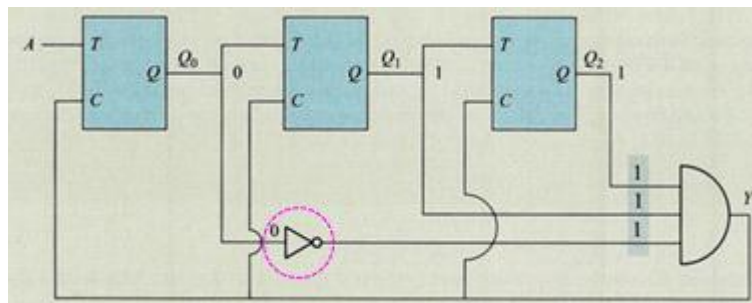


회로의 간결성 또는 효율성을 판별하는 절대적인 기준이 없으므로 $X=0$ 으로 설정한 경우와 $X=1$ 로 설정한 경우에 얻어진 두 회로 중에서 어느 것이 더 간결한지 또는 더 효율적인지를 판정할 수는 없다. 다만, 사용된 gate의 개수 관점에서 보면 두 회로의 간결성은 비슷하다고 판단할 수 있다.

2. T-FFs를 이용하여 modulo 6-counter를 설계하라. (설계 과정도 답안에 포함되어야 한다.) [15]

[sol] 일반적으로 m 개의 T-FFs를 사용하면 modulo 2^m counter를 구현할 수 있다. 그런데 문제에서 요구하는 counter는 0, 1, 2, ..., 5까지 counting하는 회로이므로, 3개의 T-FFs를 사용하되 count가 6이 되는 순간에 3개의 T-FFs가 동시에 clear 되도록 해야 한다.

Count가 6이 되는 순간에 직렬 연결된 3가지 T-FF의 출력은 $Q_2 = 1, Q_1 = 1, Q_0 = 0$ 이 되는데, 이 순간에 각 T-FF의 clear 입력에 1이 입력되도록 해주면 된다. 이상의 내용을 고려하여 modulo 6-counter를 구현하면 다음과 같다.



위 회로에서 AND gate는 3가지 입력 단자를 갖는다. 그런데, clearing 동작은 Q_0 값과 무관하므로, AND gate의 입력 단자를 2개로 축소하고 Q_2, Q_1 만 입력받도록 전체 회로를 효율화할 수 있다. (※ 효율화하지 않아도 정답으로 처리함!)

앞에서 clearing 동작이 Q_0 값과 무관하다는 의미는 다음과 같다. $Q_2=1, Q_1=1$ 인 경우에는 count가 6 이상이 되는 경우이므로 Q_0 값과 무관하게 clearing을 해야 할 것이다. 즉, AND gate의 출력이 1이 되어야 할 것이다. 그러므로 clearing을 처리하는 AND gate는 Q_0 입력을 필요로 하지 않는다.

3. 아래 식과 같은 아날로그 입력 전압 신호 $V(t)$ 를 1초에 4번씩 샘플링하고, 샘플된 값(sample value)을 3-bit로 양자화하였다. 이때, 양자화 장치(quantizer)의 최저 및 최고 전압은 각각 -1과 2.5 V이다. 0~1초 동안 AD 변환된 결과를 이진수 열로 제시하라. [15]

$$V(t) = 4(t - 0.5) \quad (0 \leq t < 1), \quad V(t) = V(t+1) \quad (\text{주기가 1초라는 의미임})$$

[sol] 주기적으로 변하는 아날로그 입력 전압 신호 (주기 1초)를 0초부터 시작하여 1초마다 4번씩 샘플링한다면, 실제 샘플링이 수행되는 순간들은 $t = 0.0, 0.25, 0.5, 0.75$ 초가 된다. $t = 1$ 초인

순간은 1초부터 시작하는 두 번째 주기의 샘플링 시각에 해당하므로 포함될 수 없다.

주어진 함수로부터 4개의 sample values $V_a(i)$ 를 구하면, 다음과 같다. (여기서 $i = 0, 1, 2, 3$)

$$V_a(0) = V(t=0.00) = -2.0 \text{ V}$$

$$V_a(1) = V(t=0.25) = -1.0 \text{ V}$$

$$V_a(2) = V(t=0.50) = 0.0 \text{ V}$$

$$V_a(3) = V(t=0.75) = 1.0 \text{ V}$$

Quantizer에서 생성되는 전압은 최저전압이 -1.0 V , 최대전압이 $+2.5 \text{ V}$ 이다. Quantizer가 3-bit 이므로 $-1.0 \sim 2.5 \text{ V}$ 의 전압 구간에 속하는 8개의 계단 전압 $V_q(k)$ 는 다음과 같다.

$$V_q(0) = -1.0 \text{ V}$$

$$V_q(1) = -0.5 \text{ V}$$

$$V_q(2) = 0.0 \text{ V}$$

$$V_q(3) = +0.5 \text{ V}$$

$$V_q(4) = +1.0 \text{ V}$$

$$V_q(5) = +1.5 \text{ V}$$

$$V_q(6) = +2.0 \text{ V}$$

$$V_q(7) = +2.5 \text{ V}$$

이제, sample value와 계단 전압의 비교를 통해 sample value의 양자화 결과 즉, 이진수를 구하자. Sample value를 **최초로 초과하는 계단 전압**을 찾아 그 계단 전압의 k 값을 구하면, sample value의 양자화 결과를 얻을 수 있다.

$$V_a(0) = -2.0 \text{ V} \quad \text{--->} \quad V_q(0) = -1.0 \text{ V} \quad \text{--->} \quad k = "000"$$

$$V_a(1) = -1.0 \text{ V} \quad \text{--->} \quad V_q(1) = -0.5 \text{ V} \quad \text{--->} \quad k = "001"$$

$$V_a(2) = 0.0 \text{ V} \quad \text{--->} \quad V_q(3) = +0.5 \text{ V} \quad \text{--->} \quad k = "011"$$

$$V_a(3) = +1.0 \text{ V} \quad \text{--->} \quad V_q(5) = +1.5 \text{ V} \quad \text{--->} \quad k = "101"$$

그러므로 A-D 변환된 최종 결과는 아래와 같다.

000 001 011 101

4. $|s_i| \leq 2 \text{ V}$ 인 signal sequence를 이용하여 데이터를 전송하는 전송 채널이 있다.

(a) Signal energy가 최대가 되는 signal sequence s_i 를 설계하고 ($0 \leq i \leq 4$), signal energy도 구하라. [10]

[sol] 어떤 signal sequence가 최대의 signal energy를 갖기 위해서는 모든 구성 요소 (s_i)가 전송 채널이 허용하는 최대전압값을 동시에 가져야 한다. 또는 그 절대치가 최대전압값을 가져야 한다. 따라서 다음과 같은 signal sequence가 최대 에너지를 가질 수 있다.

$$s_i = \{2, 2, 2, 2, 2\} \text{ 또는}$$

$$s_i = \{2, -2, 2, -2, 2\} \text{ 또는}$$

$$s_i = \{2, 2, 2, -2, -2\} \text{ 등}$$

이러한 signal sequence의 signal energy는 요소 제곱의 합이므로,

$$E_s = 2^2 + 2^2 + 2^2 + 2^2 + 2^2 = 20$$

(b) Matched processor를 설계하고, $X_i = s_i$ 일 때, matched processor output도 구하라. [10]

[sol] 문항 (a)의 결과 중에서 $s_i = \{2, -2, 2, -2, 2\}$ 인 경우에 대해 결과를 구해보자. Matched processor의 곱셈 계수는 $c_i = s_i$ 이어야 하며, 이때 matched processor output은 다음과 같다.

$$V = \sum_{i=0}^4 c_i X_i = \sum_{i=0}^4 s_i s_i = E_s = 20$$

5. Source가 5 종류의 unique symbols을 동등한 확률로 등장시켜 1초당 100개의 symbol을 생성하고 있다. Symbol들을 Huffman code와 같은 variable-length code로 encoding (변환)하는 경우와 fixed-length code로 encoding하는 경우에 data rate는 각각 얼마인가? [15]

[sol] 생성된 symbols를 fixed-length code로 변환한다는 것은 각 symbol을 동일 bit 수의 이진수로 표현한다는 의미이다. 현재 symbols의 종류가 5가지이므로 모든 symbol은 같은 길이의 3 bit 이진수로 변환된다. 따라서 data rate는 300 bit/sec (bps)가 된다.

생성된 symbol을 variable-length code로 변환한다는 것은 symbol들을 다른 bit 수의 이진수로 표현한다는 의미이다. 그런데, 각 symbol의 code word를 직접 생성하기 전까지는 해당 symbol이 몇 bit 수의 이진수로 변환되는지는 알 수 없다.

하지만, source entropy는 각 symbol이 평균적으로 몇 bit 수의 이진수로 변환되는지를 의미하므로, 이를 이용하여 data rate를 구할 수 있다. Source는 5가지 unique symbols를 동등한 확률로 생성하므로 source entropy는 $\log_2(5) = 2.32$ bit/symbol이다. 따라서 data rate는 232 bps가 된다.

6. Data packet는 아래 3개의 data bytes (각 data는 8bit)를 포함하며, 오류 검출과 정정을 위해 각 data byte에 parity bit가 추가되며, longitudinal redundancy-check (LRC) code word도 추가된다. 모든 경우에 **odd parity**가 적용된 data packet을 이진수열로 표현하라. [15]

00001111 10110110 10101010

[sol] 먼저 각 data byte에 odd parity bit를 추가하여 아래와 같은 9-bits code word를 생성하자.

00001111 1 (이진수 1의 개수가 홀수개가 되도록 parity bit를 추가)

10110110 0

10101010 1

LRC code word를 생성하기 위해 3개의 9-bits code word를 3줄로 배열한 다음, LRC code word를 포함하여 각 열에 포함된 이진수 1의 개수가 홀수개가 되도록 LRC code word의 각 bit 값을 설정한다.

0 0 0 0 1 1 1 1 1

1 0 1 1 0 1 1 0 0

1 0 1 0 1 0 1 0 1

1 1 1 0 1 1 0 0

이제 마지막으로 8-bit LRC code word에 odd parity bit를 추가하자.

0 0 0 0 1 1 1 1 1

1 0 1 1 0 1 1 0 0

1 0 1 0 1 0 1 0 1

1 1 1 0 1 1 0 0 0

이상의 과정을 거쳐 완성된 data packet을 이진수 열로 표현하면 다음과 같다.

00001111 1 10110110 0 10101010 1 11101100 0

(주) 주관식이므로 풀이 과정도 답안에 함께 적어야 합니다.