



Universitatea
Transilvania
din Brașov



Universitatea
Transilvania
din Brașov
FACULTATEA DE INGINERIE ELECTRICĂ
ȘI ȘTIINȚA CALCULATORELOR

PROIECT ASCN2

Conducător: Profesor dr. ing. Moldoveanu Florin-Dumitru

Studenti: Ursache Maria Isabela

Borș Dorin

Grupa: 4LF491

2022

FIŞA PROIECTULUI DE DISCIPLINĂ

Disciplina:

Analiza și sinteza circuitelor numerice II, an III/sem. 5.

Tema de proiect nr. 36

Să se proiecteze un automat secvențial asincron al cărui caiet de sarcini este descris mai jos.

În proiectarea automatului secvențial asincron se va folosi metoda matriceală / Huffman.

Caiet de sarcini:

Se cere să se proiecteze un automat secvențial care să funcționeze după următorul protocol:

Automatul are două intrări, u_1 și u_2 , și două ieșiri y_1 și y_2 . Dacă se aplică mai întâi intrarea u_1 , ieșirea y_1 trece în 1 logic (y_2 rămîne în 0 logic). Ieșirea y_1 își menține valoarea 1 chiar dacă intrarea u_1 trece în 0 logic, și devine 0 numai când se aplică u_2 . Dacă, după aplicarea lui u_1 ($u_1 = 1$) se aplică și u_2 ($u_1 u_2 = 11$), ambele ieșiri trec în 0 și rămân în 0 până când ambele intrări devin 0. Dacă se aplică mai întâi u_2 (din stare initială, când $u_1 = u_2 = y_1 = y_2 = 0$), y_2 ia valoarea 1 ($y_1 = 0$) și se menține la această valoare chiar dacă u_2 trece în 0. Ieșirea y_2 trece în 0 dacă, după aplicarea lui u_2 ($u_2 = 1$) se aplică și u_1 ($u_1 u_2 = 11$), sau dacă, după ce u_2 a devenit 0, se aplică u_1 .

Se consideră că la un moment dat de timp nu se modifică ambele intrări simultan.

Diagrama de semnale „intrări-ieșiri” este prezentată în figura 1.

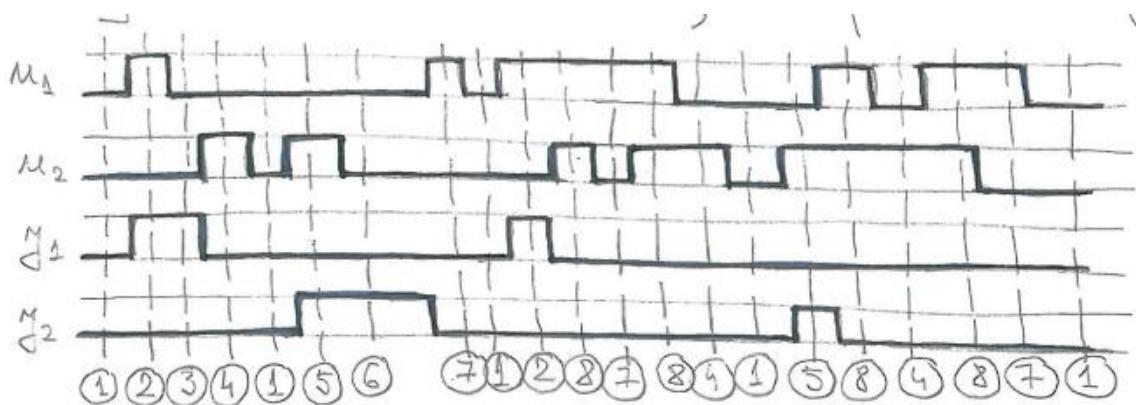


Fig. 1 Diagrama de semnale "intrare – ieșire" a automatului secvențional

Cerințe de proiectare:

În rezolvarea temei proiectului se vor trata următoarele probleme:

- Obținerea matricei/tabelei primitive a stărilor, a matricei complete a ieșirilor, precum și a grafului de tranziții.
- Reducerea numărului de stări ale matricei primitive și construirea matricei reduse a stărilor.

- Codificarea stărilor matricei reduse.
- Întocmirea matricelor tranzităilor stărilor și obținerea expresiilor funcțiilor de excitație ale automatului.
- Întocmirea matricelor ieșirilor și obținerea expresiilor funcțiilor de ieșire ale automatului.
- Implementarea funcțiilor logice obținute cu circuite integrate (se vor utiliza bistabili de tip D pentru implementarea secțiunii de memorie și porți logice pentru structura logică combinațională).
- Analiza schemei logice obținute.

Pe schema logică obținută se vor specifica tipul și gradul de utilizare al fiecărui circuit integrat.

Bibliografia recomandată:

- [1] Ștefan, Gh. – *Circuite și sisteme digitale*, Ed. Tehnică, București, 2000.
- [2] Wakerly, J.F. – *Circuite digitale*, Ed. Teora, București, 2002.
- [3] Wilkinson, B. – *Electronică digitală. Bazele proiectării*, Ed. Teora, București, 2002.
- [4] Mano, M.M. – *Digital Design*, Prentice Hall International, London, 2002.
- [5] Moldoveanu, F., Floroian, D. – *Circuite logice și comenzi secvențiale. Circuite logice combinaționale*, Ed. Universității Transilvania din Brașov, 2003.
- [6] Toacșe, Gh., Nicula, D. – *Electronică digitală*, vol. I, Ed. Tehnică, București, 2005.

Condiții de redactare:

Pentru redactare se va folosi template-ul recomandat de cadrul didactic îndrumător.

Evaluări pe parcurs:

S-a stabilit o viză pentru evaluarea pe parcurs a proiectului, în data de 14.12.2021.

Termenul de predare și susținere:

Proiectul se va predă și susține în ultima săptămână a semestrului.

Notarea proiectului:

Forma finală a proiectului trebuie să conțină rezolvări pentru toate punctele cerute prin temă iar, din punct de vedere al redactării, să aibă forma solicitată. În cursul susținerii, studentul trebuie să dovedească cunoașterea metodelor specifice de rezolvare pentru problemele date, utilizarea corectă și fluentă a termenilor specifici și interpretarea corectă a rezultatelor. Notarea va porni de la nota 10, dacă studentul a primit viză de evaluare și de la nota 7 în cazul în care studentul nu are această viză.

Octombrie 2021

Titular activități de proiect,
Prof. dr. ing. Florin Dumitru MOLDOVEANU

Cuprins

1. Exercițiu 1.....	6
1.1 Enunțul problemei.....	6
1.2 Considerații teoretice.....	6
1.2.1 Circuite logice secvențiale.....	6
1.2.2 Diagrama de semnale „intrare-ieșire”	7
1.3 Rezolvare.....	8
1.3.1 Matricea primitive a stăriilor.....	8
1.3.2 Matricea completă a ieșirii Z_1	9
1.3.3 Matricea complete a ieșirii Z_2	9
1.3.4 Graful de tranziții.....	10
2. Exercițiu 2.....	11
2.1 Enunțul problemei.....	11
2.2 Considerații teoretice.....	11
2.2.1 Reducerea numărului de stări.....	11
2.3 Rezolvare.....	12
2.3.1 Matricea redusă a stăriilor.....	12
2.3.2 Poligonul alipirilor.....	12
2.3.3 Matricea redusă a ieșirii Z_1	13
2.3.4 Matricea redusă a ieșirii Z_2	13
3. Exercițiu 3.....	14
3.1 Enunțul problemei.....	14
3.2 Considerații teoretice.....	14
3.2.1 Codificarea stăriilor matricei reduse.....	14
3.3 Rezolvare.....	15
3.3.1 Matricea redusă și codificată a stăriilor.....	15
3.3.2 Matricea redusă și codificată a ieșirii Z_1	15
3.3.3 Matricea redusă și codificată a ieșirii Z_2	15
3.3.4 Poligonul tranzițiilor.....	15
4. Exercițiu 4.....	16
4.1 Enunțul problemei.....	16
4.2 Considerații teoretice.....	16
4.2.1 Matricea tranzițiilor stăriilor.....	16
4.3 Rezolvare.....	16
4.3.1 Diagrama de excitație.....	16
4.3.2 Funcția de excitație Y_1	17

4.3.3 Funcția de excitație Y_2	17
4.3.4 Matricea ieșirii Z_1	17
4.3.5 Matricea ieșirii Z_2	18
5. Exercițiu 5.....	19
5.1 Enunțul problemei.....	19
5.2 Rezolvare.....	19
5.2.1 Implementarea funcțiilor logice.....	19
6. Exercițiu 6.....	20
6.1 Rezultatul implementării.....	20
6.1 Analiza schemei logice.....	20
Bibliografie.....	21
ANEXA 1.....	22

1. Exercițiul 1

1.1 Enunțul problemei

Obținerea matricei/tabelei primitive a stărilor, a matricei complete a ieșirilor, precum și a grafului de tranziții.

1.2 Considerații teoretice

- *Circuitele logice secvențiale*

Circuitele logice secvențiale sunt circuite de comutare la care starea externă (ieșirea) depinde la un moment dat nu numai de stările interne la momentul de timp considerat ci și de stările anterioare ale acestora.

Din acest motiv CLS trebuie să aibă memorie în care să păstreze informația referitoare la evoluția lor anterioară. De asemenea, spre deosebire de cazul circuitelor logice combinaționale (CLC), existența stărilor interne face ca timpul să apară explicit în funcția CLS.

Modelul general sau schema bloc generală a unui CLS este următoarea:

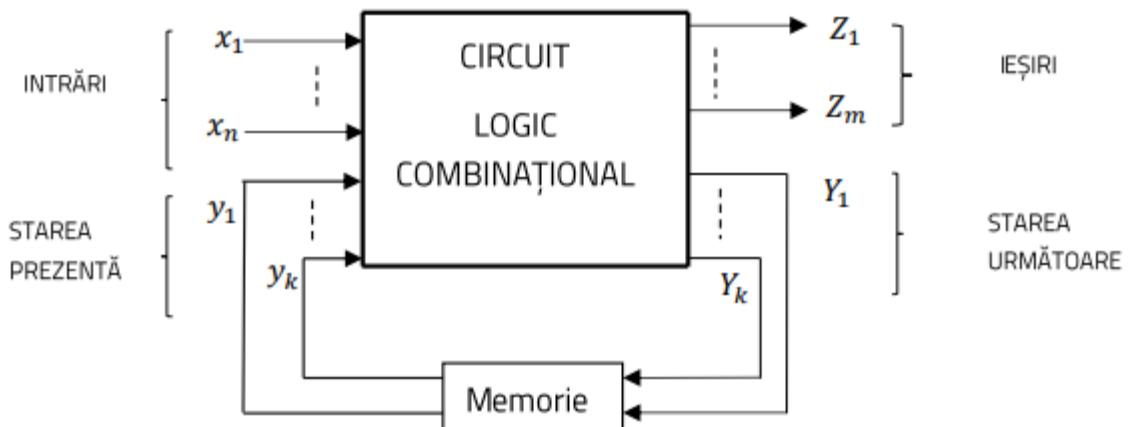


Fig. 1.2.1 Modelul unui circuit logic secvențional

Starea circuitului la un moment dat de timp este definită prin mulțimea variabilelor secundare de stare, iar la momentul „ t ” de funcțiile de excitație ale memoriei. În concluzie, se poate aprecia că evoluția

în timp a oricărui CLS poate fi descrisă prin relații între semnalele de intrare, starea prezentă (definită de variabilele de stare), starea următoare (definită de funcțiile de excitație) și semnalele de ieșire.

Un circuit logic secvențial este un circuit de prelucrare a informațiilor discrete, în care se pun în evidență următoarele seturi de mărimi:

- un set al variabilelor de intrare (primare): $X = (x_1, x_2, \dots, x_n)$
- un set al variabilelor de ieșire: $Z = (z_1, z_2, \dots, z_n)$
- un set al variabilelor de stare: $Y = (y_1, y_2, \dots, y_n)$

Se notează cu:

- Y_i variabilele secundare de excitație ale memoriei, care intră în blocul de memorie și determină starea următoare a circuitului,
- y_j variabilele secundare de stare, semnalele care ies din blocul de memorie și definesc starea prezentă a circuitului, unde $j = (1, 2, \dots, k)$

Cele k variabile de stare determină prin valorile pe care le pot lua la momentul „ t ” starea internă a circuitului secvențial.

- *Diagrama de semnale „intrari-iesiri”*

Diagrama de semnal reprezintă o descriere a caietului de sarcini, ce reflectă corespondența completă între intrările și ieșirile circuitului pentru un “ciclul de funcționare complet” (CFC). Prin ciclu de funcționare complet se înțelege o evoluție a unui circuit logic care plecând dintr-o stare inițială comută succesiv într-un număr de stări stabile, fiecare stare corespunzând unei situații reale din funcționarea circuitului, până se ajunge într-o stare finală care este identică cu cea inițială.

În situațiile cele mai des întâlnite, în practică, descrierea funcționării schemei se face fie prin text, fie prin diagrame de semnal „intrare-iesire”. Diagrama trebuie să contină toate secvențele posibile ale corespondenței „intrare-iesire”. În caz contrar intrările acestei primei informații ar conduce la o structură fizică incompletă, având funcționarea modificată față de cea impusă.

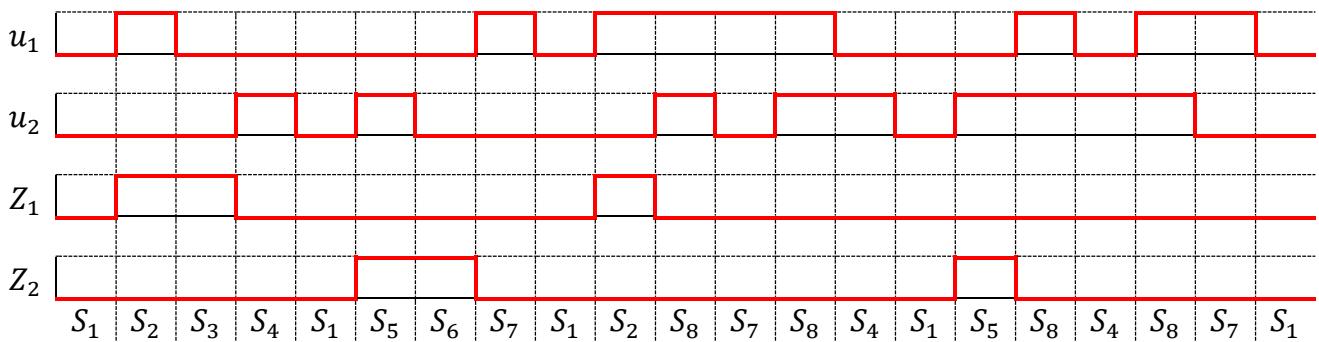


Fig. 1.2.2 Diagrama de semnale "intrare – ieșire" a automatului secvențional

1.3 Rezolvare

Din diagrama de semnale reiese că automatul are 8 stări.

$$Z_1(S_1) = Z_1(S_4) = Z_1(S_5) = Z_1(S_6) = Z_1(S_7) = Z_1(S_8) = 0$$

$$Z_1(S_2) = Z_1(S_3) = 1$$

$$Z_2(S_1) = Z_2(S_2) = Z_2(S_3) = Z_2(S_4) = Z_2(S_7) = Z_2(S_8) = 0$$

$$Z_2(S_5) = Z_2(S_6) = 1$$

$$f(S_1, 00) = S_1 \quad f(S_1, 01) = S_4 \quad f(S_1, 11) = * \quad f(S_1, 10) = S_2$$

$$f(S_2, 00) = S_3 \quad f(S_2, 01) = * \quad f(S_2, 11) = S_8 \quad f(S_2, 10) = S_2$$

$$f(S_3, 00) = S_3 \quad f(S_3, 01) = S_4 \quad f(S_3, 11) = * \quad f(S_3, 10) = S_2$$

$$f(S_4, 00) = S_1 \quad f(S_4, 01) = S_4 \quad f(S_4, 11) = S_8 \quad f(S_4, 10) = *$$

$$f(S_5, 00) = S_6 \quad f(S_5, 01) = S_5 \quad f(S_5, 11) = S_8 \quad f(S_5, 10) = *$$

$$f(S_6, 00) = S_6 \quad f(S_6, 01) = S_5 \quad f(S_6, 11) = * \quad f(S_6, 10) = S_7$$

$$f(S_7, 00) = S_1 \quad f(S_7, 01) = * \quad f(S_7, 11) = S_8 \quad f(S_7, 10) = S_7$$

$$f(S_8, 00) = * \quad f(S_8, 01) = S_4 \quad f(S_8, 11) = S_8 \quad f(S_8, 10) = S_7$$

$s_i \backslash u_1 u_2$	00	01	11	10	Z_1	Z_2
S_1	S_1	S_4	*	S_2	0	0
S_2	S_3	*	S_8	S_2	1	0
S_3	S_3	S_4	*	S_2	1	0
S_4	S_1	S_4	S_8	*	0	0
S_5	S_6	S_5	S_8	*	0	1
S_6	S_6	S_5	*	S_7	0	1
S_7	S_1	*	S_8	S_7	0	0
S_8	*	S_4	S_8	S_7	0	0

Tab. 1.3.1 Matricea primitivă a stărilor

$s_i \backslash u_1 u_2$	00	01	11	10	Z_1
s_i	0	0	*	-	0
S_2	1	*	-	1	1
S_3	1	-	*	1	1
S_4	0	0	0	*	0
S_5	0	0	0	*	0
S_6	0	0	*	0	0
S_7	0	*	0	0	0
S_8	*	0	0	0	0

Tab. 1.3.2 Matricea completă a ieșirii Z_1

$s_i \backslash u_1 u_2$	00	01	11	10	Z_2
s_i	0	0	*	0	0
S_2	0	*	0	0	0
S_3	0	0	*	0	0
S_4	0	0	0	*	0
S_5	1	1	-	*	1
S_6	1	1	*	-	1
S_7	0	*	0	0	0
S_8	*	0	0	0	0

Tab. 1.3.3 Matricea completă a ieșirii Z_2

- *Graful de tranziții*

Unui circuit logic secvențial î se poate atașa un graf orientat și marcat. Graful de tranziții constituie o reprezentare grafică a modelului matematic a unui CLS. Asocierea grafului unui circuit logic secvențial se face în modul următor:

- Multimii stării circuitului $C = (X, Z, S, f, g)$ î se atâșează multimea vârfurilor (nodurilor) grafului (în noduri se reprezintă stările sistemului).
- Dacă stările s_i și s_j , $s_i, s_j \in S$ sunt legate prin relația $s_j = f(s_i, x_i)$, $x_i \in X$, atunci vârful s_i este legat de vârful s_j printr-un arc orientat de la s_i la s_j . Arcul astfel obținut va fi marcat cu semnalul de intrare care a determinat tranziția între s_i și s_j .
- Semnalele de ieșire a circuitului se specifică în graf în funcție de tipul circuitului, anume: pentru circuitele de tip Moore ieșirile se vor marca în graf pentru stările corespunzătoare, iar pentru circuitele de tip Mealy, dacă $z_j = g(s_i, x_i)$ arcul (s_i, s_j) va fi marcat și cu ieșirea z_j .

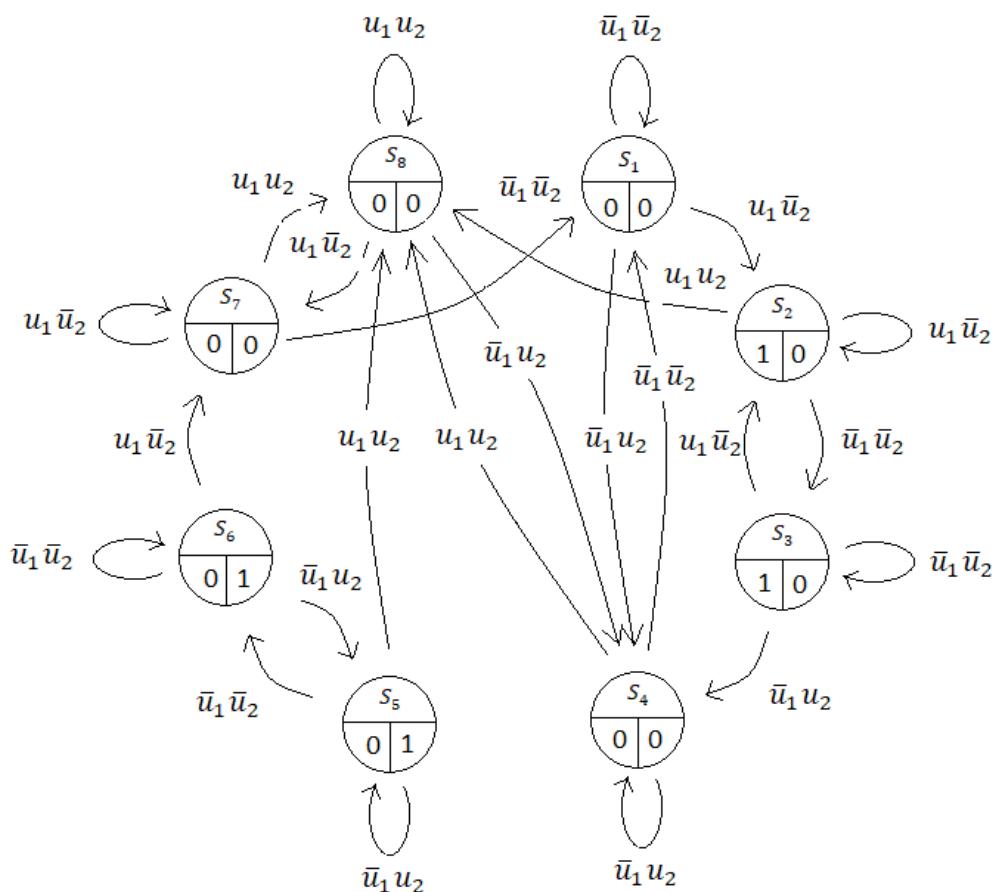


Fig. 2 Graful de tranziții

2. Exercițiul 2

2.1 Enunțul problemei

Reducerea numărului de stări ale matricei primitive și construirea matricei reduse a stărilor.

2.2 Considerații teoretice

- *Reducerea numărului de stări*

Teoria reducerii numărului de stări ale matricei primitive se bazează exclusive pe teoria echivalării automatelor secvențiale. Reducerea numărului de stări primare (primitive) se obține prin fuzionarea, sau alipirea unui număr de stări (caracterizată de o stare stabilă „i”, respectiv „j”) după anumite reguli:

- Două linii ale matricei primitive a stărilor (corespunzătoare stărilor unice „i”, respectiv „j”) se pot alipi, în felul acesta obținându-se o formă redusă, dacă tranzițiile din stările stabile „i”, „j” ale celor două linii conduc, pentru aplicarea acelorași valori ale variabilelor de intrare, într-o stare viitoare unică k.

Alipirea stărilor se poate face ținând cont și de un criteriu suplimentar, anume acela al concordanței ieșirilor. În felul acesta minimizarea automatului secvențial se extinde și asupra secțiunii logice de generare a ieșirilor.

Rezultă că pentru a alipi două linii ale matricei primitive, caracterizate de stările unice stabile „i” și „j”, trebuie ca în fiecare coloană a matricei, conținutul locațiilor să corespundă uneia din combinațiile prezentate în tabelul următor:

„i”	(i)	j	i	j	k	(i)	*	i	*	k	*
„j”	i	(j)	i	j	k	*	(j)	*	j	*	*
	(i)	(j)	i	j	k	(i)	(j)	i	j	k	*

Tab. 2.2.1 Tabelul combinațiilor pentru alipirea a două linii

Utilizarea complete a tuturor alipirilor (fuzionarilor) permise între peretei de două linii devine posibilă prin trasarea poligonului legăturilor (poligonul alipirilor). Acest poligon marchează prin segmente de dreaptă toate alipirile posibile dintre o linie „i” și toate celelalte linii ale matricei primitive.

Pentru fuzionare se aplică următoarele reguli:

- În linia rezultată prin fuzionarea dintre stările de pe aceeași coloană, una stabilă și cealaltă instabilă sau nedefinită, se păstrează starea stabilă. Dintre o stare instabilă și una nedefinită, se menține starea instabilă, dar definită.
- Linia rezultată prin fuzionare păstrează indicele stării cu număr mai mic.

2.3 Rezolvare

Reducerea numărului de stări:

- $A(1,4)$
- $B(2,3)$
- $C(5,6)$
- $D(7,8)$

$s_i \backslash u_1 u_2$	00	01	11	10
s_i	S_1	S_4	S_8	S_2
$A(1,4)$	S_1	S_4	S_8	S_2
$B(2,3)$	S_3	S_4	S_8	S_2
$C(5,6)$	S_6	S_5	S_8	S_7
$D(7,8)$	S_1	S_4	S_8	S_7

Tab. 2.3.1 Matricea redusă a stărilor

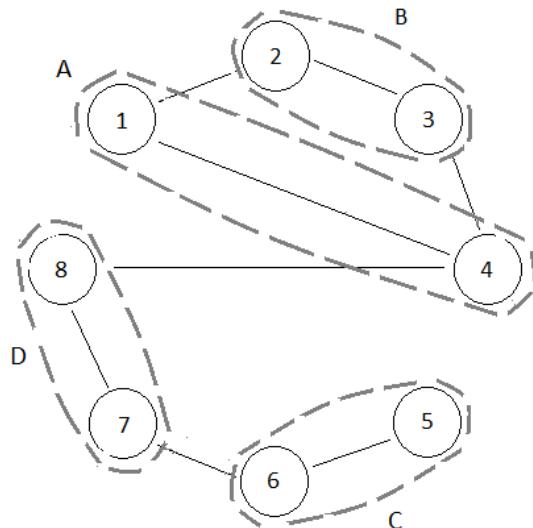


Fig. 2.3.2 Poligonul alipirilor

$s_i \backslash u_1 u_2$	00	01	11	10
s_i	00	01	11	10
$A(1,4)$	0	0	0	*
$B(2,3)$	1	*	*	1
$C(5,6)$	0	0	0	0
$D(7,8)$	0	0	0	0

Tab. 2.3.2 Matricea redusă a ieșirii Z_1

$s_i \backslash u_1 u_2$	00	01	11	10
s_i	00	01	11	10
$A(1,4)$	0	0	0	0
$B(2,3)$	0	0	0	0
$C(5,6)$	1	1	*	*
$D(7,8)$	0	0	0	0

Tab. 2.3.3 Matricea redusă a ieșirii Z_2

3. Exercițiul 3

3.1 Enunțul problemei

Codificarea stărilor matricei reduse.

3.2 Considerații teoretice

- *Codificarea stărilor matricei reduse*

În aceasta etapa se determină numărul variabilelor secundare de stare și se realizează asignarea de stare. Această etapă, denumită și alocarea semnalelor secundare sau codificarea stărilor, trebuie făcută pentru a se evita fenomenele de concurs între semnalele secundare de stare. Această etapă creează premizele obținerii funcțiilor de excitație ale schemei secvențiale. Ea se referă la codificarea univocă a stărilor fuzionate ale automatului redus echivalent, descris de matricea redusă a stărilor și ieșirilor.

Pentru un număr q de stări reduse, sunt necesare p variabile de stare (variabile secundare), conform relației 3.1.

$$2^p \geq q \quad (3.1)$$

Pentru a se evita apariția hazardului de tranziție este necesar să fie interzise tranzițiile de stare în care se modifică 2, 3, ..., variabile de stare simultan. În felul acesta se elimină posibilitatea de apariție a curselor critice, care determină comutări eronate și deci secvențe de ieșire false. Codificarea se va face astfel încât tranzițiile să aibă loc numai între stări codificate adiacent.

Pentru codificarea corectă a stărilor fuzionate se impune, în această etapă a sintezei construirea poligonului tranzițiilor. Nodurile acestui poligon reprezintă stările stabile fuzionate (alipite) iar laturile (orientate ca sens) reprezintă tranziții între stările alipite.

O tranziție poate fi marcată între două stări alipite „i” și „j”, dacă în cel puțin una din coloanele matricei reduse a stărilor apare situația $(k \rightarrow k)$.

Conform relației de mai sus (5.1), rezultă că, având $q = 4$ stări alipite, pentru codificare sunt necesare $p = 2$ variabile secundare. Fie y_1, y_2 cele două variabile secundare.

3.3 Rezolvare

$y_1y_2 \backslash u_1u_2$	00	01	11	10
00	S_1	S_4	S_8	S_2
01	S_3	S_4	S_8	S_2
11	S_6	S_5	S_8	S_7
10	S_1	S_4	S_8	S_7

Tab. 3.3.1 Matricea redusă și codificată a stărilor

$y_1y_2 \backslash u_1u_2$	00	01	11	10
00	0	0	0	*
01	1	*	*	1
11	0	0	0	0
10	0	0	0	0

Tab. 3.3.2 Matricea redusă și codificată a ieșirii Z_1

$y_1y_2 \backslash u_1u_2$	00	01	11	10
00	0	0	0	0
01	0	0	0	0
11	1	1	*	*
10	0	0	0	0

Tab. 3.3.3 Matricea redusă și codificată a ieșirii Z_2

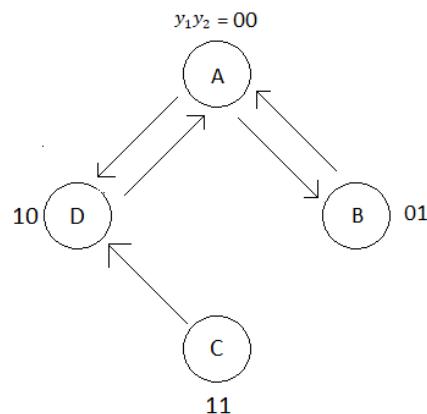


Fig. 3.3.1 Poligonul tranzițiilor

4. Exercițiul 4

4.1 Enunțul problemei

Întocmirea matricelor tranzităilor stărilor și obținerea expresiilor funcțiilor de excitare ale automatului.

4.2 Considerații teoretice

- Matricea tranzităilor stărilor

Având în vedere matricea redusă a stărilor și asignarea stărilor făcută se stabilește diagrama de excitare. Din diagrama de excitare se determină, prin separare, diagramele Karnaugh pentru fiecare funcție de excitare (Tab. 4.3.1 și Tab. 4.3.2).

De asemenea, atunci când se folosesc CBB pe buclele de reacție se ține cont de tabelul de excitare al CBB ales.

Q^t	Q^{t+1}	D
0	0	0
0	1	1
1	0	0
1	1	1

Fig. 4.2.1 Bistabil tip D.

Se fac următoarele notări:

$$y_1 = Q_1^t; y_2 = Q_2^t; Y_1 = Q_1^{t+1}; Y_2 = Q_2^{t+1};$$

4.3 Rezolvare

		$Q_1^t Q_2^t \backslash u_1 u_2$	00	01	11	10
A	00		00	00	10	01
B	01		01	00	10	01
C	11		11	11	10	10
D	10		00	00	10	10

Tab. 4.3.1 Diagrama de excitare $Y_1 - Y_2$.

$Q_1^t Q_2^t \backslash u_1 u_2$	00	01	11	10
00	0	0	1	0
01	0	0	1	0
11	1	1	1	1
10	0	0	1	1

Tab. 4.3.2 Funcția de excitație Y_1 .

$$Y_1 = u_1 u_2 + y_1 y_2 + u_1 y_1 \quad (4.1)$$

$$Q_1^{t+1} = u_1 u_2 + Q_1^t Q_2^t + u_1 Q_1^t \quad (4.2)$$

$Q_1^t Q_2^t \backslash u_1 u_2$	00	01	11	10
00	0	0	0	1
01	1	0	0	1
11	1	1	0	0
10	0	0	0	0

Tab. 4.3.3 Funcția de excitație Y_2 .

$$Y_2 = u_1 \bar{u}_2 \bar{y}_1 + \bar{u}_1 \bar{u}_2 y_2 + \bar{u}_1 y_1 y_2 \quad (4.3)$$

$$Q_2^{t+1} = u_1 \bar{u}_2 \bar{Q}_1^t + \bar{u}_1 \bar{u}_2 Q_2^t + \bar{u}_1 Q_1^t Q_2^t \quad (4.4)$$

$Q_1^t Q_2^t \backslash u_1 u_2$	00	01	11	10
00	0	0	0	*
01	1	*	*	1
11	0	0	0	0
10	0	0	0	0

Tab. 4.3.4 Matricea ieșirii Z_1 .

$$Z_1 = \bar{y}_1 y_2 \quad (4.5)$$

$$Z_1 = \bar{Q}_1^t Q_2^t \quad (4.6)$$

$Q_1^t Q_2^t \backslash u_1 u_2$	00	01	11	10
00	0	0	0	0
01	0	0	0	0
11	1	1	*	*
10	0	0	0	0

Tab. 4.3.5 Matricea ieșirii Z_2 .

$$Z_2 = y_1 y_2 \quad (4.7)$$

$$Z_2 = Q_1^t Q_2^t \quad (4.8)$$

5. Exercițiul 5

5.1 Enunțul problemei

Implementarea funcțiilor logice obținute cu circuite integrate (se vor utiliza bistabili de tip D pentru implementarea secțiunii de memorie și porți logice pentru structura logică combinațională).

5.2 Rezolvare

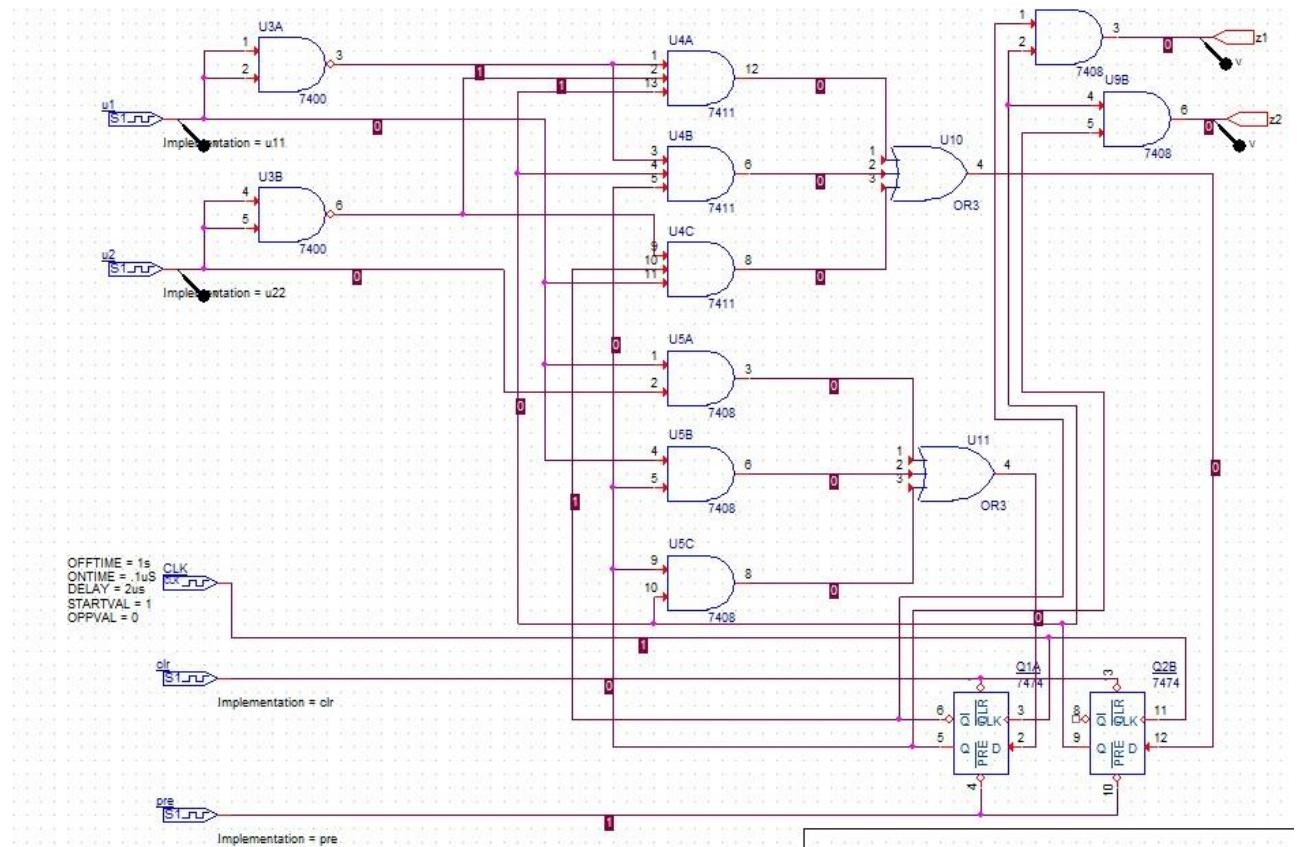


Fig. 5.2.1 Implementarea funcțiilor logice obținute cu circuite integrate.

Am folosit:

- 1 x 74LS00 (-2); 2 x 74LS08 (-3); 1 x 74LS11 (-);
- 1 x 744075 (-1); 1 x 74LS74 (-);

6. Exercițiul 6

- *Analiza schemei logice*

Odată implementată schema, se procedează la testarea funcționării acesteia. Se analizează secvențele de funcționare conform diagramei de semnale „intrare-ieșire”. Această analiză urmărește identificarea unor situații de avarie, prin simularea unor cicluri de funcționare complete.

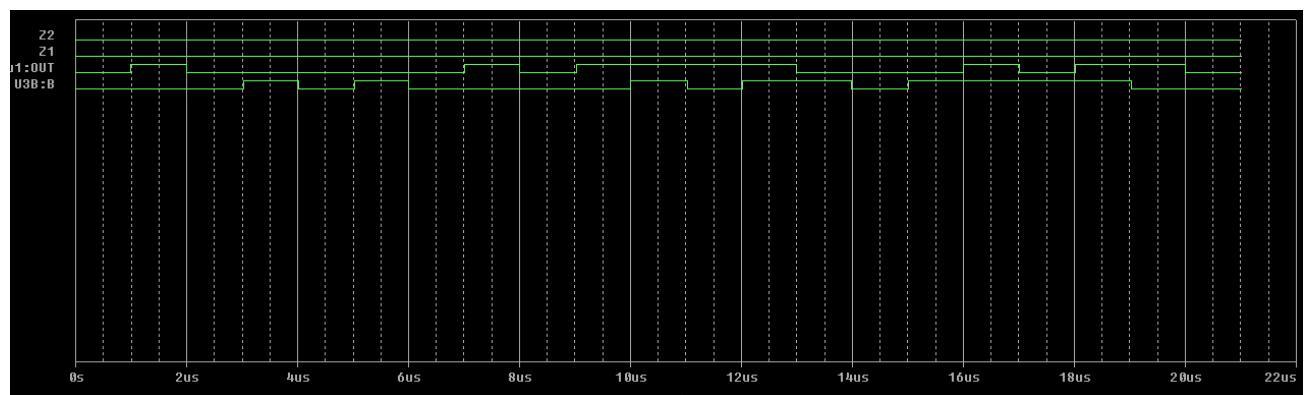


Fig. 6.1 Rezultatul implementării.

Bibliografie

1. Moldoveanu, F., Floroian, D. — Circuite logice și comenzi secvențiale. Circuite logice combinaționale, Ed. Universitatea Transilvania din Brașov, 2003.
2. <http://www.google.com/> — motor de căutare.
3. <http://www.ti.com/> - pagina oficială Texas Instruments.

Anexa 1

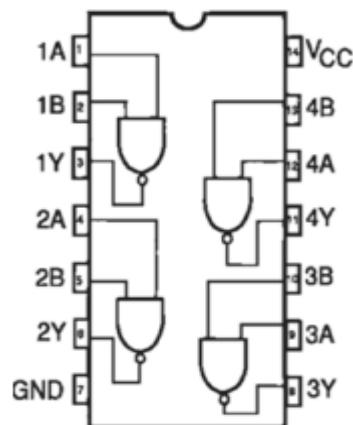


Fig. 1 Circuitul integrat 74LS00.

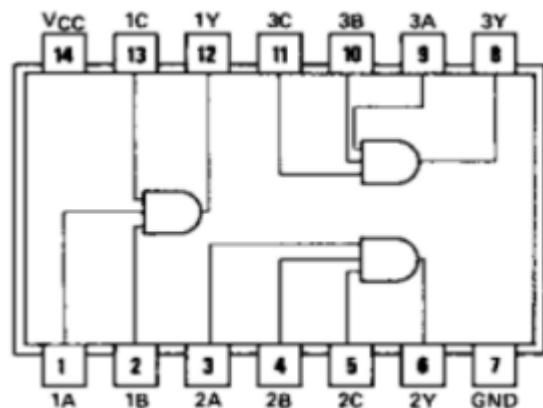


Fig. 2 Circuitul integrat 74LS11.

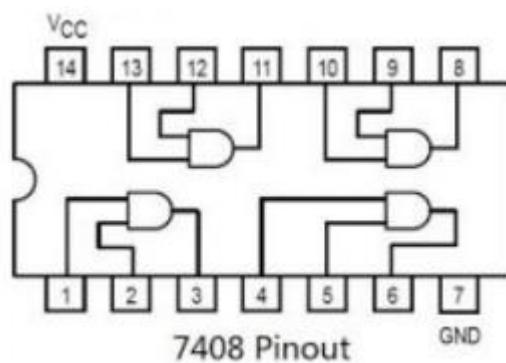


Fig. 3 Circuitul integrat 74LS08.

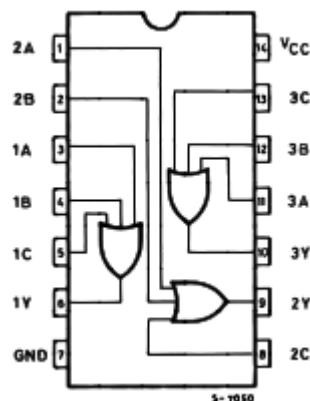


Fig. 4 Circuitul integrat 744075.

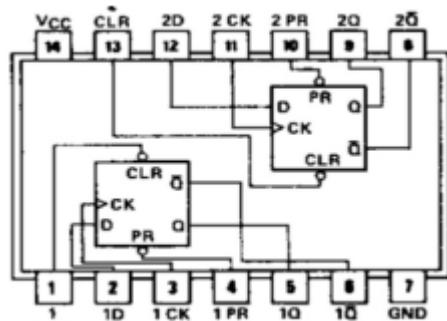


Fig. 5 Circuitul integrat 74LS74.