

**华中科技大学**

人工智能与自动化学院

**计算机组成原理**

**实验报告**

**专业班级： 人工智能2304班**

**学 号： U202315265**

**姓 名： 杜辰宇**

**实验名称： 数据表示实验**

**实验时间： 2025年3月15日**

目录

[1、实验目的 3](#_Toc193625318)

[1.1、汉字编码实验 3](#_Toc193625319)

[1.2、CRC校验码设计实验 3](#_Toc193625320)

[1.3、CRC编码流水传输实验 3](#_Toc193625321)

[2、实验内容 3](#_Toc193625322)

[2.1、国标转区位码和汉字显示电路 3](#_Toc193625323)

[2.1.1电路图 3](#_Toc193625324)

[2.1.2汉字显示 3](#_Toc193625325)

[2.2、CRC并行编码、解码电路设计 4](#_Toc193625326)

[2.2.1 CRC编码电路 5](#_Toc193625327)

[2.2.2 CRC解码电路 7](#_Toc193625328)

[2.3、CRC传输测试2 9](#_Toc193625329)

[2.3.1、0位错 9](#_Toc193625330)

[2.3.2、1位错 10](#_Toc193625331)

[2.3.3、2位错 10](#_Toc193625332)

[2.3 CRC编码流水传输 11](#_Toc193625333)

[设计电路图 11](#_Toc193625334)

[设计思路 11](#_Toc193625335)

[实验结果 12](#_Toc193625336)

[3、实验中出现的问题 14](#_Toc193625337)

[3.1、汉字编码实验中的转码问题 14](#_Toc193625338)

[3.2、CRC编码时求余数出现问题 14](#_Toc193625339)

[3.3、CRC编码时求余数出现问题 14](#_Toc193625340)

1、实验目的

1.1、汉字编码实验

CRC编码时求余数出现问题

能利用工具获取一段汉字的机内码

利用简单电路实现汉字机内码与区位码的转换

能在实验环境中实现汉字机内码的点阵显示

1.2、CRC校验码设计实验

掌握CRC循环冗余校验码的基本原理

设计实现GB2312编码16位数据的并行CRC编解码电路

1.3、CRC编码流水传输实验

熟悉同步流水传输机制，理解流水清空原理

能为实验提供的编码流水传输框架提供两位错网络重传功能

2、实验内容

完成data.circ中国标转区位码和汉字显示电路，通过工具获取姓名学号（“杜辰宇U202315265”）的机内码，导入汉字显示电路中的存储器ROM中，进行仿真显示；

设计并连接data.circ中CRC编码、CRC解码和CRC编码流水传输电路，进行仿真，观察两位错下的流水传输的实验现象。

2.1、国标转区位码和汉字显示电路

2.1.1电路图

设计基本思想：国标码到区位码的转化的规则为：**区位码+A0A0H=国标码**，我们可以利用加法器让国标码和-A0A0H的补码相加实现这一转换，即**区位码 = GB2312 - A0A0H = GB2312 + [-A0A0]补 = GB2312 + DFE0H**。

值得注意的是，取[-A0A0H]补 时，第8位和第16位不变，因为区位码为 0-6和 8-14位

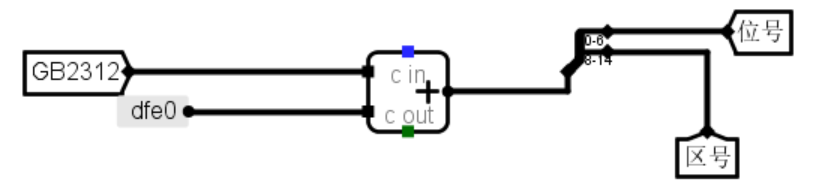


图2.1国标转区位码电路图

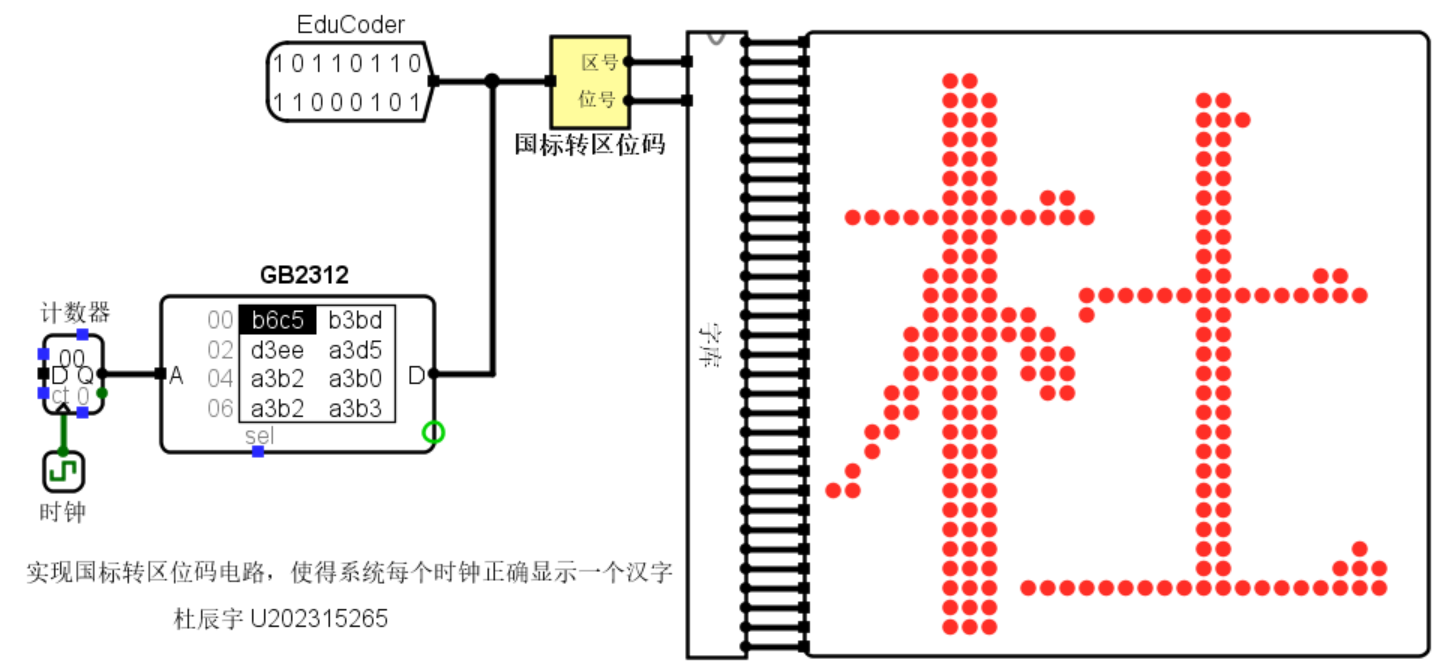
2.1.2汉字显示

通过汉字与机内码的转化工具得到“杜辰宇U202315265”的机内码，如

图2.1.2，并且保存到ROM存储器中。

图2.2机内码显示图

电路仿真结果如图2.3所示。

图2.3汉字显示电路仿真图

2.2、CRC并行编码、解码电路设计

CRC校验基于多项式除法原理，通过使用一个预先定义好的生成多项式对数据信息进行模2除法运算来生成校验码，并将校验码附加在数据后。接收方收到数据后，使用相同生成多项式对整个数据进行模2除法运算，若余数为0则认为数据无误，否则判定数据出错。

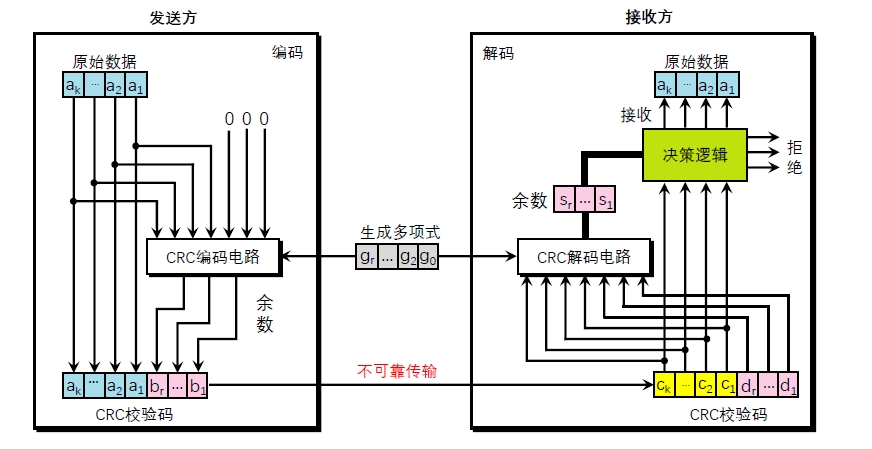
****

图2.3CRC校验原理图

该实验要求我们对16位数据进行CRC编码，生成22位数据；再将22位CRC编码进行解码成16位数据，且判断数据是否在传输过程中发生一位错，两位错的情况，若出错，则必须对数据进行纠正。因此该实验要进行以下两个的电路的设计。

2.2.1 CRC编码电路

设计思路：

该实验输入的是16位数据，输出22位CRC编码数据，其中包括16位原始数据，6位校验位，其中一位为总的奇偶校验位（校验位的位数也可由k+r<=2^r-1得到）。因此此时的r=5（不包含奇偶校验位），选择的多项式G(x)位数则为r+1=6位，此处选择的多项式是G(x)=100101。而r6是总的奇偶校验位，对所有数据和CRC校验位进行异或便可得到。

为得到r1、r2、r3、r4、r5，我们要对输入的16位数据与G(x)进行模2除运算，根据异或运算与取模运算的分配率，即：

我们可以先将16位原始数据所对应位置上取1，与G(x)进行模2除运算得到各自的5位余数，再用**选择器**进行根据每一位数据选择输入的是余数还是0，最后将16个输入数据进行异或，即可得到5位最终的余数。再通过**分线器**将5位余数分配给r1、r2、r3、r4、r5。

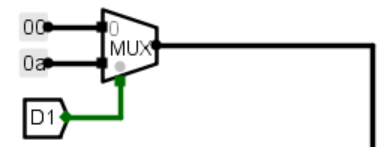
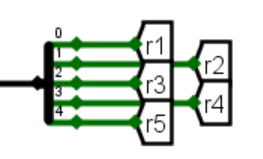
 

图2.4 选择器 图2.5 分线器

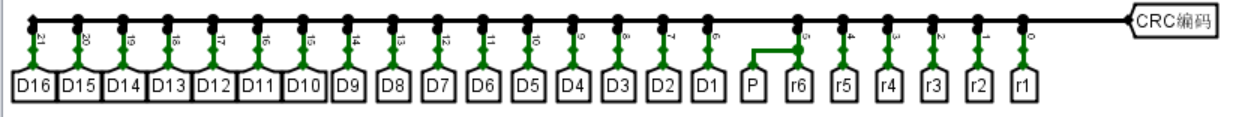
求各位余数

图2.6 各位数据对应图

如图2.6所示，Di（i=1，2…16）分别位数CRC编码的第7，8，9…22位上，因此其各自取1时与多项式模2除运算后的余数如图2.7。

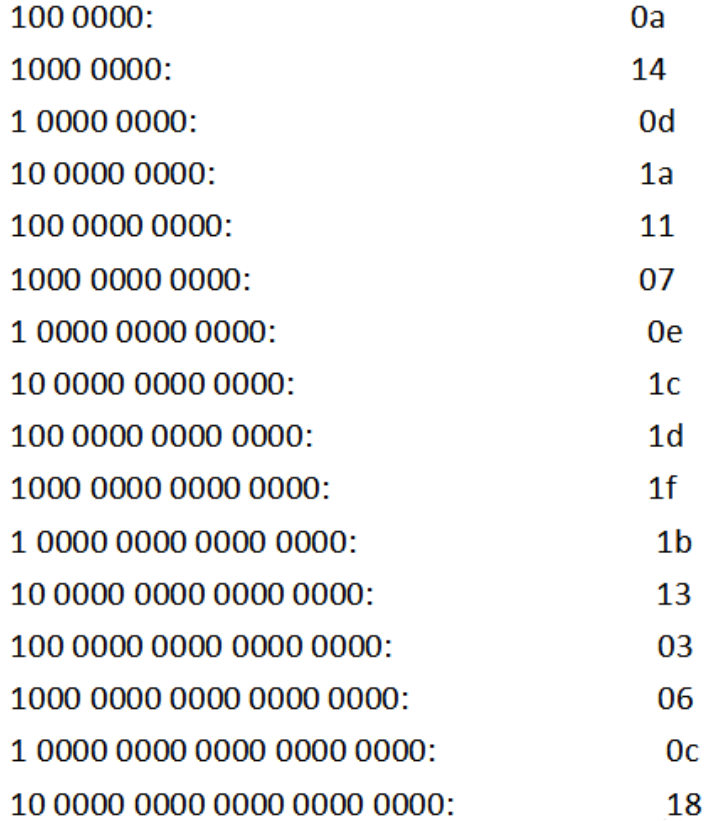


图2.7 模2除法余数表

电路图

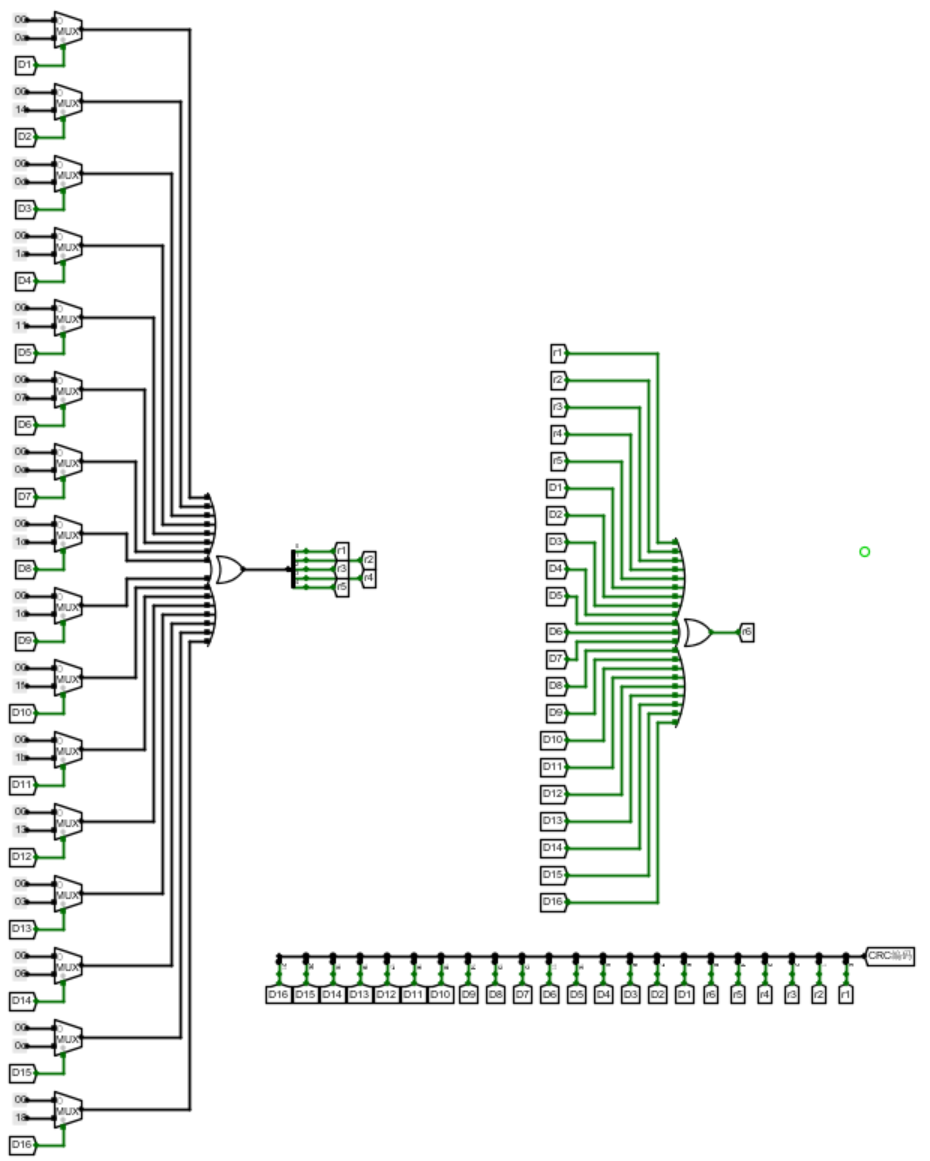


图2.8 CRC并行编码电路

左侧电路为各位模2异或求余数；

右侧电路为各位异或求总偶校验位；

下方电路为整合输出CRC编码。

2.2.2 CRC解码电路

设计思路：

接收方在接受到CRC编码后，将该编码与多项式进行模2除运算（和上方的编码电路的原理一样，先各数据位模2除法，而五位的校验位模2除6位的生成多项式就是其本身，将所得的各个余数和校验位异或），得到余数r’,再根据总偶检验位q（所有CRC校验码进行异或而得）,进行判断数据是否产生错误，及产生错误后是一位错还是两位错。

有以下情况：

① r’=0,q=0,表示数据无出错；

② r’≠0,q=1,表示发生一位数据出错；

③ r’=0,q=1,表示该奇偶校验位出错，即发生一位出错；

④ r’≠0,q=0,表示发生两位数据出错。

可通过图2.9所示电路进行判断。

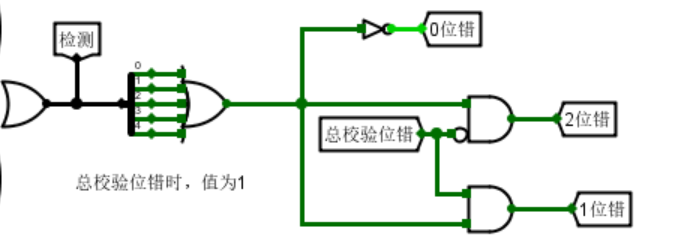


图2.9 判断错误电路

若CRC编码发生出错，而它的出错位可能为第7，8，9…22位(不考虑第1到6位，因为我们要得的原始16位数据处于第7…22位上，因此只需要判断这些位是否出错，若出错对它们进行纠正，再输出即可）。

因此将检错得到的余数与各个数据位与生成多项式模2运算得到的余数异或进行比较。

如果是这一位数据出错，那么余数完全相同，得到异或结果为00000，经过分线器和或非处理后得到1。由于与1异或等同于取反，即达到了对错误数据位取反的效果。

而对于没有出错的数据，余数各位不完全相同，经过异或、分线、或非处理后得到0。与0异或并不改变没有出错的数据。

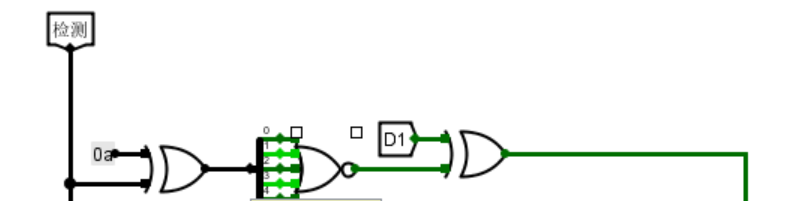
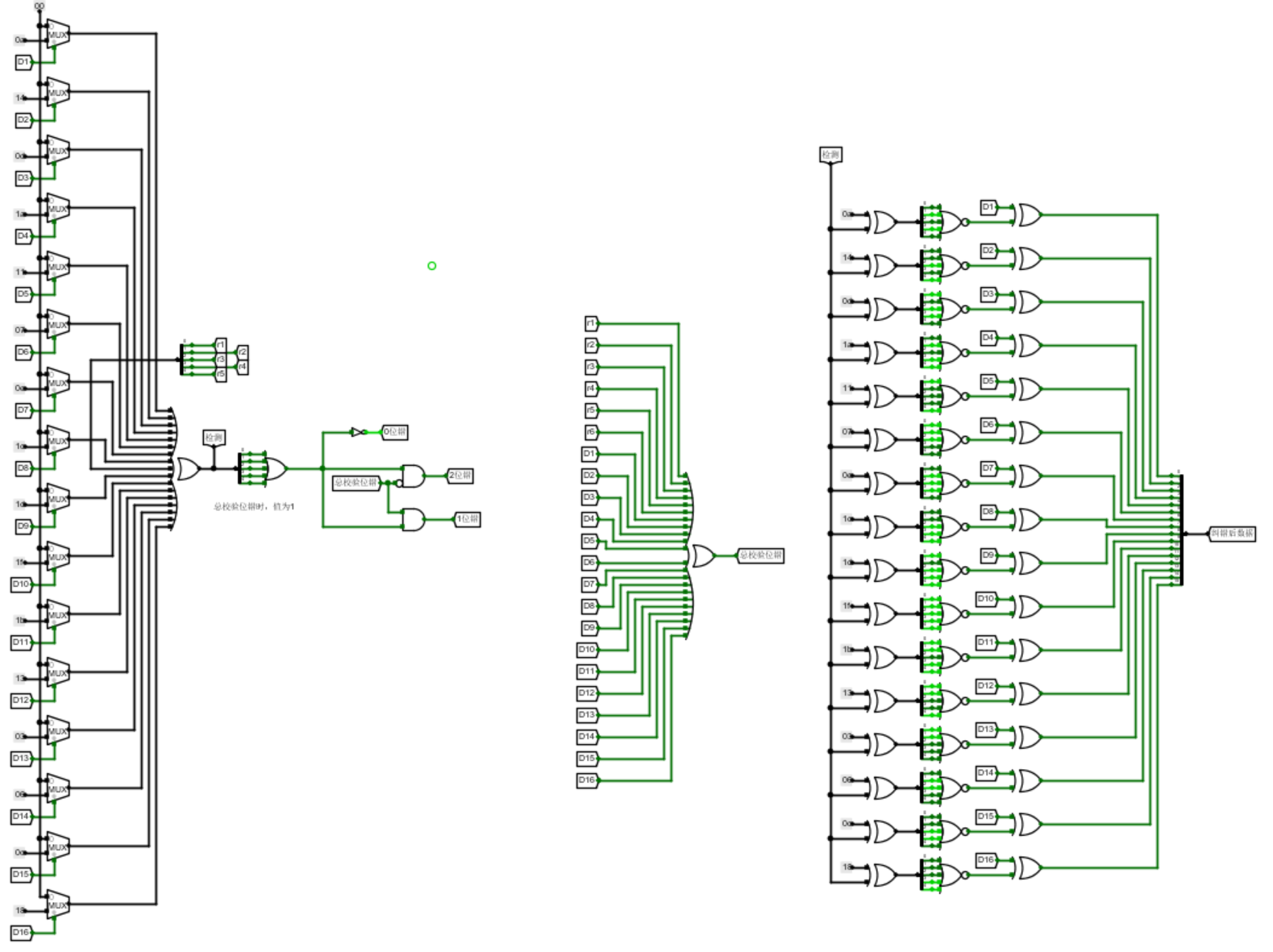


图2.10 部分纠错电路

电路图

图2.10 解码电路

中间电路为异或求总校验位错；

左侧电路为各位模2异或求余数，并根据余数是否为0结合总校验位错判断传输出现几位错；

右侧电路为判断并纠正一位错电路。

2.3、CRC传输测试2

2.3.1、0位错

数据正确，解码电路显示0位错，汉字显示正确。

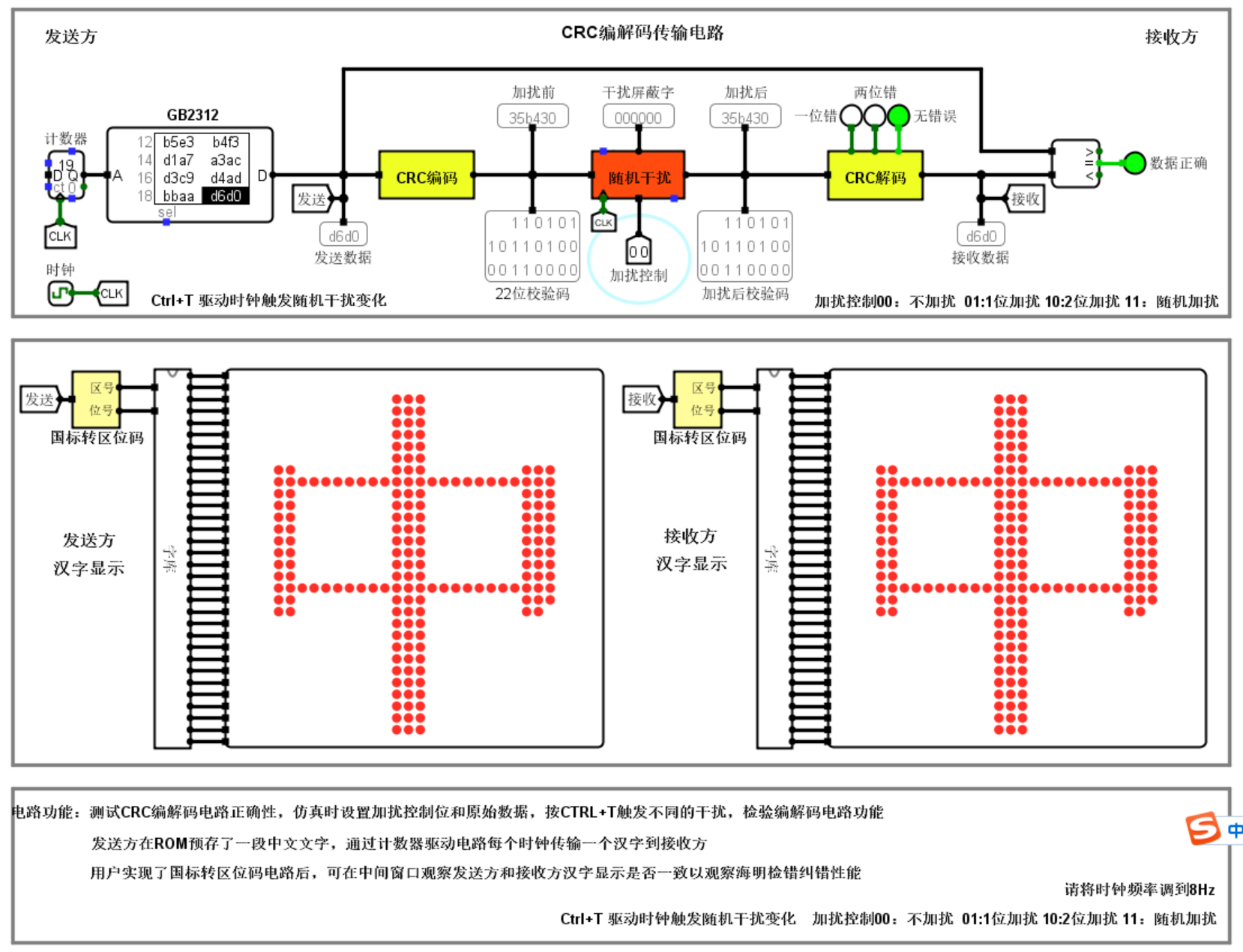


图2.11 0位错仿真结果

2.3.2、1位错

数据错误，解码电路显示1位错，通过纠错电路可以使错误纠正，汉字显示正确。

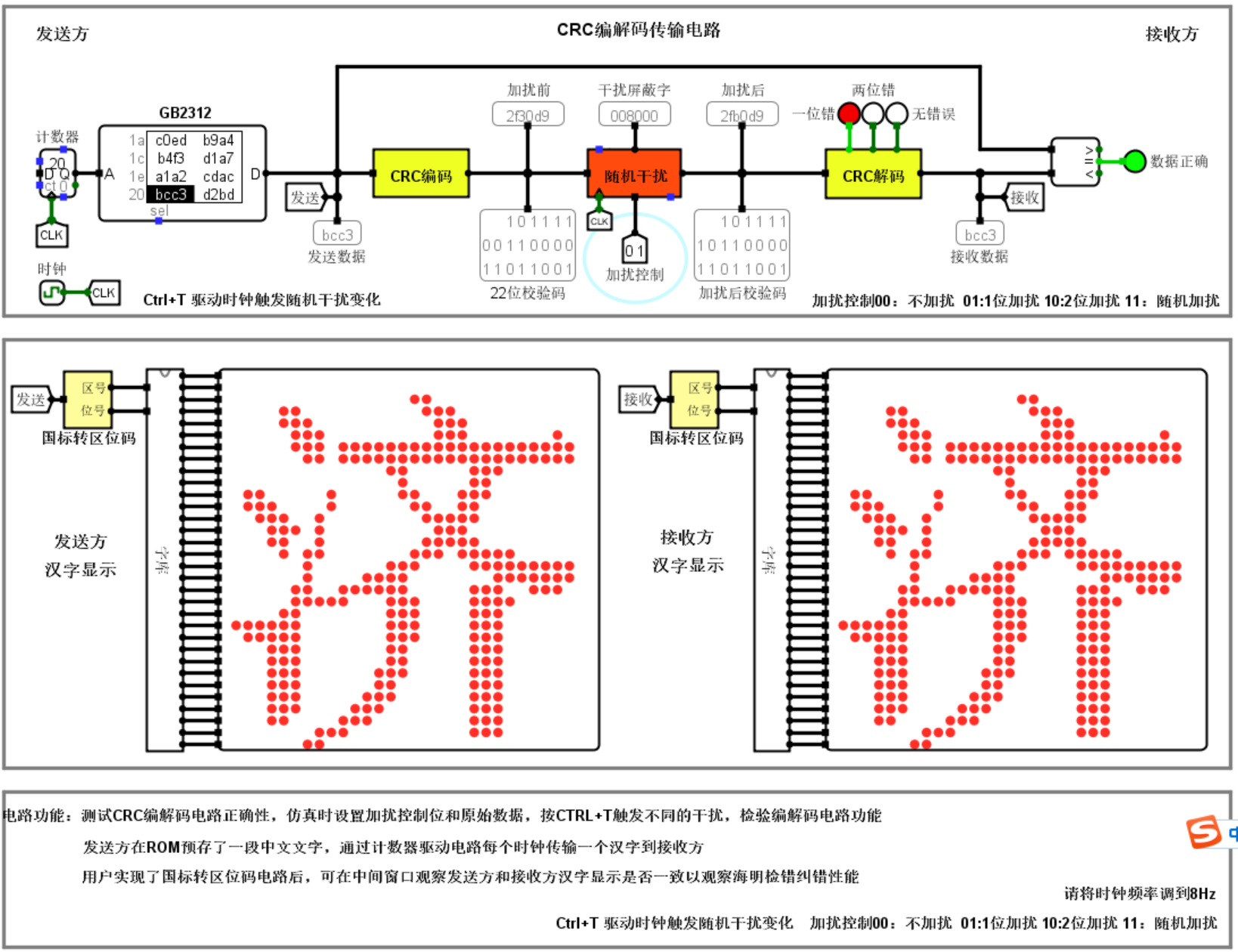


图2.12 1位错仿真结果

2.3.3、2位错

数据不正确，解码电路显示2位错，无法纠错，汉字显示不正确。

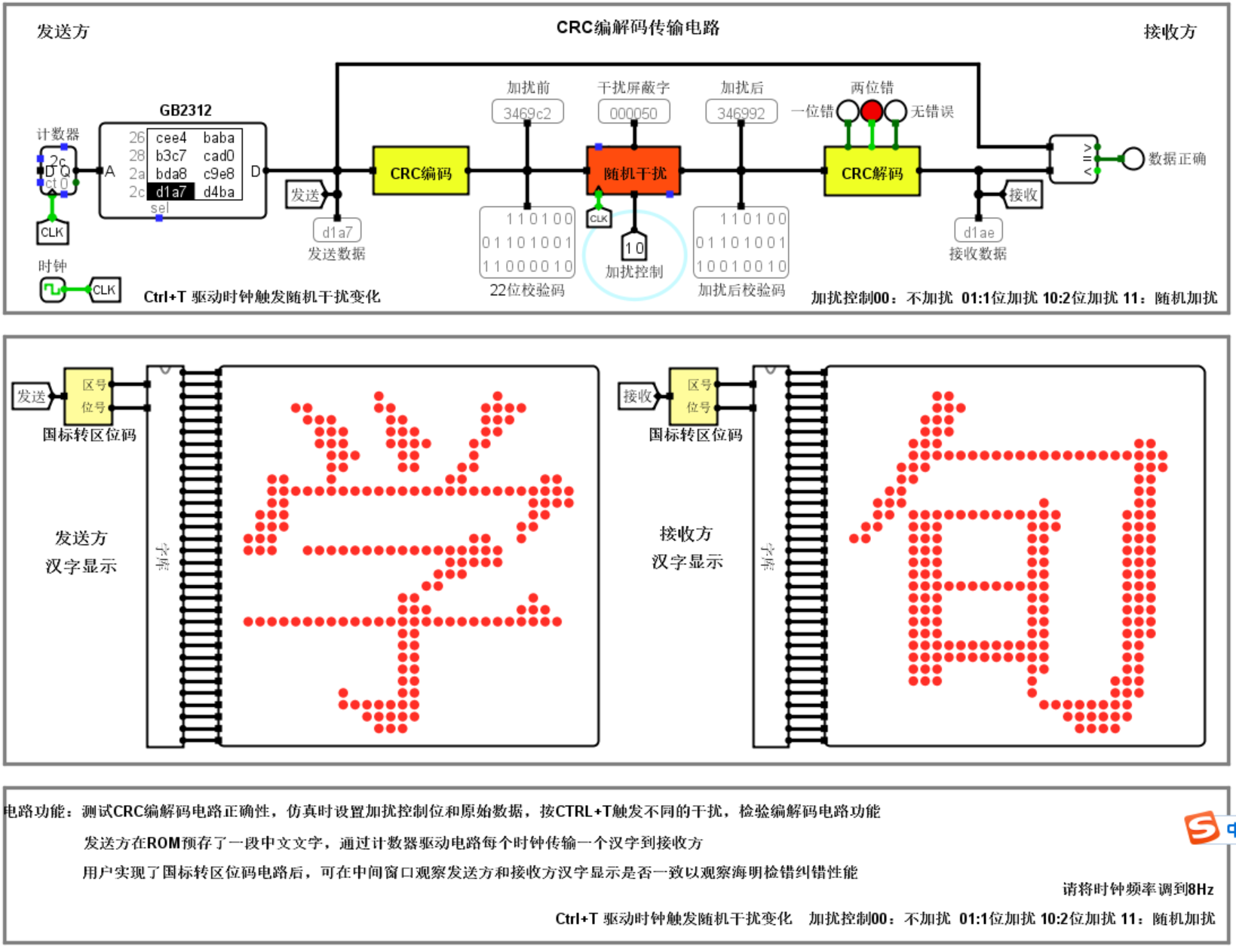


图2.12 2位错仿真结果

2.3 CRC编码流水传输

设计电路图

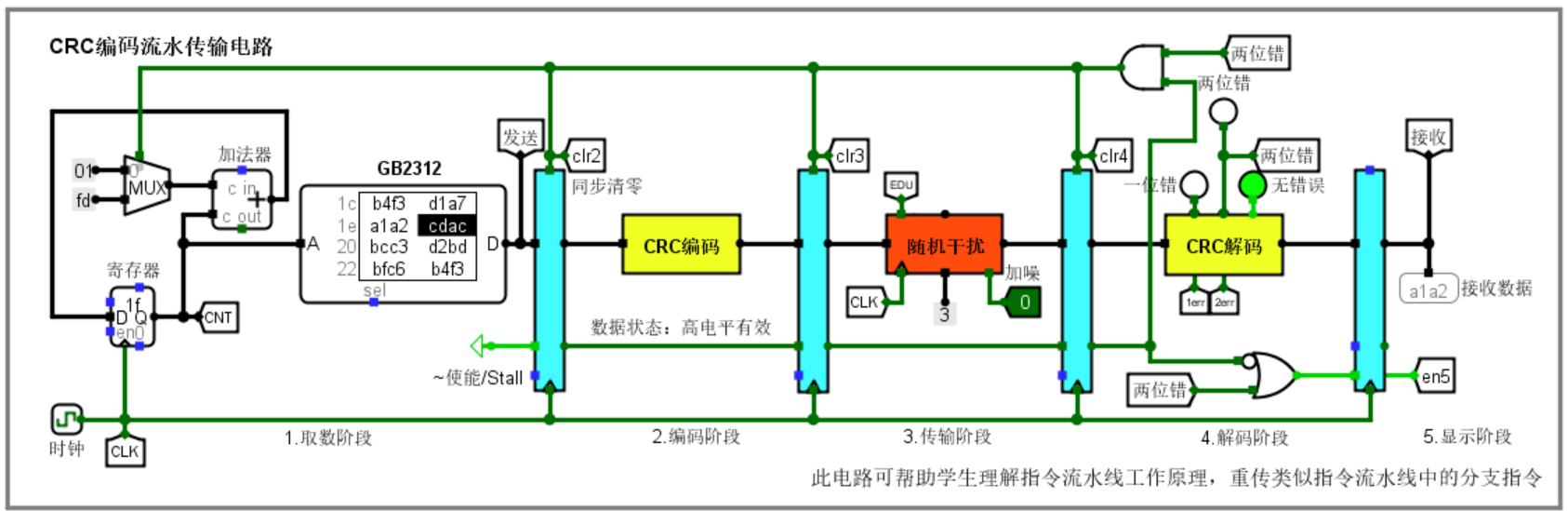


图2.13 CRC编码流水传输电路图

设计思路

1. 地址回滚：

当传输过程出现两位错时，因为无法纠正错误，所以需要进行地址回滚，重新传送信息。利用加法器可以对寄存器中存放的数据地址进行更改，通过选择器可以控制地址的前进与回滚。

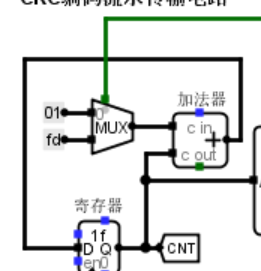
 

图2.13 地址回滚相关电路

①当无两位错发生时，“两位错”和使能信号（数据有效）相与得到0，控制选择器输出01，与地址相加，即x=x+1，指向下一个地址，正常显示。

②当出现两位错时，“两位错”和使能信号（数据有效）相与得到1，控制选择器输出fd（16进制），即-3的补码表示，加法器运算为x=x-3，从而实现地址回滚。

1. 清空前段数据

“两位错”和使能信号相与得到1时，16位流水接口和22位流水接口进行同步清0。

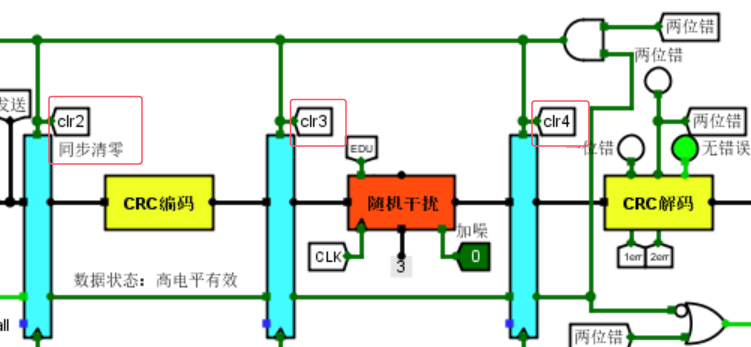


图2.14 清空前段数据相关电路

1. 暂停显示

数据发生两位错误时，不应该传入显示阶段中，显示阶段应该继续显示上个数据，即暂停显示阶段的动作。

有两种情况应该暂停显示阶段的动作：①发生两位的错误时；②数据无效时。

这两种情况，若其中有一种情况发生，都应该暂停显示阶段的动作。

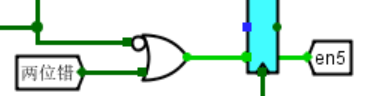


图2.15 3. 暂停显示相关电路

实验结果

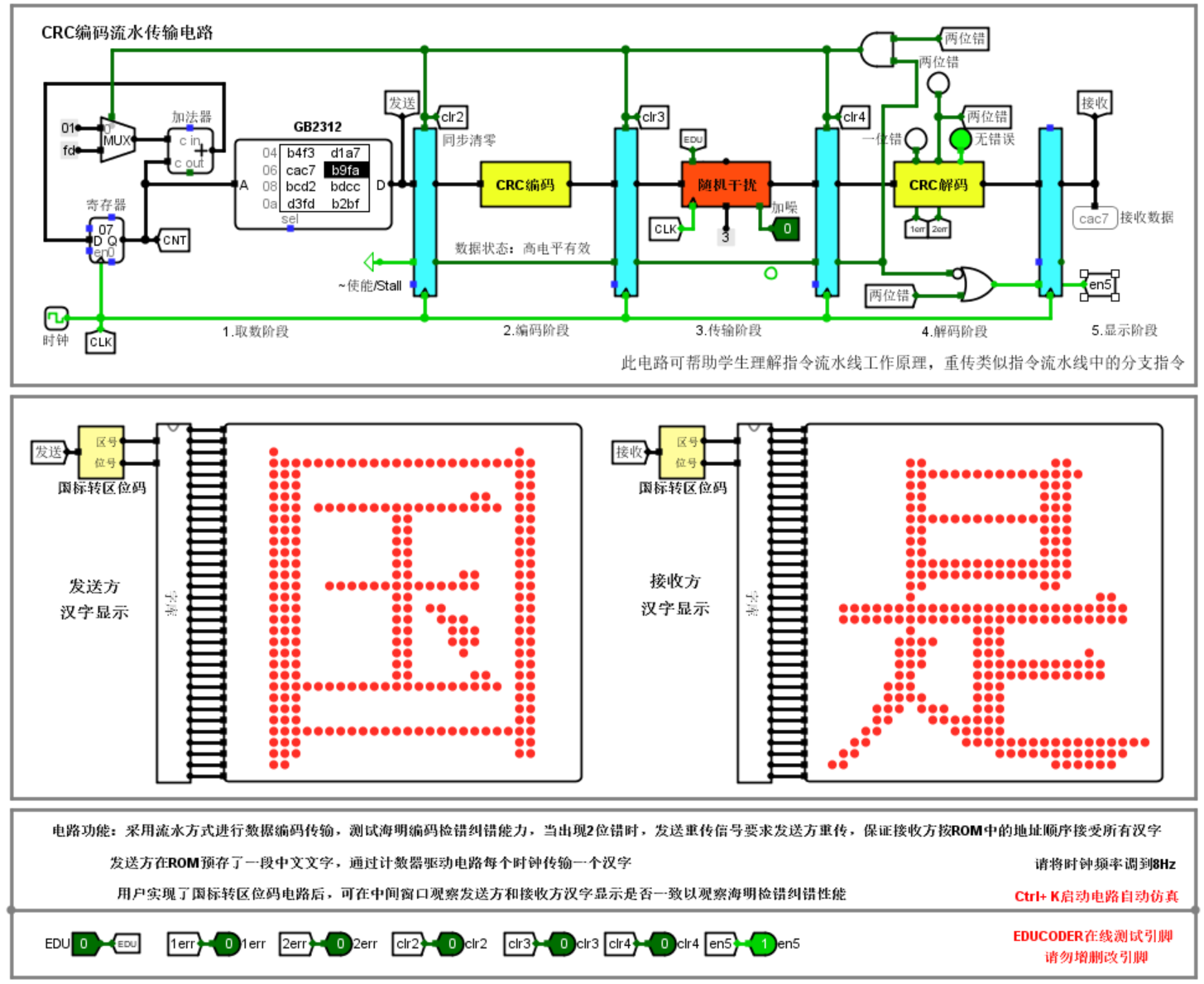
a.0位错。数据正确，时钟延迟正确，译码电路显示0位错。

图2.16 流水传输0位错仿真结果

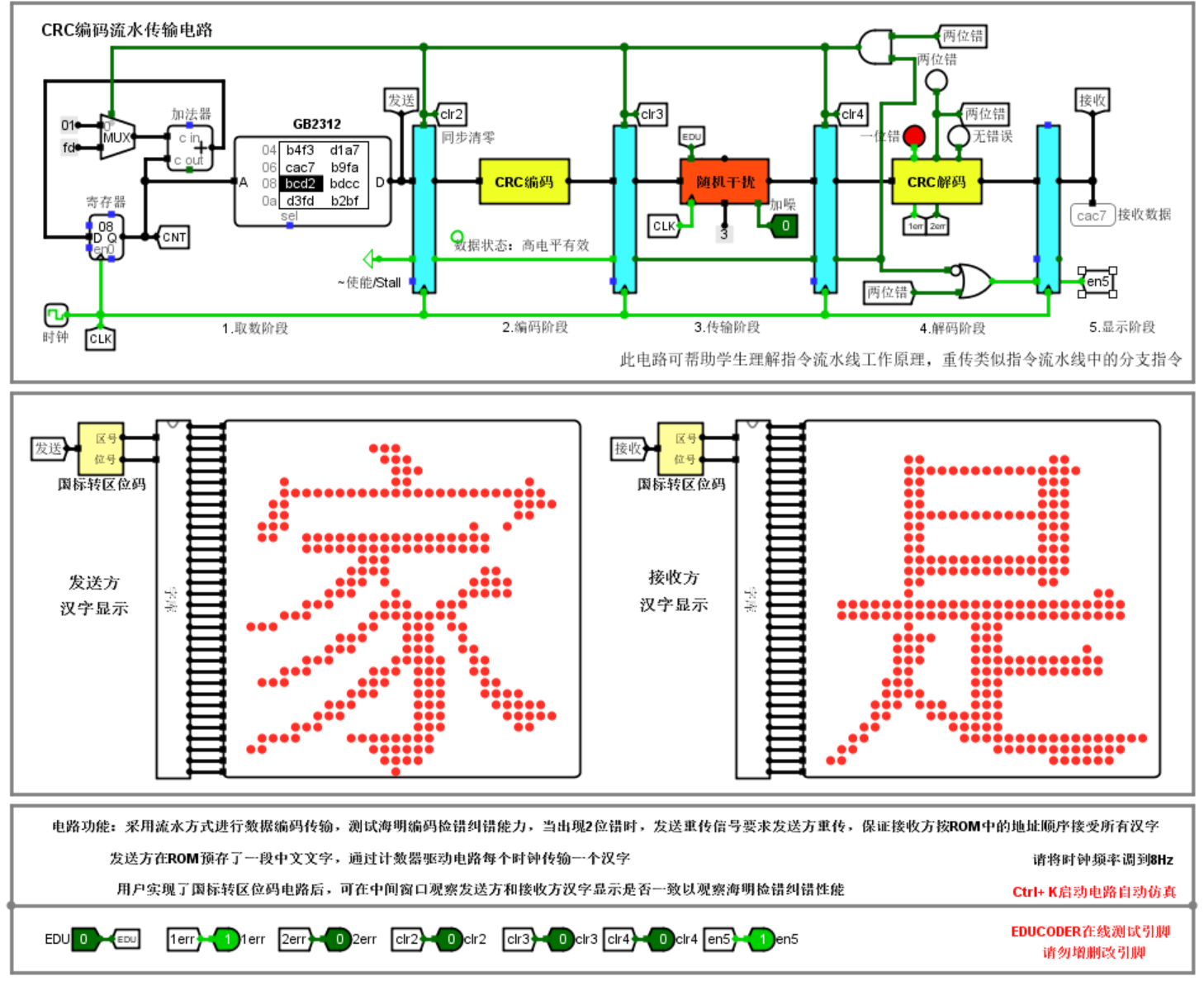
b.1位错。数据正确，时钟延时正确，译码电路显示1位错。

图2.17 流水传输1位错仿真结果

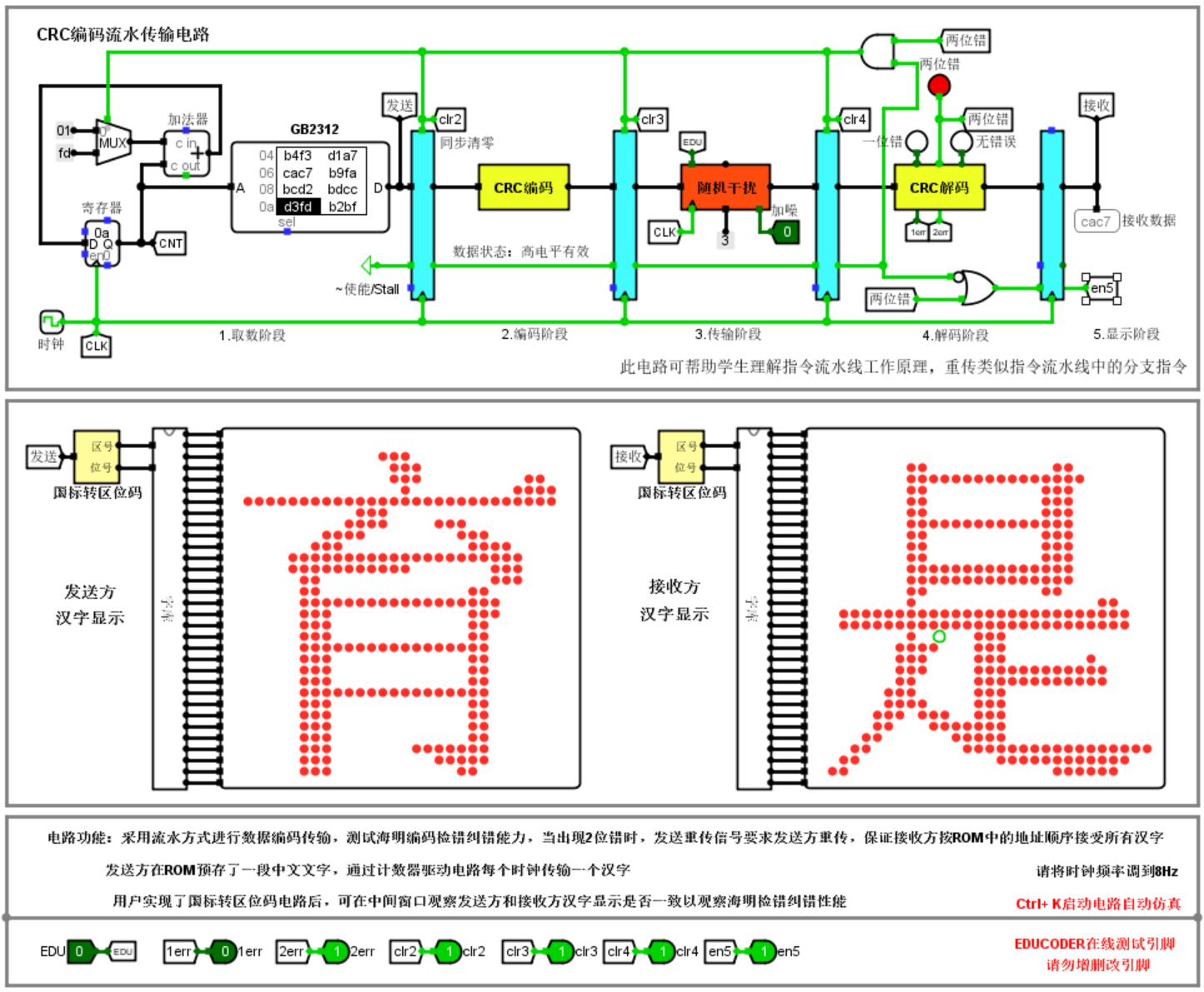
c.2位错。数据不正确，发送端重复发送字段，译码电路显示2位错。

图2.18 流水传输2位错仿真结果

3、实验中出现的问题

3.1、汉字编码实验中的转码问题

在汉字转国标码工具的使用时没有开启“自动全角转换”，导致数字和英文字母无显示。后来开启全角转化问题就解决了。

3.2、CRC编码时求余数出现问题

没有正确理解求余数时在被除数后面补0的要求，只是单纯的以为是补充比生成多项式少一位的0，而忽略的总奇偶校验位也占了一位，导致余数表计算错误。

在求每一位数据位对应的余数正确的思路应该是，看该数据位在校验码中的位数来计算余数。

3.3、CRC编码时求余数出现问题

一开始认为地址回滚、清空数据、暂停显示之和两位错的发生有关，而忽略了使能信号（数据有效）的影响。