

Technologie CMOS a FPGA

Jan Kořenek, Otto Fučík

Vysoké učení technické v Brně
Fakulta informačních technologií
Božetěchova 2, 612 66 Brno



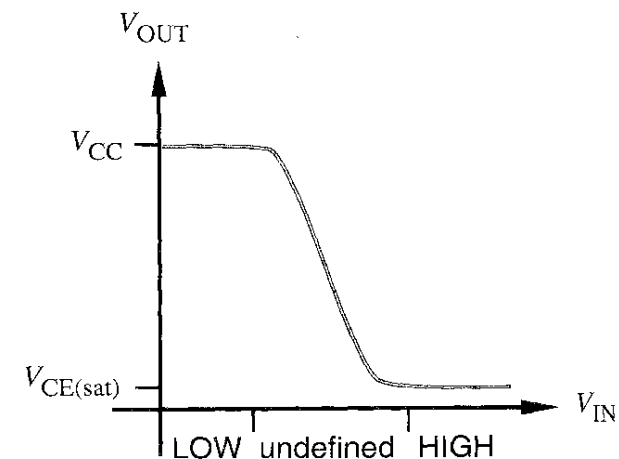
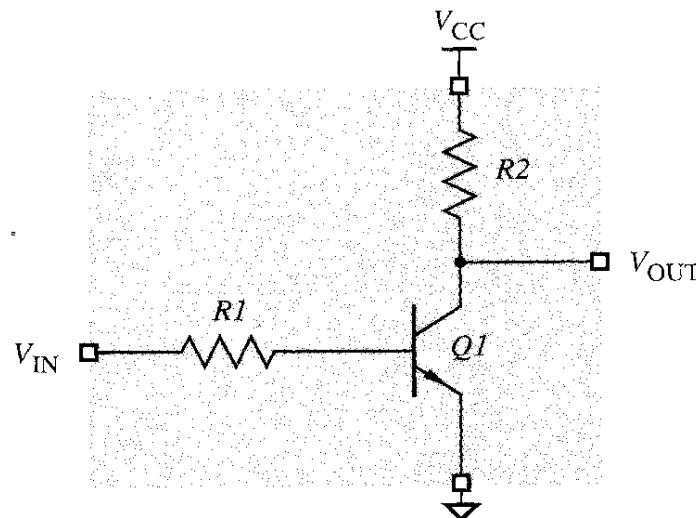
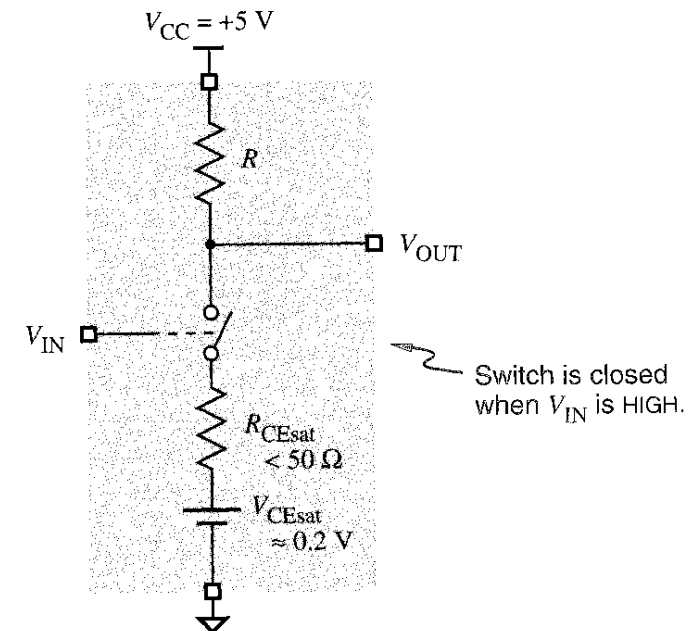
- ***Technologie výroby logických obvodů***
- Charakteristika technologie CMOS
- Příkon v technologii CMOS
- Programovatelné struktury (PLD)
- Technologie FPGA

Rodina	Popis	Zpoždění [ns]	Frekvence [MHz]	Příkon/hradlo [mW/MHz]	Napájecí napětí [V]	Rok	Poznámka
RTL	Resistor–transistor logic	500	4	10	3.3	1963	První CPU z IO (použito pro řízení Apollo)
DTL	Diode–transistor logic	25		10	5	1962	
CMOS	AC/ACT	3	125	0.5	3.3 nebo 5	1985	TTL kompatibilní úrovně
CMOS	HC/HCT	9	50	0.5	5	1982	TTL kompatibilní úrovně
CMOS	4000B/74C	30	5	1.2	10	1970	První CMOS
TTL		10	25	10	5	1964	Původní
TTL	L	33	3	1	5	1964	Low power
TTL	H	6	43	22	5	1964	High speed
TTL	S	3	100	19	5	1969	Schottky high speed
TTL	LS	10	40	2	5	1976	Low power Schottky high speed
TTL	ALS	4	50	1.3	5	1976	Advanced Low power Schottky
TTL	F	3.5	100	5.4	5	1979	Fast
TTL	AS	2	105	8	5	1980	Advanced Schottky
TTL	G	1.5	1125		1.65 - 3.6	2004	First GHz 7400 series logic
ECL	ECL III	1	500	60	-5.2	1968	Improved ECL
ECL	MECL I	8		31	-5.2	1962	První IO vyráběný komerčně
ECL	ECL 10K	2	125	25	-5.2	1971	Motorola
ECL	ECL 100K	0.75	350	40	-4.5	1981	
ECL	ECL 100KH	1	250	25	-5.2	1981	

Technologie	Příkon	Rychlost
Resistor-Transistor Logic (RTL)	***	*
Diode-Transistor Logic (DTL)	***	*
Transistor-Transistor Logic (TTL)	**	**
Emitter-Coupled Logic (ECL)	***	***
Positive Metal Oxide Semiconductor (pMOS)	**	*
Negative Metal Oxide Semiconductor (nMOS)	**	**
Complementary Metal Oxide Semiconductor (CMOS)	*	**
Gallium Arsenide (GaAs)	***	***

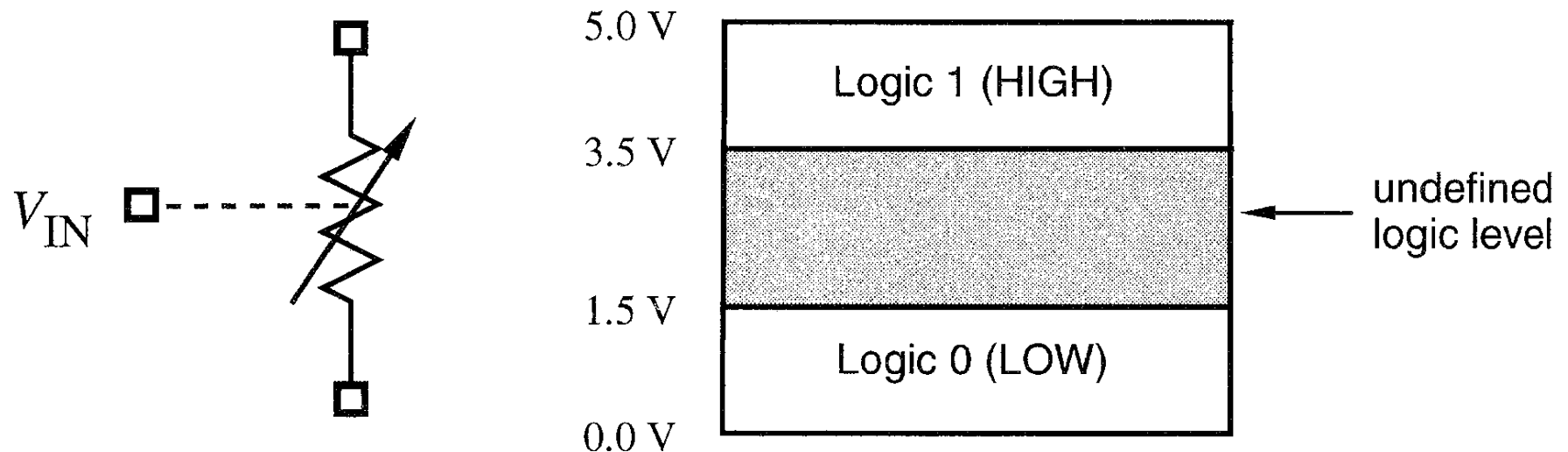
- Logické úrovně
 - Log. členy jsou konstruovány tak, aby byly za normálních podmínek (teplota, napájecí napětí, rušení, atd.) schopny generovat log. úrovně v jistém intervalu hodnot a též rozlišovat log. úrovně v určitém rozmezí hodnot
- Odolnost proti rušení (DC Noise Margins)
 - Je zajištěna v určitém rozmezí tak, že log. člen je schopen akceptovat větší rozptyl vstupních hodnot log. úrovní, než jaký generuje na výstupu
 - Rušení může být generováno např. kosmickým zářením, elektromagnetickým polem, kolísáním napájecího napětí apod.
- Logický zisk (Fan-Out)
 - Počet vstupů log. členů, které můžeme zapojit na výstup daného členu, při kterém jsou ještě zaručeny správné hodnoty log. úrovní pro celý rozsah pracovních podmínek (napájecí napětí, teplota)
- Rychlost
 - Doba, které je třeba k přechodu signálu ze vstupu na výstup
 - Dána dobami přechodů mezi log. úrovněmi a dobou průchodu signálu
 - Závisí na konstrukci log. členů, na počtu jiných log. členů zapojených na jeho výstup, na délce vodičů, na konstrukci desky s plošnými spoji atd.
- Příkon
 - Závisí na konstrukci log. členu, na počtu členů, frekvenci změn log. úrovní, parazitních atd.

- Náhradní schéma tranzistoru jako spínače
 - R - přídavný rezistor (pull-up)
 - R_{CEsat} - odpor tranzistoru mezi kolektorem a emitorem při jeho plném otevření (v saturaci)
 - V_{CEsat} - zbytkové napětí tranzistoru mezi kolektorem a emitorem při jeho plném otevření (v saturaci)
- Schéma invertoru
 - V bázi musí být rezistor $R1$ omezující proud
 - Přenosová charakteristika

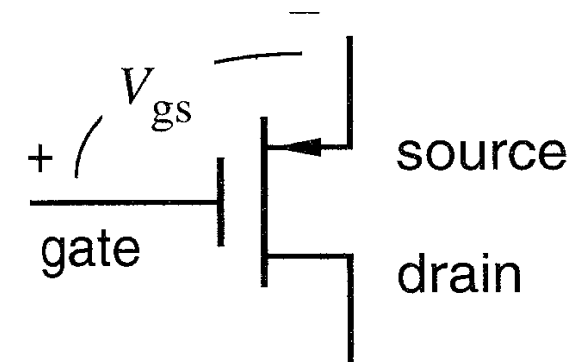
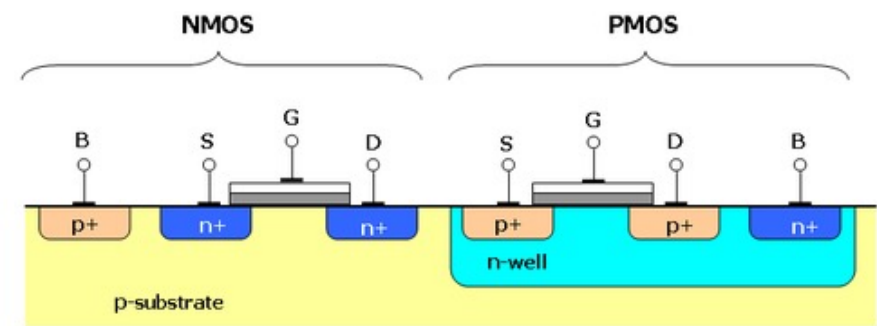
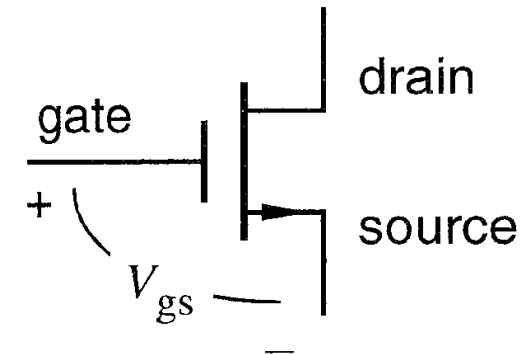


- Technologie výroby logických obvodů
- ***Charakteristika technologie CMOS***
- Příkon v technologii CMOS
- Programovatelné struktury (PLD)
- Technologie FPGA

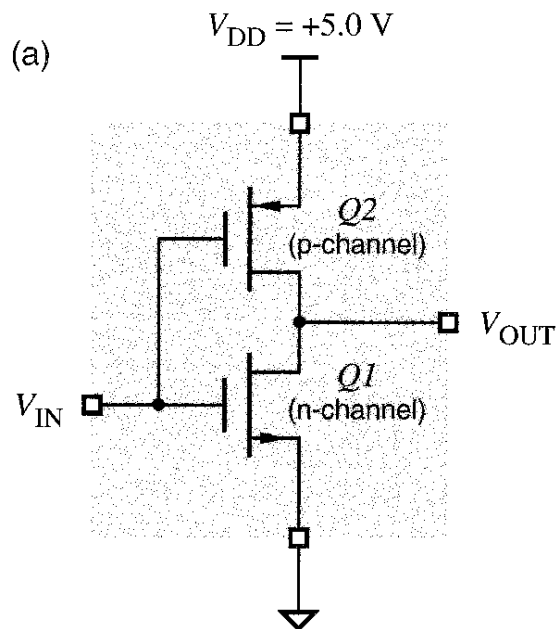
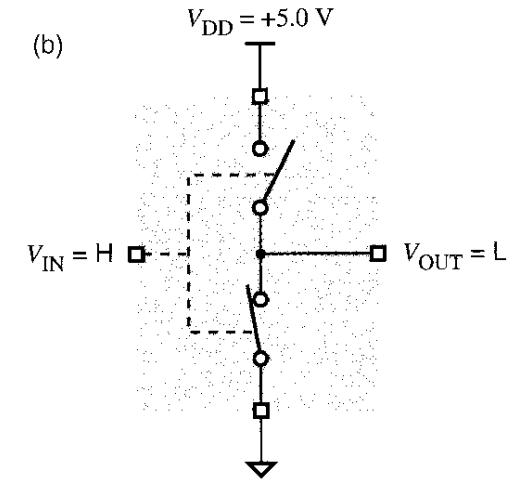
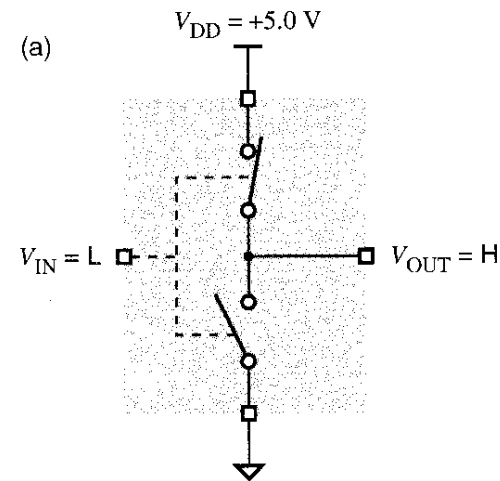
- Význam zkratek
 - MOSFET = MOS Field Effect Transistor
 - MOS = Metal-Oxide Semiconductor ... zkratka z MOSFET
 - CMOS = Complementary MOS
- Princip činnosti
 - MOSFET tranzistor pracuje jako „rezistor řízený napětím“
- Logické úrovně typického CMOS obvodu



- „Gate” - řídicí elektroda
 - Napětí mezi elektrodami gate a source ovládá činnost tranzistoru
- Tranzistor MOS s kanálem n
 - Elektroda drain je připojena na vyšší napětí než source
 - Pro $V_{gs}=0$ má přechodový odpor mezi drain a source (R_{ds}) desítky $M\Omega$
 - Pro V_{gs} vyšší než prahová úroveň má R_{ds} jednotky Ω
- Tranzistor MOS s kanálem p
 - Elektroda source je na vyšším napětí než drain
 - Pro $V_{gs}=0$ má přechodový odpor mezi drain a source (R_{ds}) desítky $M\Omega$
 - Pro V_{gs} nižší než prahová úroveň má R_{ds} jednotky Ω



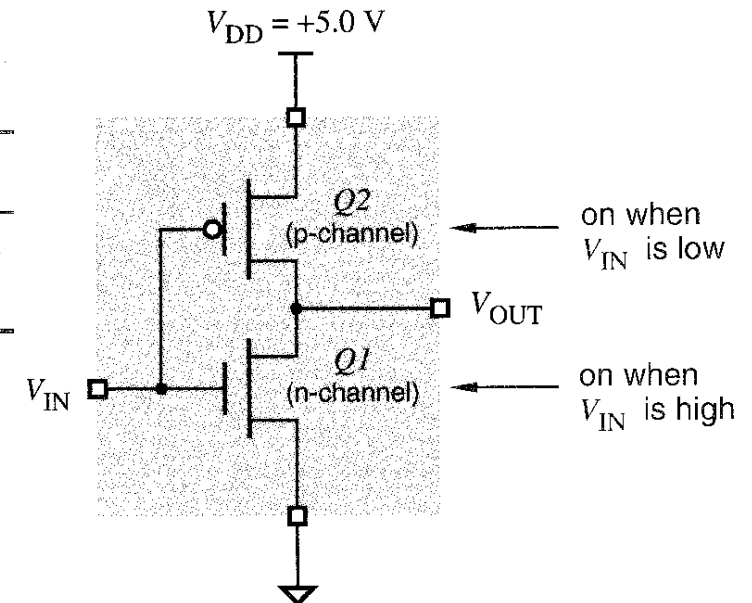
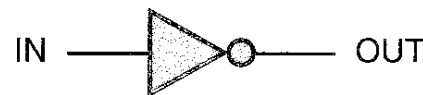
- CMOS Invertor
 - Je sestaven ze dvou komplementárních tranzistorů MOSFET, z nichž vždy jeden je sepnut a druhý rozepnut



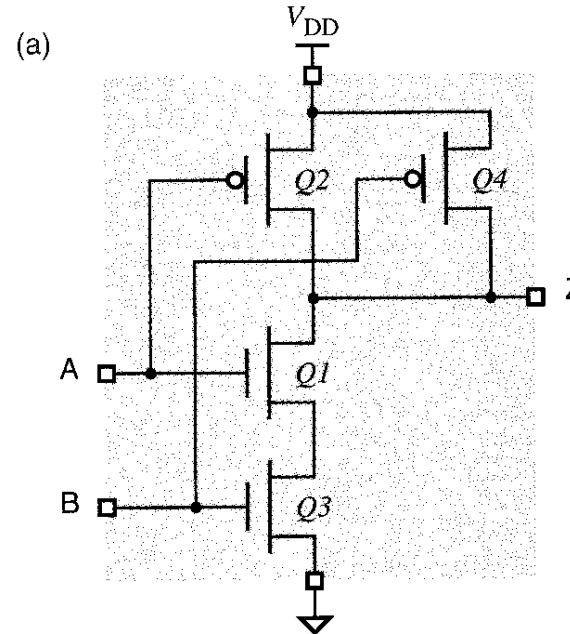
(b)

V_{IN}	$Q1$	$Q2$	V_{OUT}
0.0 (L)	off	on	5.0 (H)
5.0 (H)	on	off	0.0 (L)

(c)

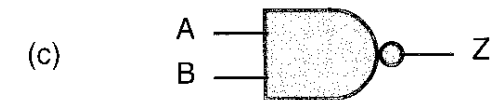


- Realizace pomocí komplementárních tranzistorů MOSFET
 - Schéma (a)
 - Pravdivostní tabulka (b)
 - Symbol (c)

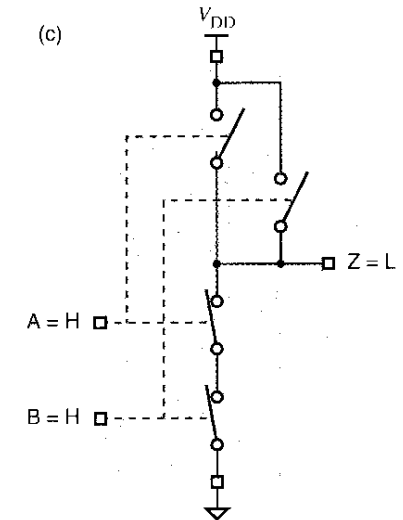
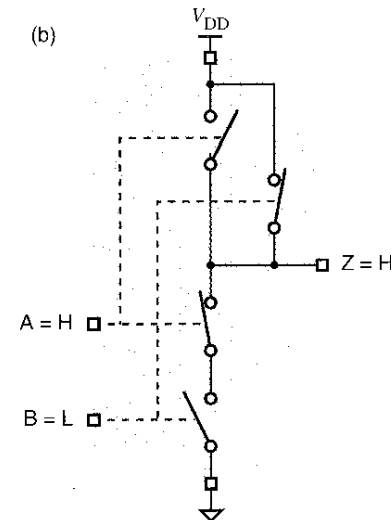
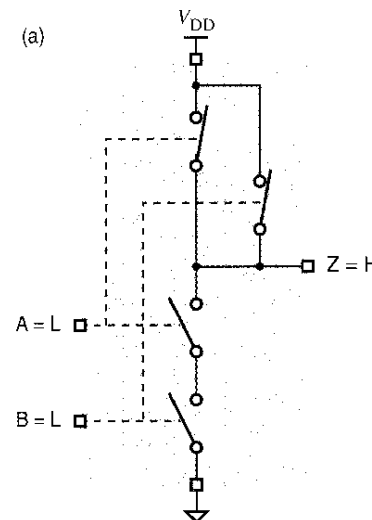


(b)

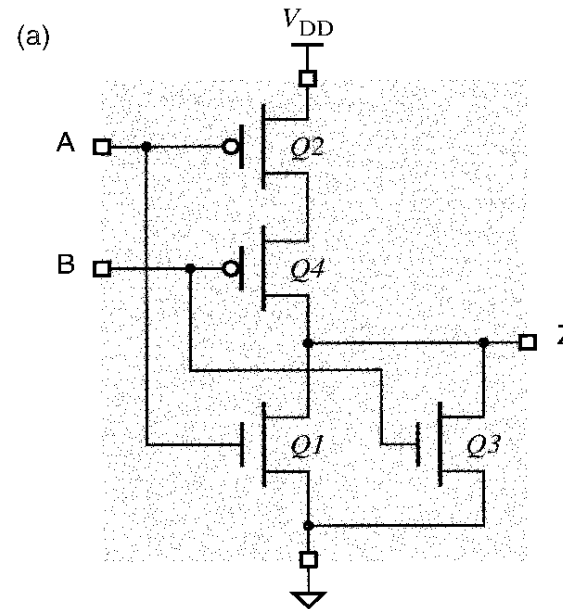
A	B	Q1	Q2	Q3	Q4	Z
L	L	off	on	off	on	H
L	H	off	on	on	off	H
H	L	on	off	off	on	H
H	H	on	off	on	off	L



- Ilustrace činnosti pomocí spínačů
 - Oba vstupy na úrovni L => výstup H (a)
 - Jeden vstup na úrovni L a druhý na úrovni H => výstup H (b)
 - Oba vstupy na úrovni H => výstup L (c)



- Realizace pomocí komplementárních tranzistorů MOSFET
 - Schéma (a)
 - Pravdivostní tabulka (b)
 - Symbol (c)



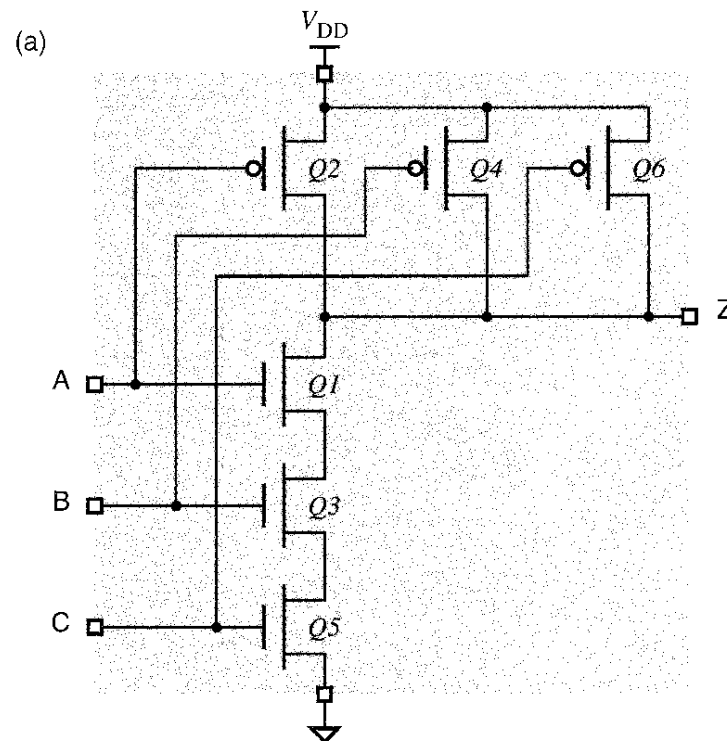
(b)

A	B	Q1	Q2	Q3	Q4	Z
L	L	off	on	off	on	H
L	H	off	on	on	off	L
H	L	on	off	off	on	L
H	H	on	off	on	off	L



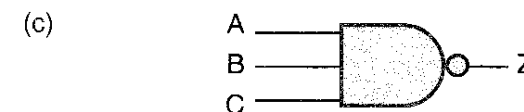
- Vlastnosti
 - Hradlo CMOS NOR je pomalejší než hradlo CMOS NAND, neboť při stejných rozměrech mají tranzistory s p-kanálem větší přechodový odpor v otevřeném stavu
 - Pokud jsou tedy tranzistory s p-kanálem (Q2 a Q4) řazeny v sérii, budou mít pomalejší odezvu díky pomalejšímu nabíjení parazitních kapacit

- Větší počet vstupů se realizuje přidáním dalších dvojic komplementárních tranzistorů
- Příklad tří-vstupového hradla NAND
 - Schéma (a)
 - Pravdivostní tabulka (b)
 - Symbol (c)

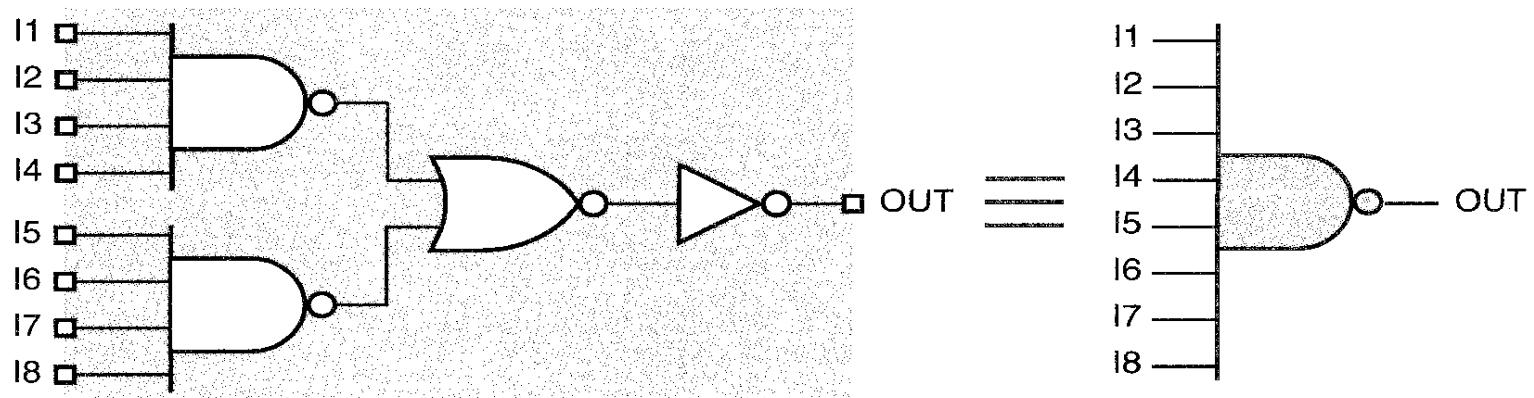


(b)

A	B	C	$Q1$	$Q2$	$Q3$	$Q4$	$Q5$	$Q6$	Z
L	L	L	off	on	off	on	off	on	H
L	L	H	off	on	off	on	on	off	H
L	H	L	off	on	on	off	off	on	H
L	H	H	off	on	on	off	on	off	H
H	L	L	on	off	off	on	off	on	H
H	L	H	on	off	off	on	on	off	H
H	H	L	on	off	on	off	off	on	H
H	H	H	on	off	on	off	on	off	L

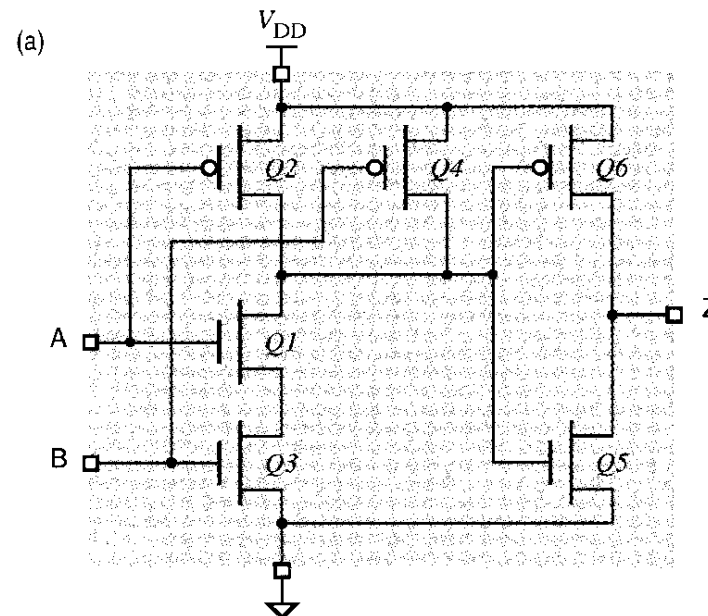


- Anglicky „fan-in” - počet vstupů, které může mít log. člen vyrobený danou technologií
- Technologie CMOS
 - Teoreticky je možno sestavovat log. členy s více vstupy pouhým řazením více tranzistorů MOSFET
 - Prakticky je však, z hlediska konečných přechodových odporů a potřebných rychlostí odezvy, tato možnost limitována
 - U hradel NAND typicky na 6
 - U hradel NOR typicky na 4
 - Větší množství vstupů se realizuje pomocí kaskády log. členů s méně vstupy



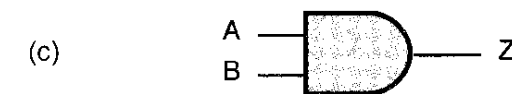
- Hradlo AND lze nejjednodušeji sestavit zařazením invertoru za hradlo NAND

- Složitější, dražší, větší zpoždění než NAND
- Schéma (a)
- Pravdivostní tabulka (b)
- Symbol (c)



(b)

A	B	Q1	Q2	Q3	Q4	Q5	Q6	Z
L	L	off	on	off	on	on	off	L
L	H	off	on	on	off	on	off	L
H	L	on	off	off	on	on	off	L
H	H	on	off	on	off	off	on	H

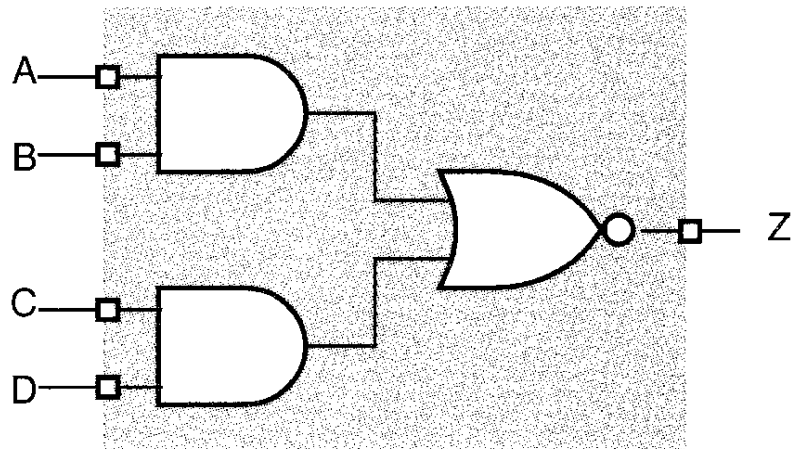


- => častěji se vyrábějí invertující hradla (NAND a NOR)...

- Příklad implementace logických forem
 - V praxi se často využívají log. struktury, které realizují jistou formu disjunktivní či konjunktivní formy, a usnadňují tak implementaci kombinačních obvodů
 - Výhodou je skutečnost, že zpoždění těchto obvodů je podobné jako v případě členů NAND či NOR, i když realizují dvoustupňový logický obvod

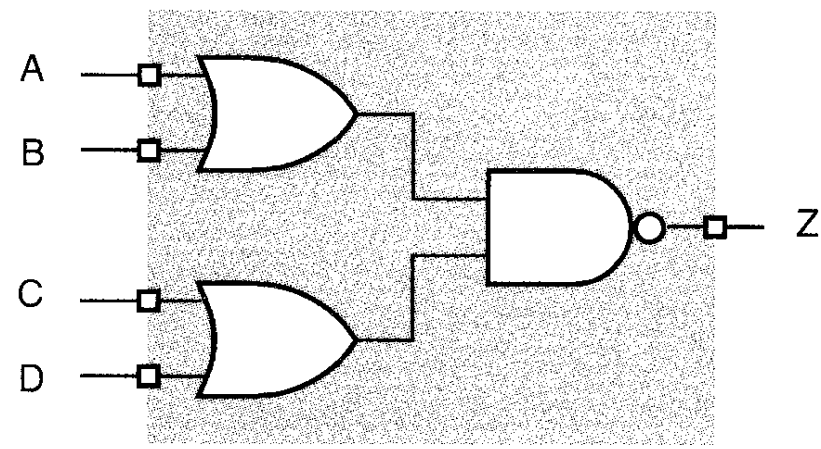
- AND-OR-INVERT

- Disjunktivní forma s invertorem



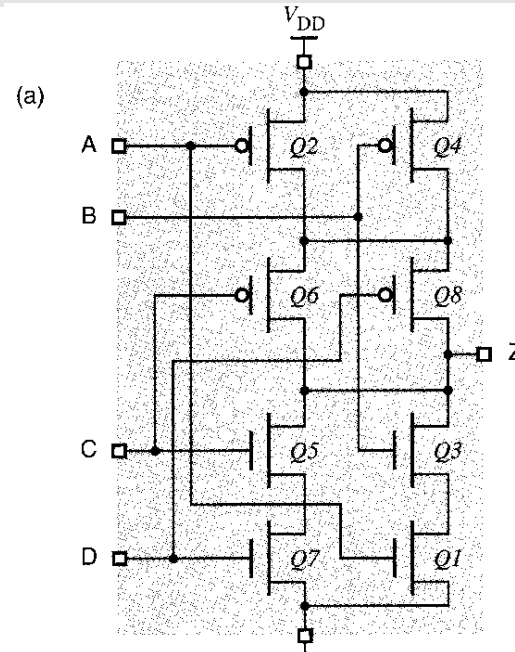
- OR-AND-INVERT

- Konjunktivní forma s invertorem



• AND-OR-INVERT

- Schéma (a)
- Pravdivostní tabulka (b)

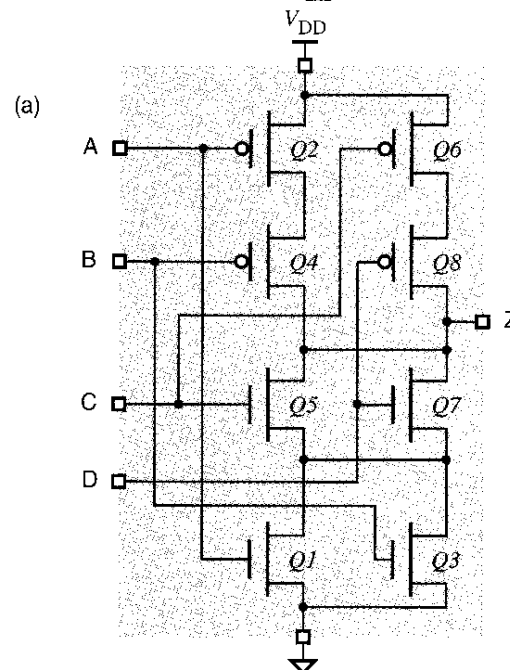


(b)

A	B	C	D	Q1	Q2	Q3	Q4	Q5	Q6	Q7	Q8	Z
L	L	L	L	off	on	off	on	off	on	off	on	H
L	L	L	H	off	on	off	on	off	on	on	off	H
L	L	H	L	off	on	off	on	on	off	off	on	H
L	L	H	H	off	on	off	on	on	off	on	off	L
L	H	L	L	off	on	on	off	off	on	off	on	H
L	H	L	H	off	on	on	off	off	on	on	off	H
L	H	H	L	off	on	on	off	on	off	off	on	H
L	H	H	H	off	on	on	off	on	off	on	off	L
H	L	L	L	on	off	off	on	off	on	off	on	H
H	L	L	H	on	off	off	on	on	on	off	on	H
H	L	H	L	on	off	off	on	on	on	off	on	H
H	L	H	H	on	off	off	on	on	off	on	off	L
H	H	L	L	on	off	on	off	off	on	off	on	L
H	H	L	H	on	off	on	off	off	on	on	off	L
H	H	H	L	on	off	on	off	on	off	off	on	L
H	H	H	H	on	off	on	off	on	off	on	off	L

• OR-AND-INVERT

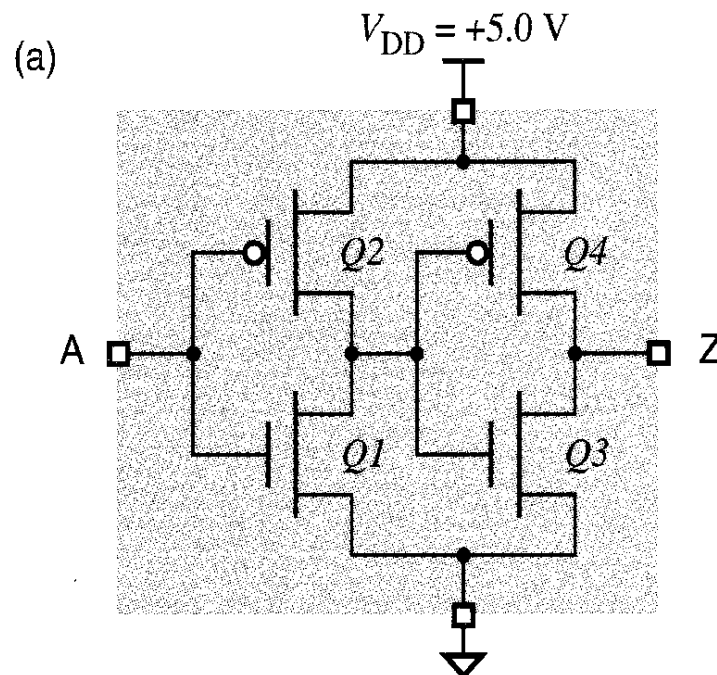
- Schéma (a)
- Pravdivostní tabulka (b)



(b)

A	B	C	D	Q1	Q2	Q3	Q4	Q5	Q6	Q7	Q8	Z
L	L	L	L	off	on	off	on	off	on	off	on	H
L	L	L	H	off	on	off	on	off	on	on	off	H
L	L	H	L	off	on	off	on	on	off	off	on	H
L	L	H	H	off	on	off	on	on	off	on	off	H
L	H	L	L	off	on	on	off	off	on	off	on	H
L	H	L	H	off	on	on	off	on	off	on	off	L
L	H	H	L	off	on	on	off	on	off	off	on	L
L	H	H	H	off	on	on	off	on	off	on	off	L
H	L	L	L	on	off	off	on	off	on	off	on	H
H	L	L	H	on	off	off	on	off	on	on	off	L
H	L	H	L	on	off	off	on	on	off	off	on	L
H	L	H	H	on	off	off	on	on	off	on	off	L
H	H	L	L	on	off	on	off	off	on	off	on	H
H	H	L	H	on	off	on	off	off	on	on	off	L
H	H	H	L	on	off	on	off	on	off	off	on	L
H	H	H	H	on	off	on	off	on	off	on	off	L

- Zařazením dvou invertorů za sebe vznikne tzv. buffer
 - Slouží pro distribuci signálu tam, kde je např. třeba obnovit integritu signálu, budit více vstupů následujících log. členů (hodinový signál), apod.
 - Schéma (a)
 - Pravdivostní tabulka (b)
 - Symbol (c)

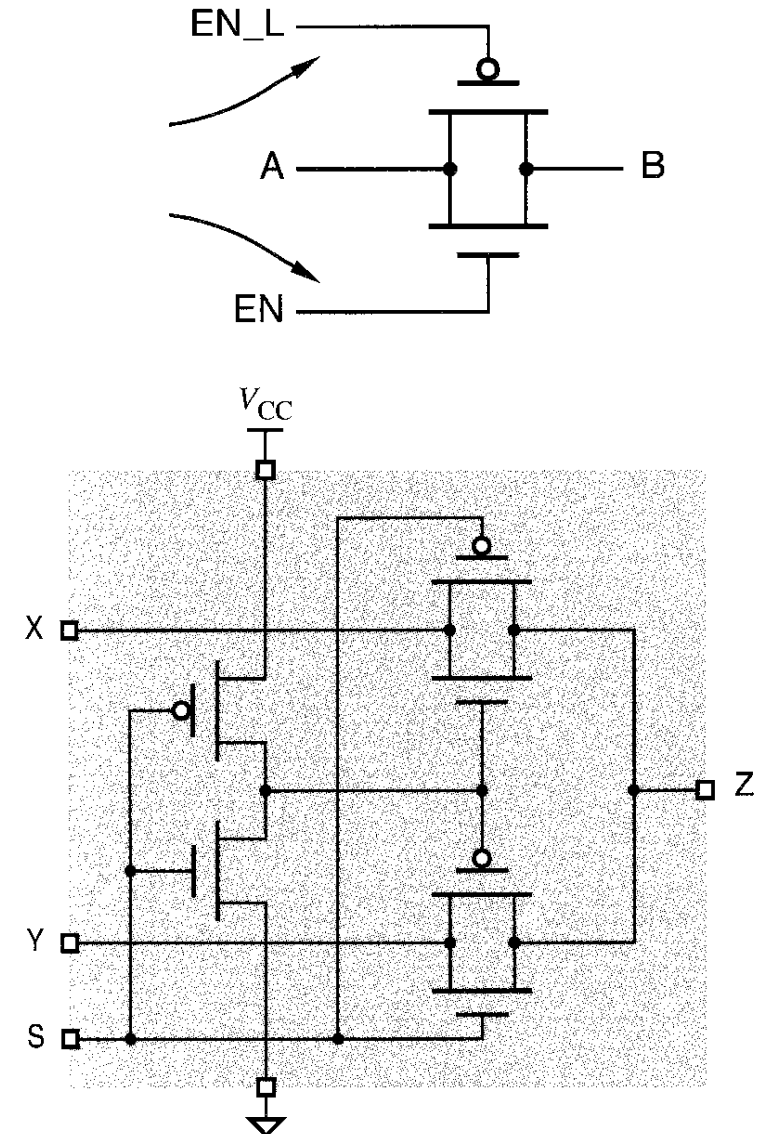


(b)

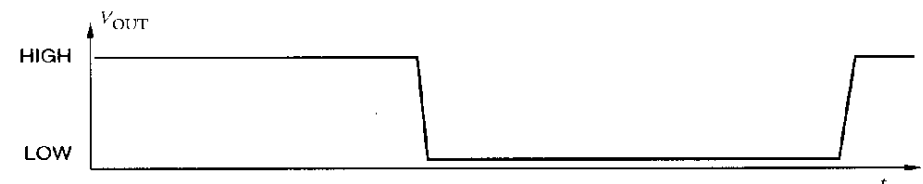
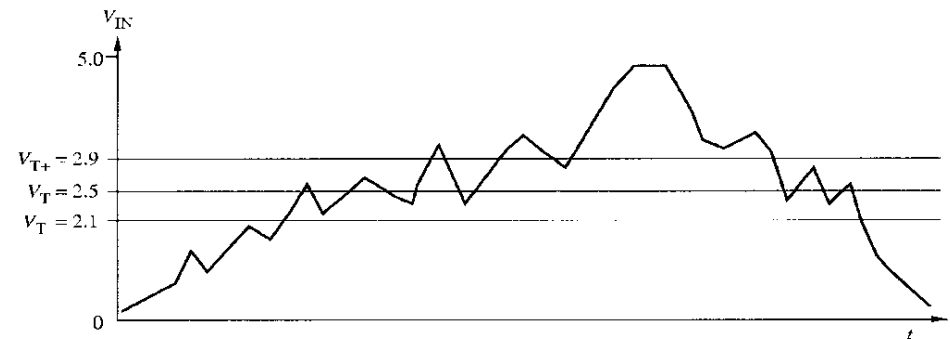
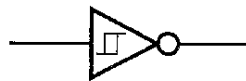
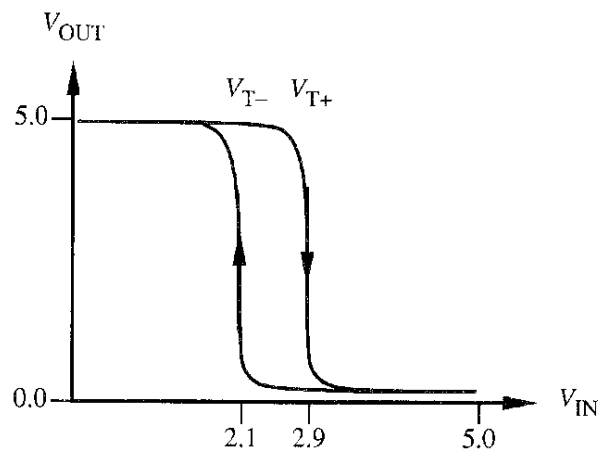
A	Q1	Q2	Q3	Q4	Z
L	off	on	on	off	L
H	on	off	off	on	H



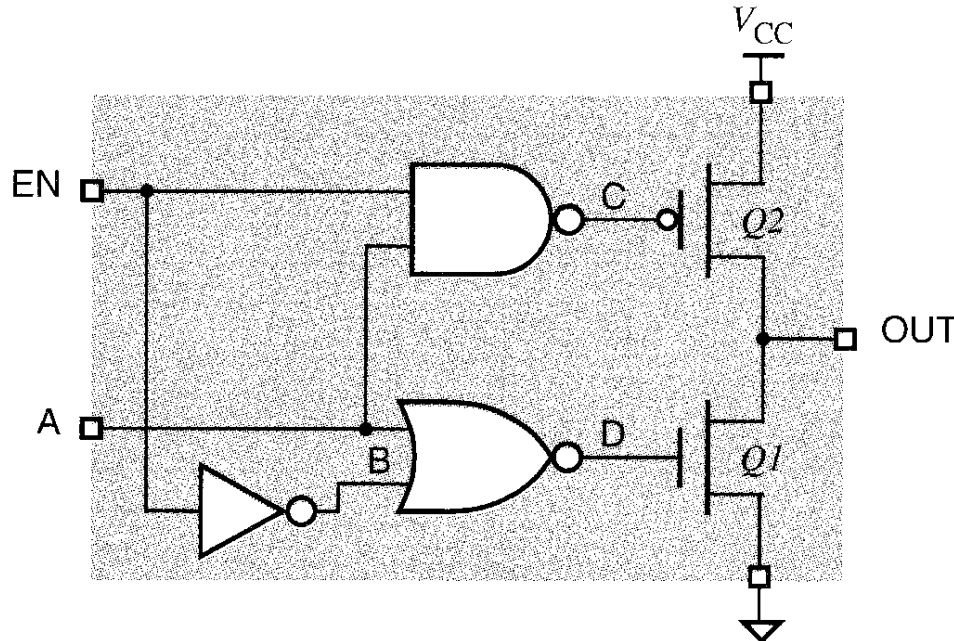
- Přenosový člen (anglicky „transmission gate“)
 - Funguje jako řízený spínač
 - Je sestaven z komplementárních tranzistorů
 - Oba jsou otevřeny – člen přenáší signál (malá impedance mezi A a B)
 - Oba jsou zavřeny – člen nepřenáší signál (velká impedance mezi A a B)
- Používá se v složitějších strukturách
 - Např. klopných obvodech
 - Multiplexorech (viz obr. vpravo)



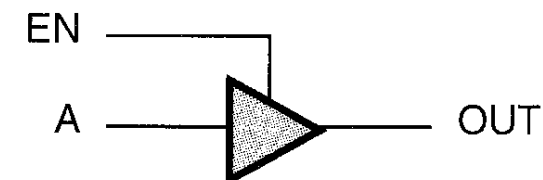
- Využívá vnitřní zpětné vazby pro posun prahových úrovní podle toho, do které úrovně přechází
 - L do H ... větší hodnota (např. 2,9 V)
 - H do L ... menší hodnota (např. 2,1 V)
- Tento jev nazýváme hysterezí
 - Zlepšuje šumovou odolnost obvodů
- Přenosová charakteristika
- Symbol
- Časový diagram



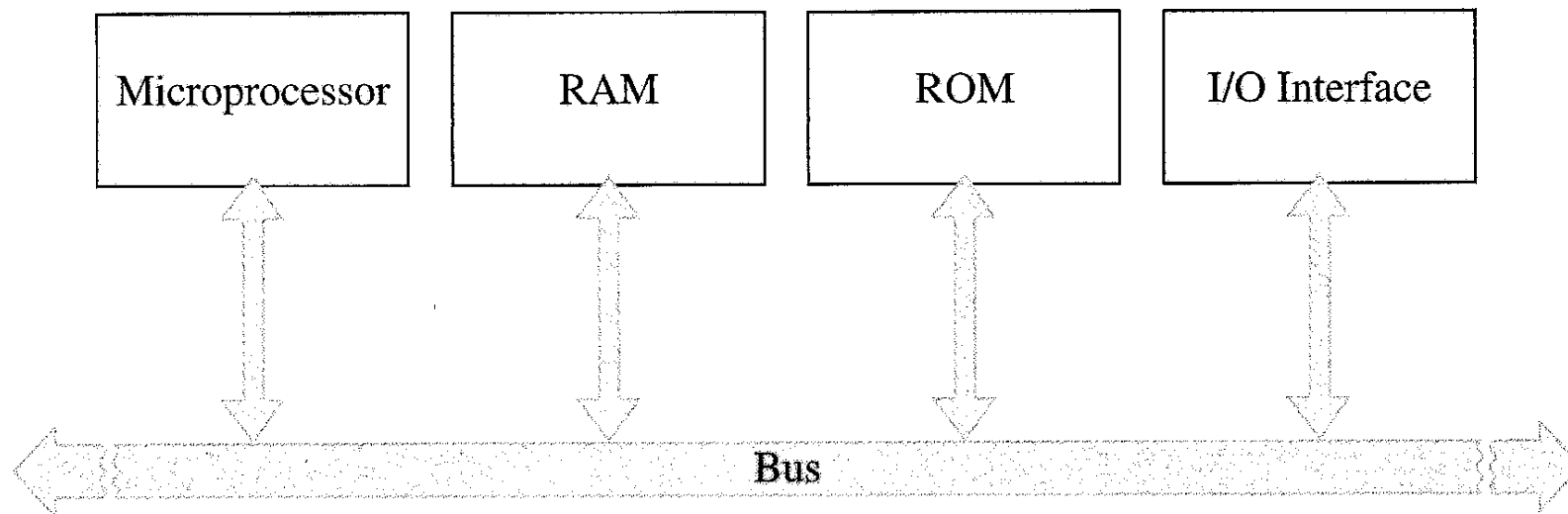
- Anglicky „three-state buffer” nebo „tri-state buffer”
 - Umožňuje odpojit výstup obvodu
 - Tímto uvedeme obvod do tzv. třetího stavu či stavu vysoké impedance („high impedance”, Z)
 - Obvod má tedy tři stavy – L, H a Z
 - Typicky se používá pro realizaci sběrnic
 - Schéma, pravdivostní tabulka a symbol



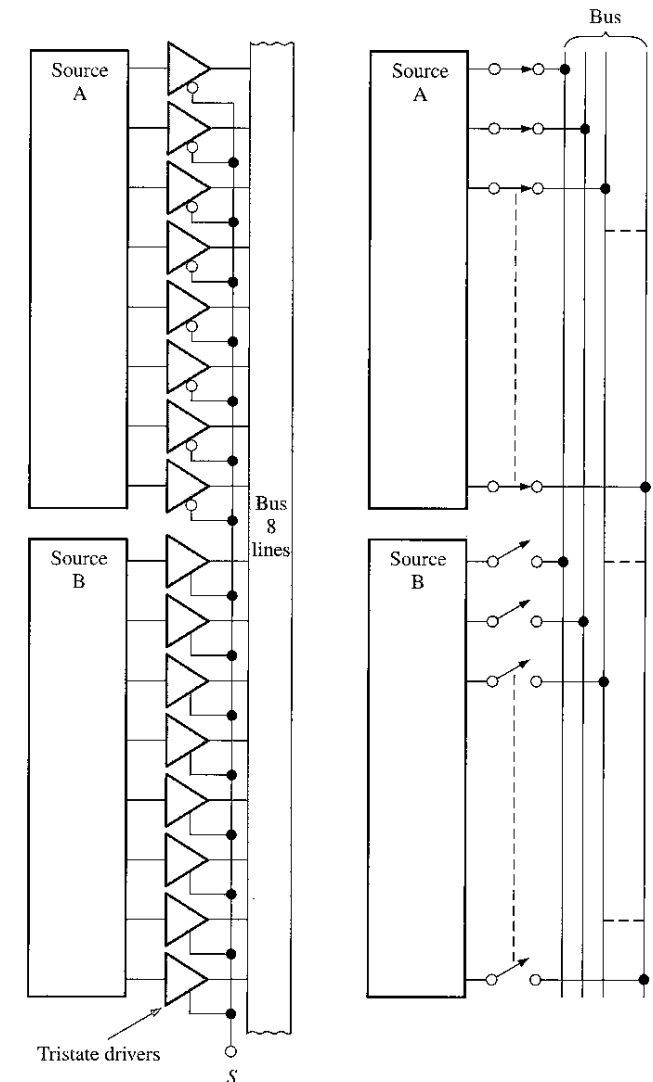
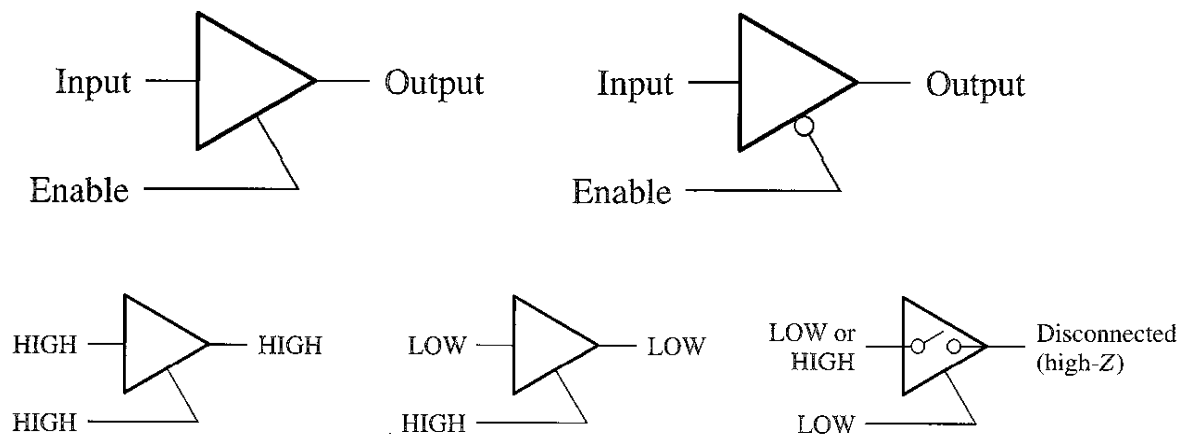
EN	A	B	C	D	Q1	Q2	OUT
L	L	H	H	L	off	off	Hi-Z
L	H	H	H	L	off	off	Hi-Z
H	L	L	H	H	on	off	L
H	H	L	L	L	off	on	H



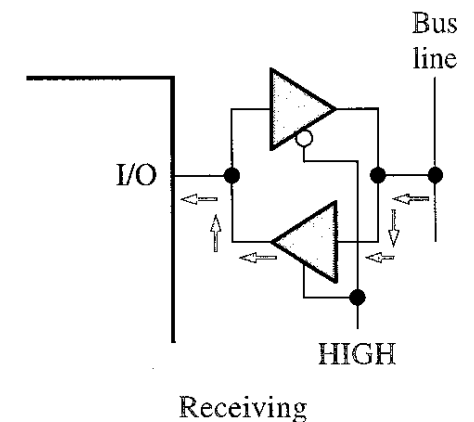
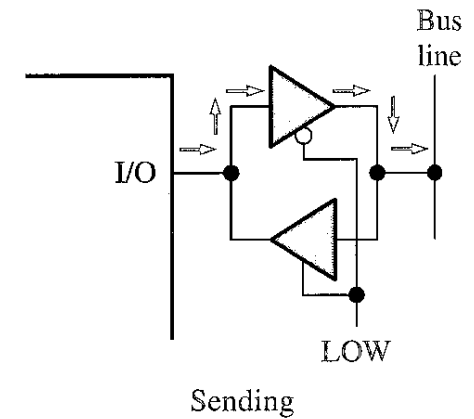
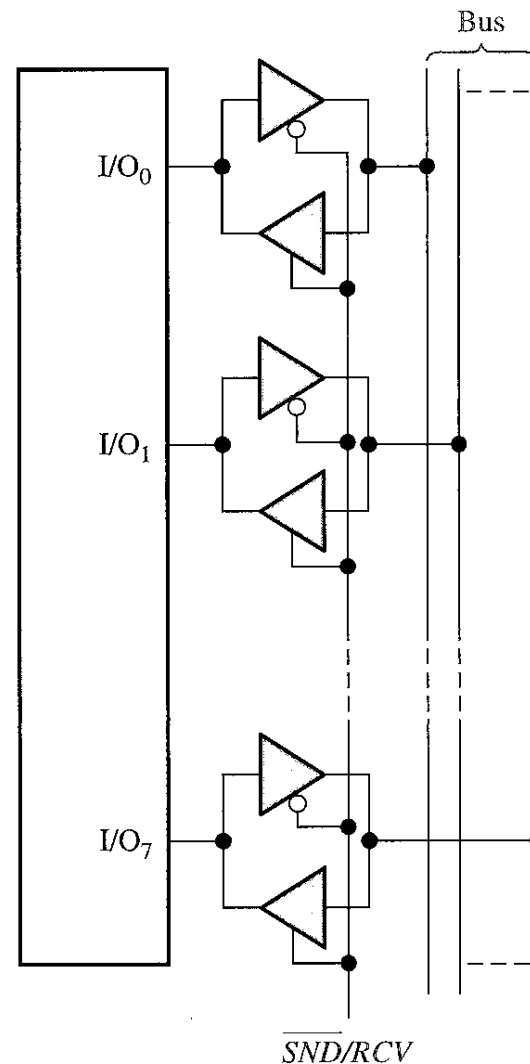
- Sběrnice
 - Jednotlivé subsystémy typického počítače jsou propojeny sběrnicí
 - V jednom okamžiku se přenáší data z jednoho zdroje do jednoho cíle
 - datové přenosy jsou multiplexovány v čase (pomalé)
 - Výsledkem je zjednodušení propojovací infrastruktury



- Třístavový budič slouží jako spínač
 - Může být ovládán signálem Enable aktivním v nule či v jedničce
- Příklad sběrnice se zdroji dat A a B
 - Signálem S se vybírá jeden z nich

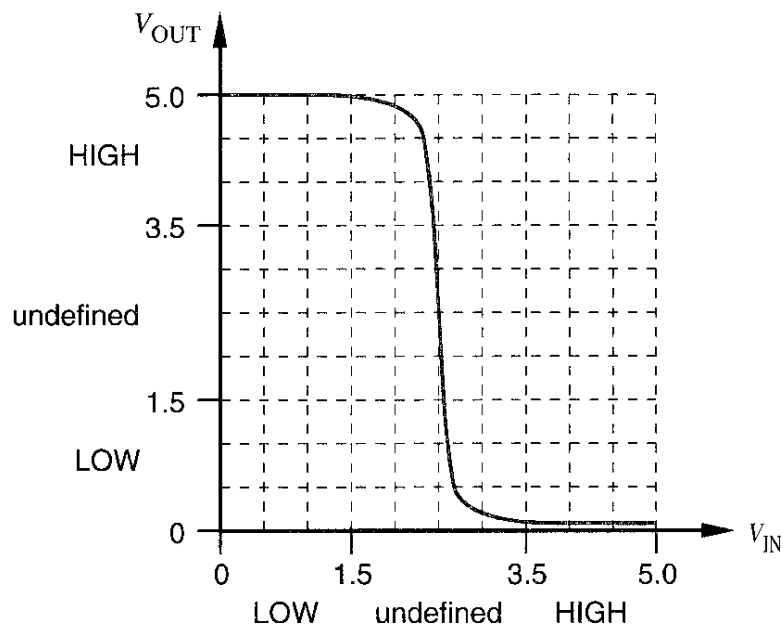


- Často je třeba přenášet data oběma směry
 - Třístavové budiče je třeba zapojit anti-paralelně
 - Vždy je aktivní jeden, nebo druhý



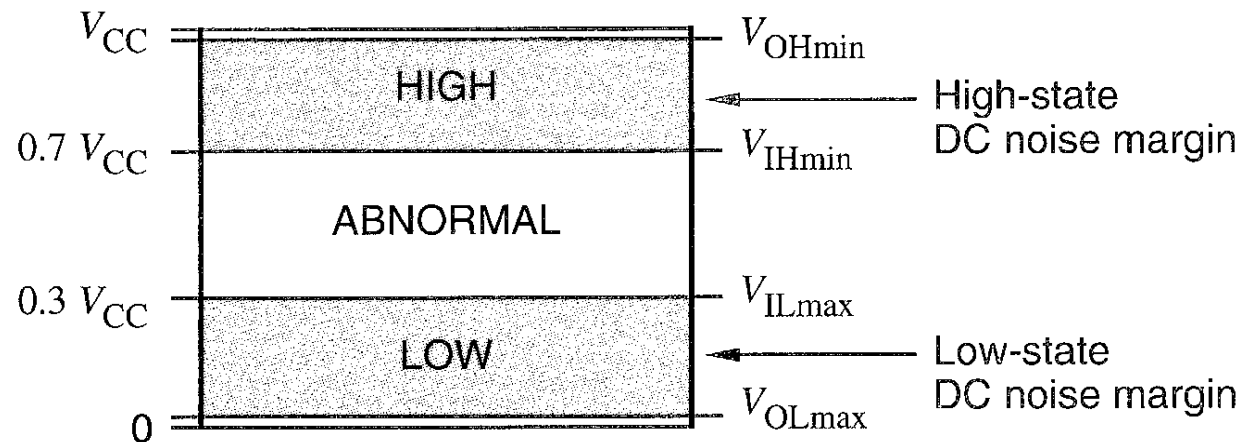
- Převodní charakteristika CMOS invertoru

- 5V napájení
- V_{in} - vstupní napětí
- V_{out} - výstupní napětí

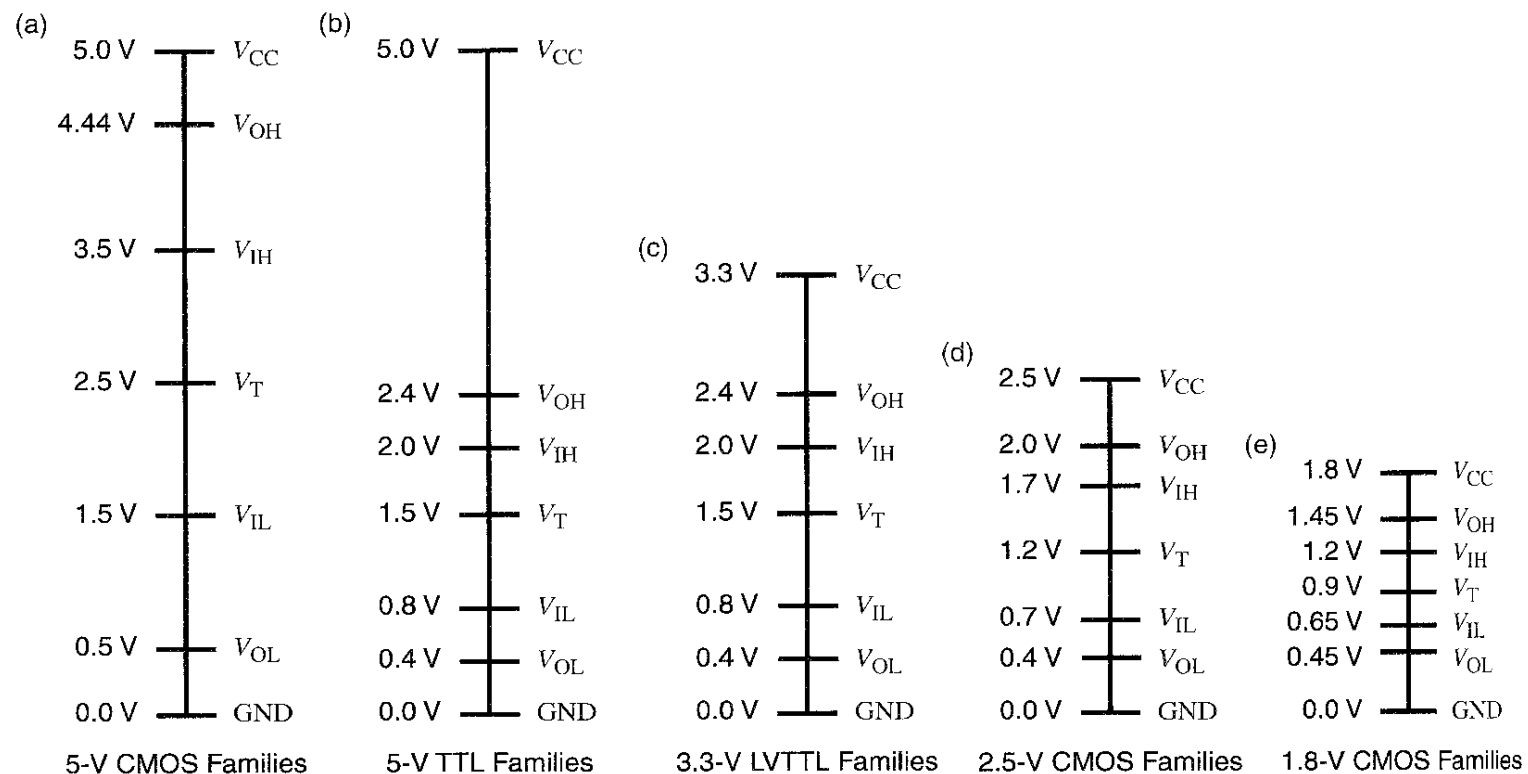


- Příklad CMOS HC - logické úrovně a rozsah odolnosti proti rušení (noise margins)

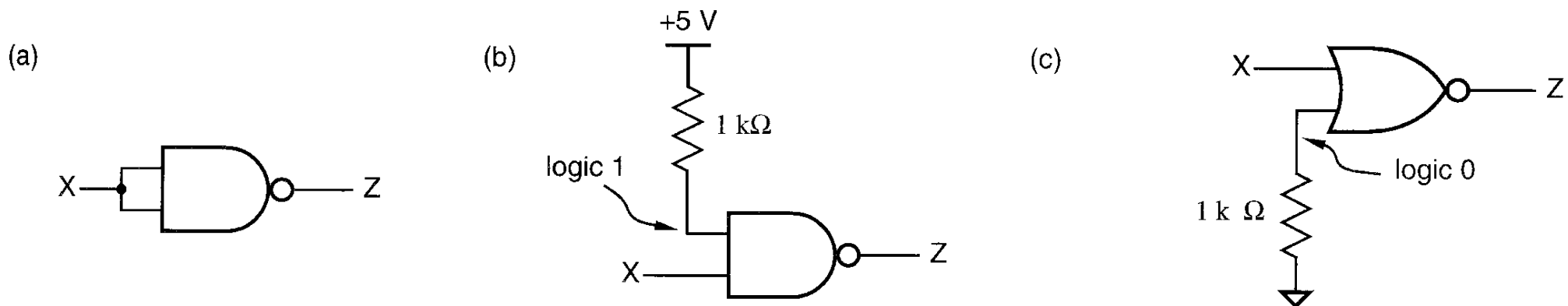
- V_{CC} napájecí napětí
- V_{OHmin} min. výstupní napětí H = $V_{CC} - 0,1$ V
- V_{IHmin} min. vstupní napětí H = 70 % V_{CC}
- V_{ILmax} max. vstupní napětí L = 30 % V_{CC}
- V_{OLmax} max. výstupní napětí L = zem + 0,1 V



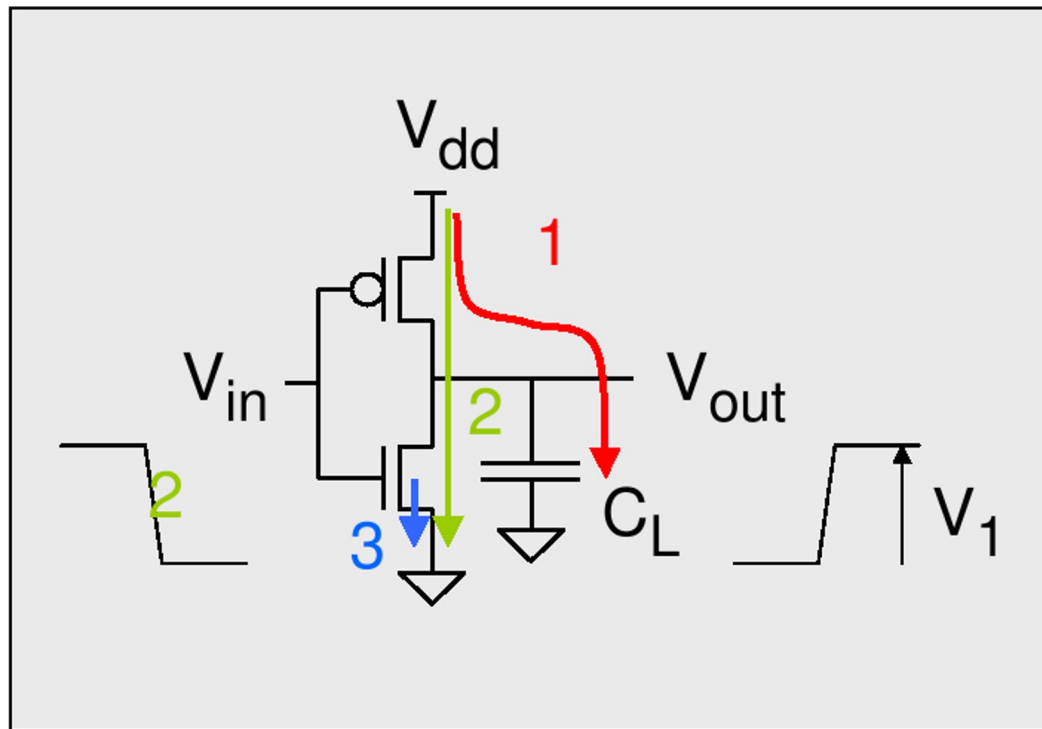
- Dnešním trendem je snižování příkonu a zvyšování rychlosti
- Napájecí napětí určuje řadu parametrů obvodů
 - Vyšší napájecí napětí = větší příkon a rychlost
 - Nižší napájení = menší odolnost proti rušení („noise margin“)
- Příklad technologií s různým napájecím napětím



- Nevyužité vstupy
 - Je třeba „ošetřit“ - připojit na takové log. úrovně, které neovlivní chování obvodu a zajistí, že vstup nebude náchylný k rušení
- Způsob ošetření
 - Připojení k jiným vstupům (a)
 - Vstup hradla NAND na zdroj log. 1 – napájecí napětí přes ochranný rezistor (b)
 - Vstup hradla NOR na zdroj log. 0 – zem napájecího napětí přes rezistor, případně přímo (c)



- Technologie výroby logických obvodů
- Charakteristika technologie CMOS
- ***Příkon v technologii CMOS***
- Programovatelné struktury (PLD)
- Technologie FPGA



- **Dynamický / Aktivní příkon**
 - Nabíjení a vybíjení parazitní kapacity
- **Statický / Leakage příkon**
 - Zbytkové proudy tranzistorů
- **Příkon způsobený „zkraty“**
 - Při přepnutí tranzistoru vzniká přímá cesta mezi VDD a GND

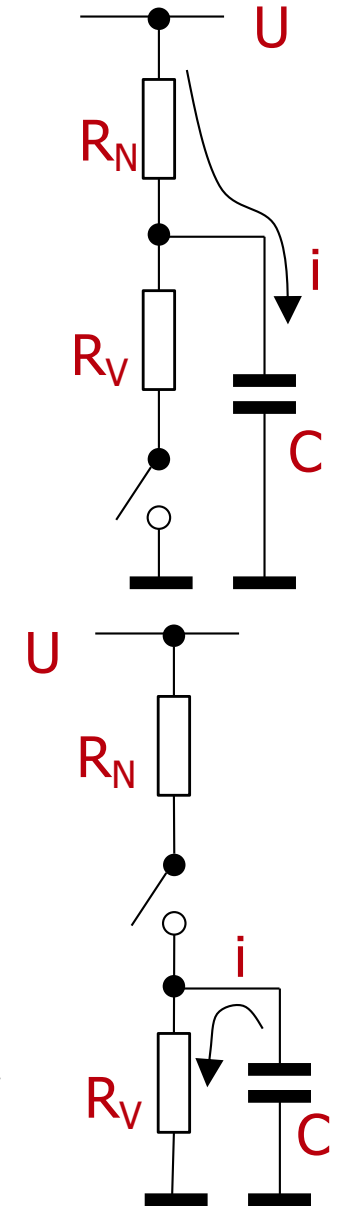
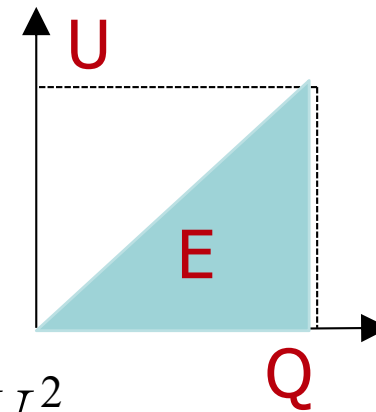
- Náboj $Q = C \cdot U [C] = I \cdot t [As]$
- Energie $E = 1/2 \cdot Q \cdot U = 1/2 \cdot C \cdot U^2 [J = Ws]$
- Nabíjení $E_C = E_{RN} = 1/2 \cdot C \cdot U^2$
- Vybíjení $E_C = E_{RV} = 1/2 \cdot C \cdot U^2$
- Energie nabití/vybití

$$E_{0 \rightarrow 1 \rightarrow 0} = E_{RN} + E_{RV} = C \cdot U^2$$

- Příkon při periodickém nabíjení/vybíjení

$$P[W] = \frac{E[Ws]}{t[s]} = E[Ws] \cdot f[Hz] = C \cdot U^2 \cdot f$$

- f... frekvence změn 0-1-0 (frekvence hodinového signálu)



- Dynamický příkon

$$P_{dynamic} = \alpha \cdot C \cdot V_{DD}^2 \cdot f_{clk}$$

- Spotřeba energie

$$E_{dynamic} = \alpha \cdot C \cdot V_{DD}^2 \cdot S$$

- Zpoždění

$$\tau_c(U) = k' \cdot C_L \cdot \frac{V_{DD}}{(V_{DD} - V_T)^2}$$

- α – pravděpodobnost přepnutí logické úrovně hradla
- C_L – zátěžová kapacita
- V_{DD} – napájecí napětí
- V_T – prahové napětí
- f_{clk} – frekvence hodin
- s – počet taktů hodin

- Jaký je průměrný ztrátový příkon hradla NAND při přepínání z nuly do jedničky?
 - Předpokládejme, že hodnoty vstupů se mění s frekvencí f_{CLK} s rovnoměrným rozložením

$$\alpha_{0 \rightarrow 1} = 3/16$$

$$P = 3/16 \cdot f_{CLK} \cdot C_L \cdot V_{DD}^2$$

Current Input	Next Input	Output Transition
00	00	1 → 1
00	01	1 → 1
00	10	1 → 1
00	11	1 → 0
01	00	1 → 1
01	01	1 → 1
01	10	1 → 1
01	11	1 → 0
10	00	1 → 1
10	01	1 → 1
10	10	1 → 1
10	11	1 → 0
11	00	0 → 1
11	01	0 → 1
11	10	0 → 1
11	11	0 → 0

[Zdroj: MIT OpenSourceWare, 2006]

- Příklad: snížení napájecího napětí na polovinu
 - **Příkon klesne 4x**

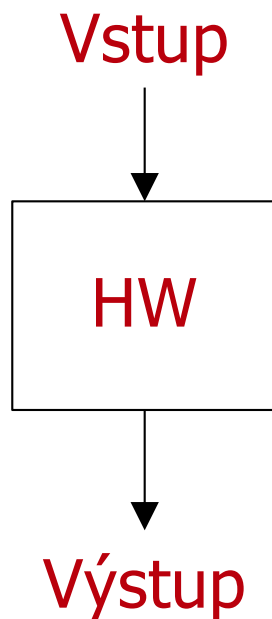
$$P_{(V_{DD}/2)} = \alpha \cdot f \cdot C \cdot (V_{DD} / 2)^2 = 1/4 \cdot \alpha \cdot f \cdot C \cdot V_{DD}^2 = P / 4$$

- **Zpoždění vzroste 2x**

$$\tau_{(V_{DD}/2)} \approx \frac{1}{\frac{V_{DD}}{2}} = 2 \cdot \frac{1}{V_{DD}} = 2 \cdot \tau$$

- Příklad: Výpočet jednou výpočetní jednotkou

- $f = 1 \text{ GHz}$, $V_{DD} = 2 \text{ V}$

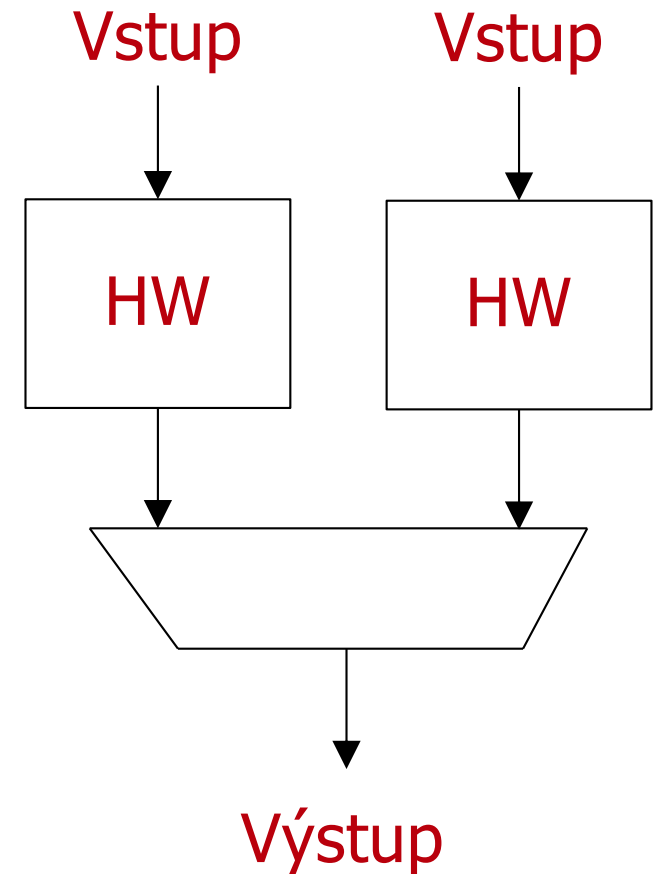


$$P_1 = C \cdot 2^2 \cdot f = 4 \cdot C \cdot f$$

$$P_2 = 2 \cdot C \cdot 1^2 \cdot f / 2 = C \cdot f = P_1 / 4$$

- Příklad: Výpočet dvěma identickými jednotkami

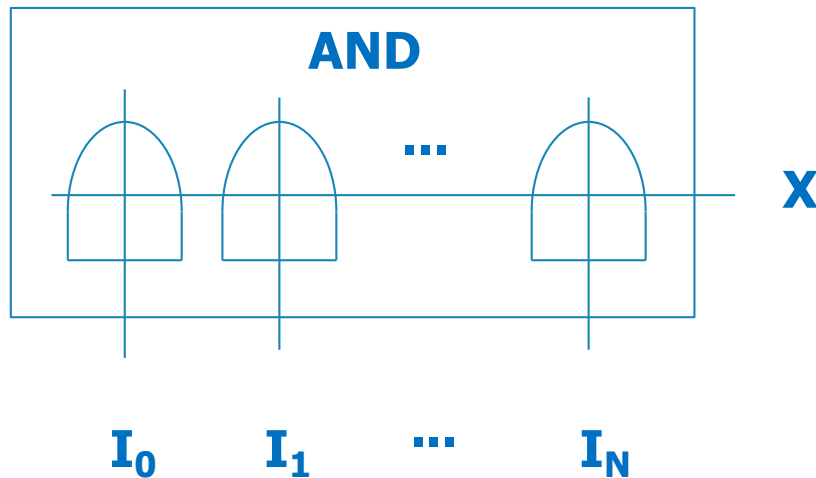
- $f = 500 \text{ MHz}$, $V_{DD} = 1 \text{ V}$



- Technologie výroby logických obvodů
- Charakteristika technologie CMOS
- Příkon v technologii CMOS
- ***Programovatelné struktury (PLD)***
- Technologie FPGA

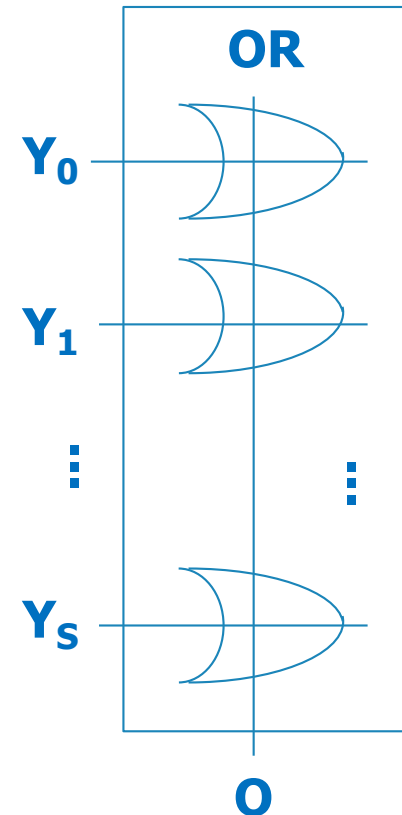
- ***Programovatelný logický obvod***

- Anglicky Programmable Logic Device (PLD)
- ROM, PLA, PAL, GAL, CPLD, FPGA
- Mají předdefinovanou strukturu, kterou lze různým způsobem programovat pro realizaci log. obvodů
- PLD mohou též obsahovat klopné obvody, třístavové budiče, paměti atd.
- Programování lze provést např.
 - Přepálením „pojistky“ – PAL, PLA
 - Naprogramováním paměťových buněk PROM – GAL, CPLD
 - Naprogramováním paměti SRAM – FPGA
 - Provádí se pomocí programátoru či přímo v zařízení pomocí specializovaného rozhraní
- Výhody
 - Uživatel si může realizovat složité log. obvody sám
 - Obvody lze modifikovat
 - Dnešní kapacity PLD obvodů jsou velmi velké (miliony ekvivalentních členů NAND)



AND pole

Log. 0 na kterémkoliv ze vstupů $I_0..I_N$, generuje log. 0 na výstupu (montážní součin)



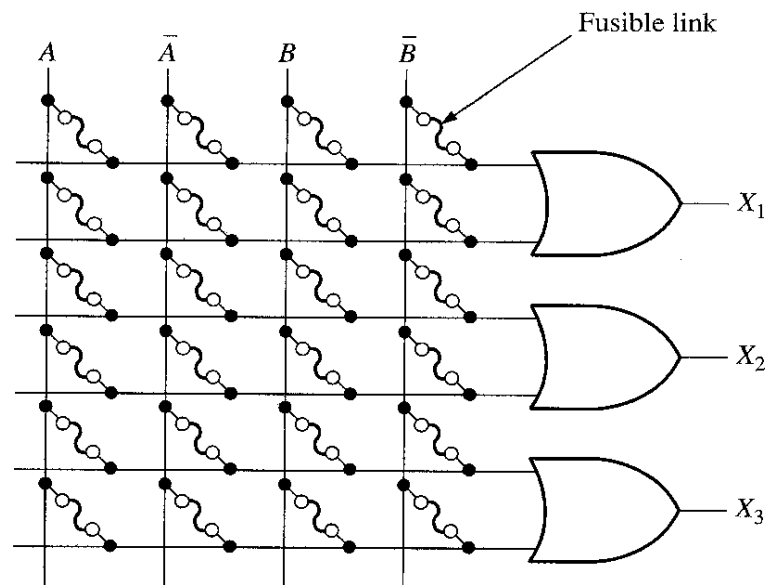
OR pole

Log. 1 na kterémkoliv ze vstupů $Y_0..Y_S$, generuje log. 1 na výstupu O (montážní součet)

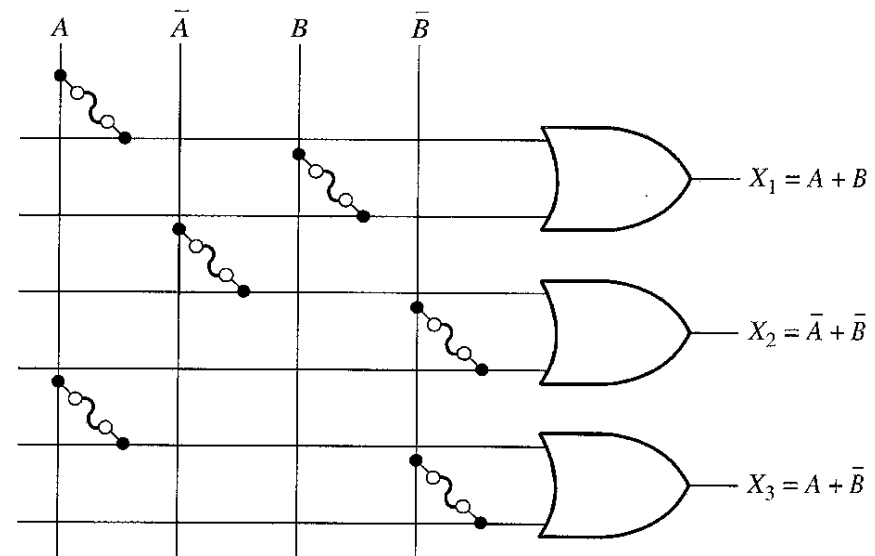
- Programování

- Se provádí přepálením (odpojením) spoje (pojistky) mezi voliči v rámci pole

- Popis
 - Pole hradel OR s programovatelným propojením na vstupní proměnné v přímé i negované podobě (invertor není zakreslen)
 - Realizuje konjunktvní formu
- Příklad
 - Nenaprogramované pole OR (a)
 - Naprogramované pole OR (b)

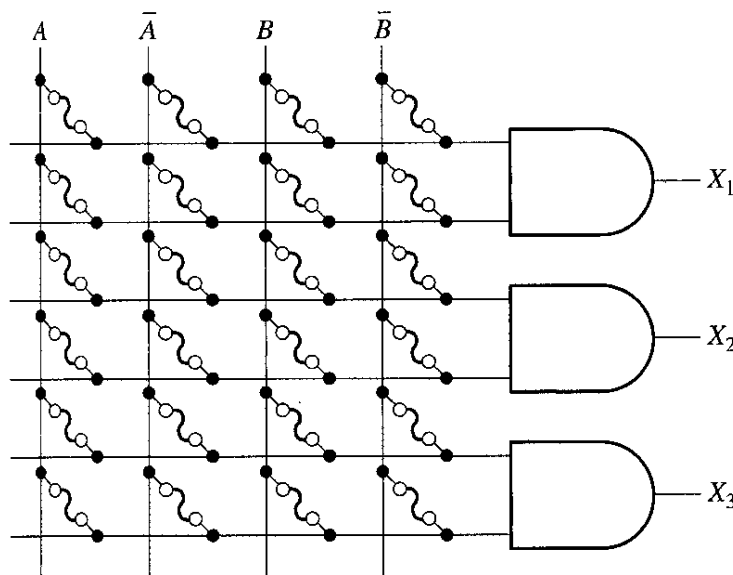


(a) Unprogrammed

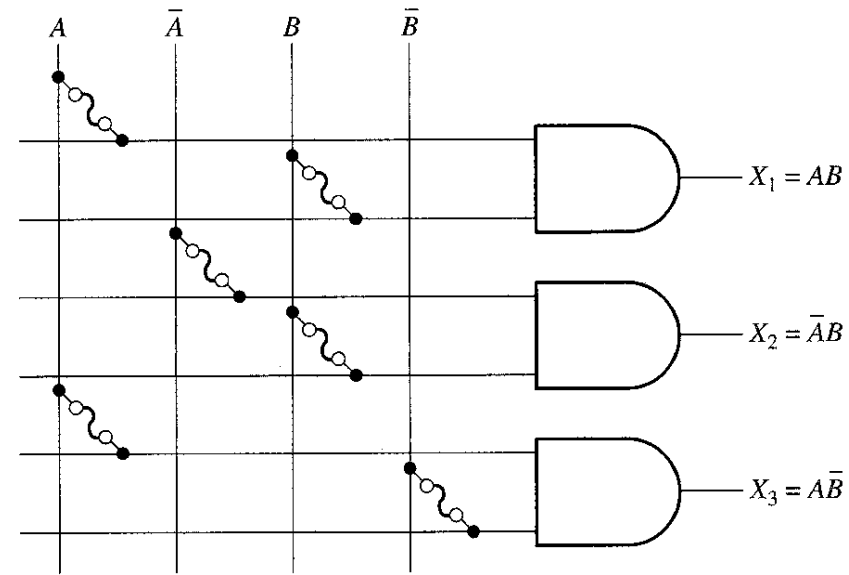


(b) Programmed

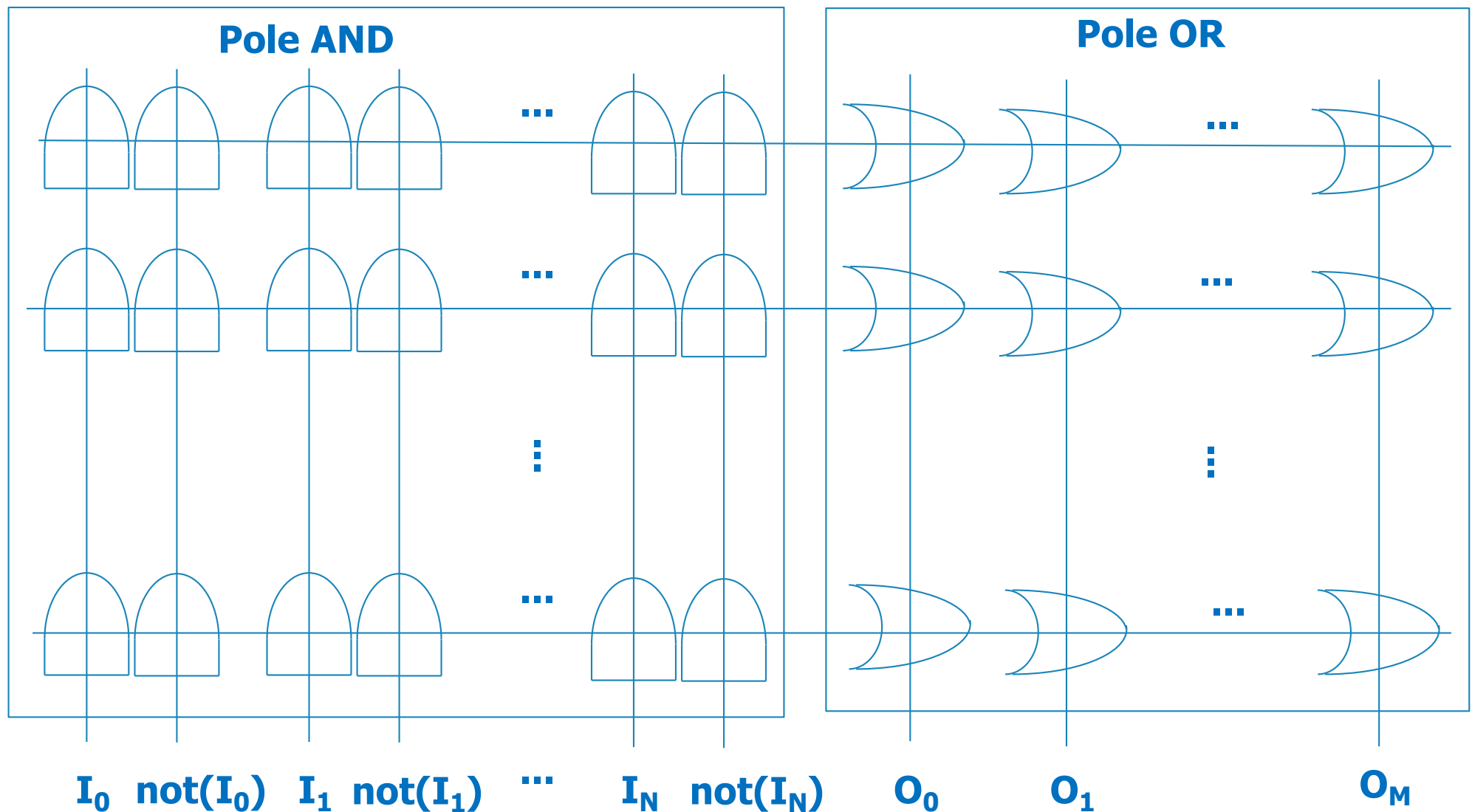
- Popis
 - Pole hradel AND s programovatelným propojením na vstupní proměnné v přímé i negované podobě (invertor není zakreslen)
 - Realizuje disjunktční formu
- Příklad
 - Nenaprogramované pole AND (a)
 - Naprogramované pole AND (b)



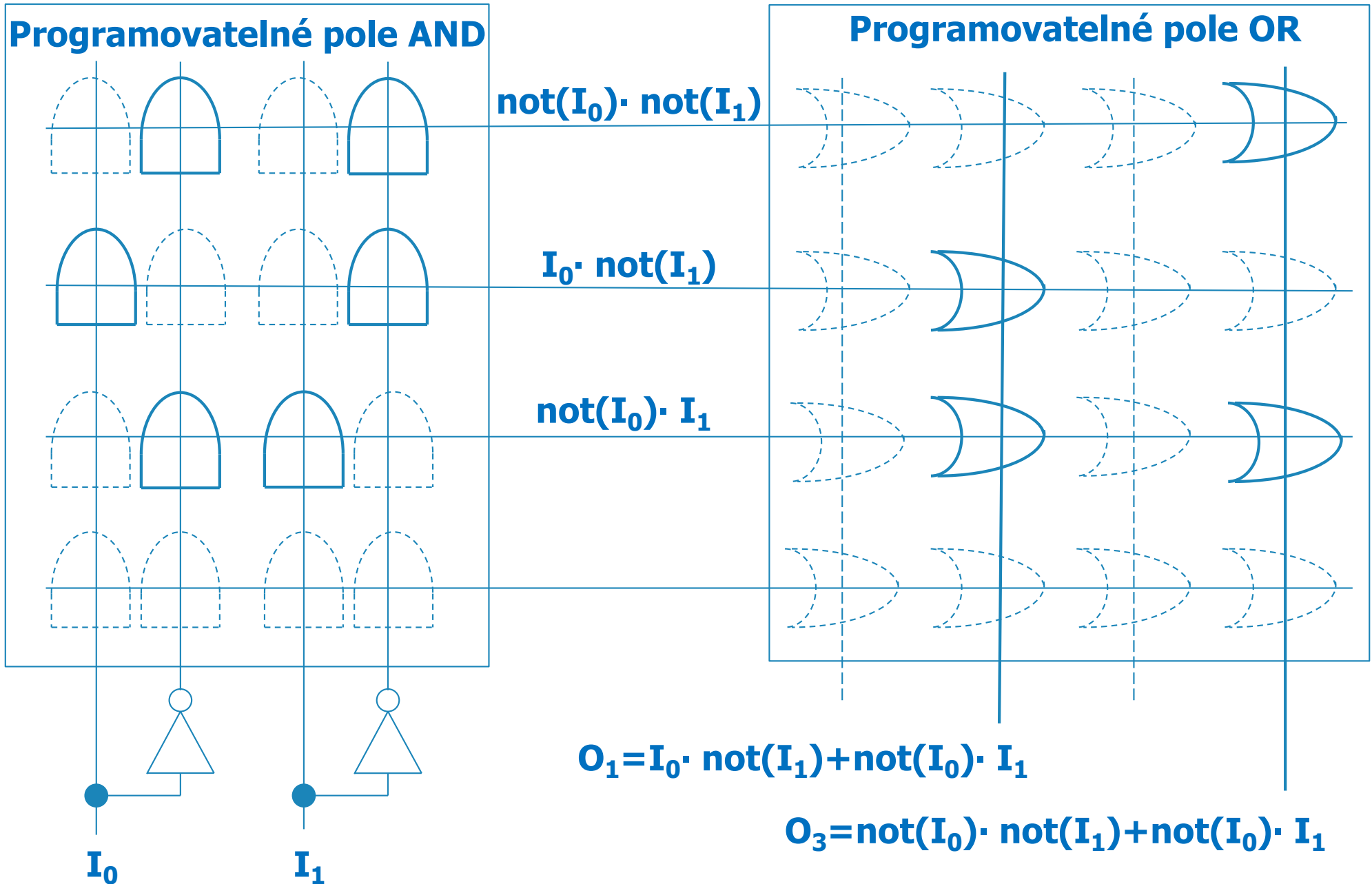
(a) Unprogrammed



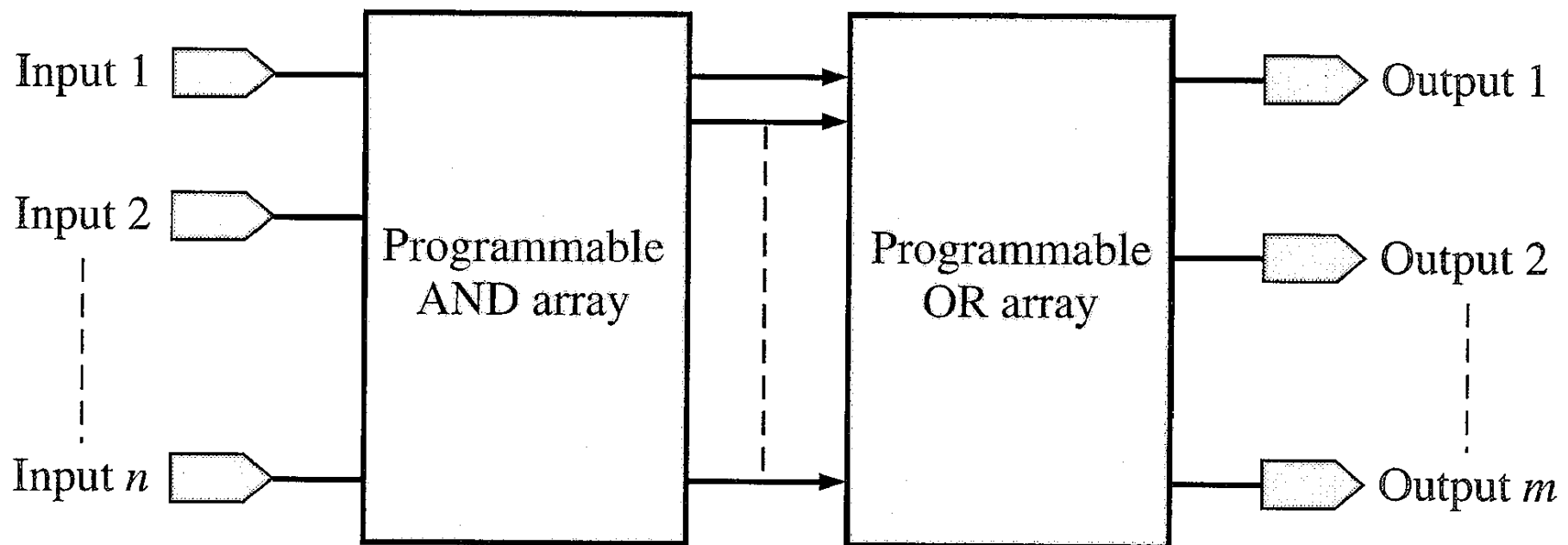
(b) Programmed

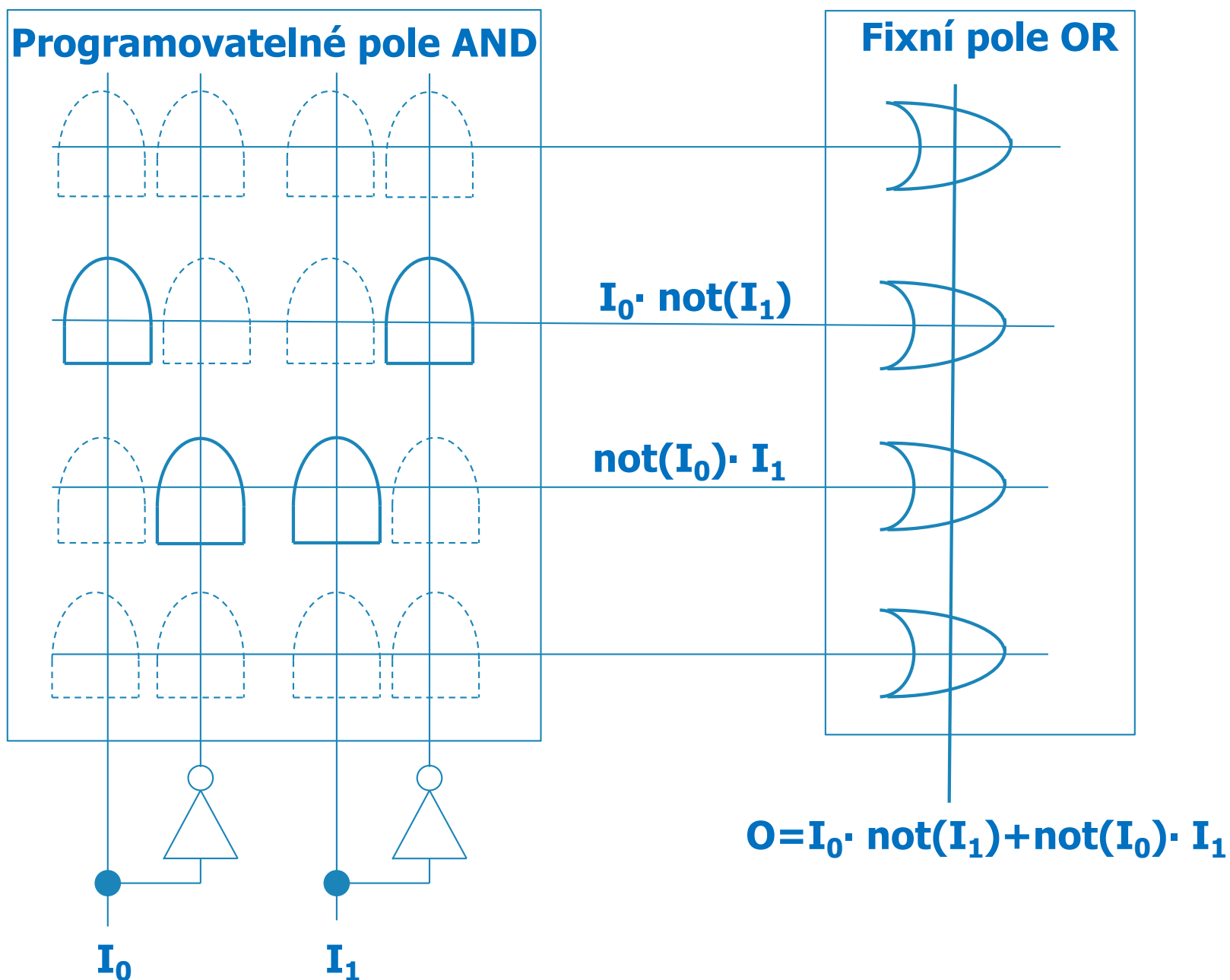


Duálně platí, že pole OR-AND implementuje součin sum (Úplná normální konjunktivní forma, POS)

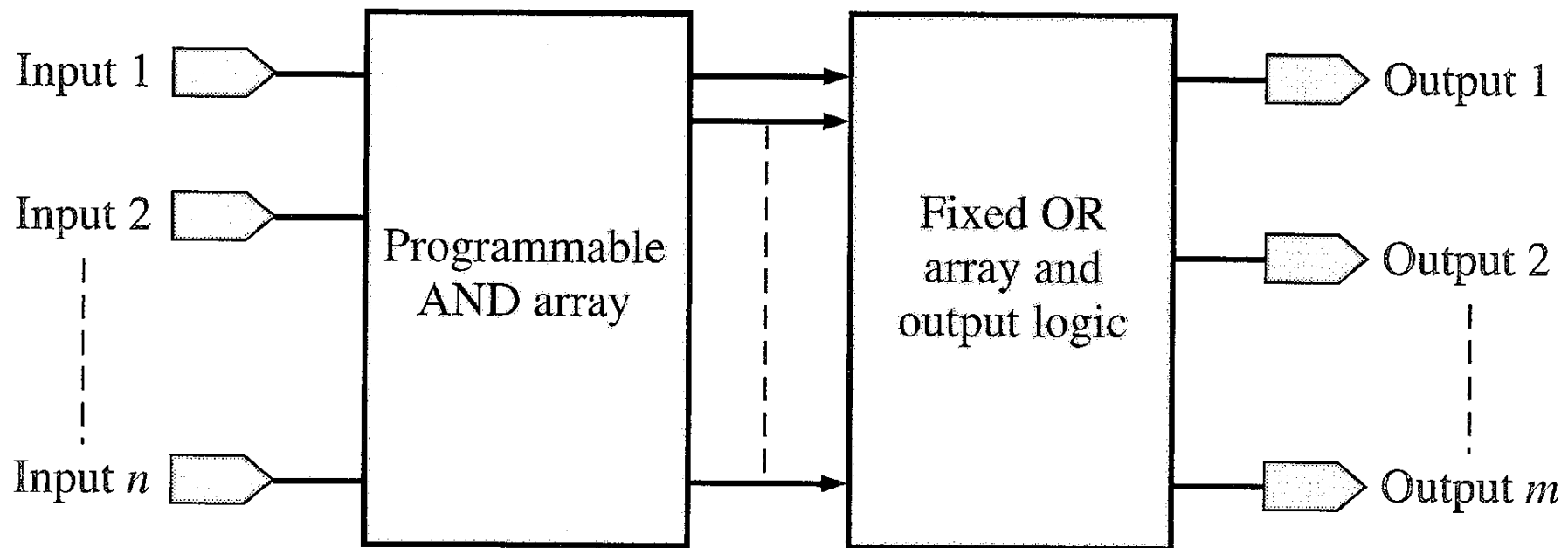


- Programmable Logic Array (PLA)
 - Obě pole jsou programovatelná
 - Výhodou je skutečnost, že jsou plně programovatelná
 - Nevýhodou je větší zpoždění kvůli programovacím propojkám („pojistkám“) v obou polích, které mají větší zpoždění než vodiče a log. členy díky přechodovému odporu a parazitním kapacitám
 - Pomalé, drahé

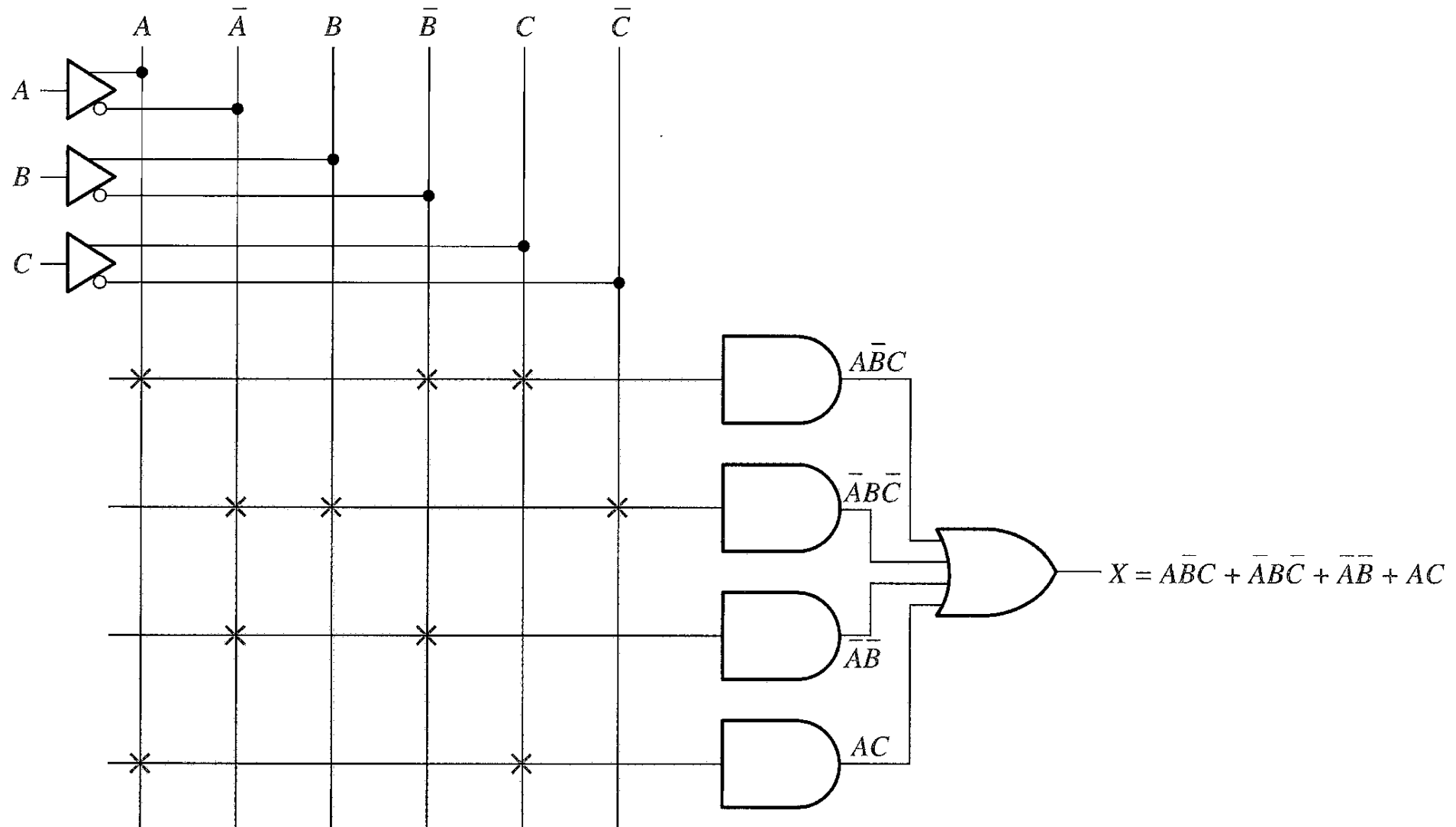




- Programmable Array Logic (PAL)
 - Pouze pole AND je programovatelné
 - Nemají omezení pamětí PROM (díky programovatelnému poli AND)
 - Jsou rychlejší díky fixnímu poli OR bez propojek
 - Jsou levnější než PLA
 - Realizuje disjunktční formu



- Příklad implementace funkce tří proměnných pomocí PAL

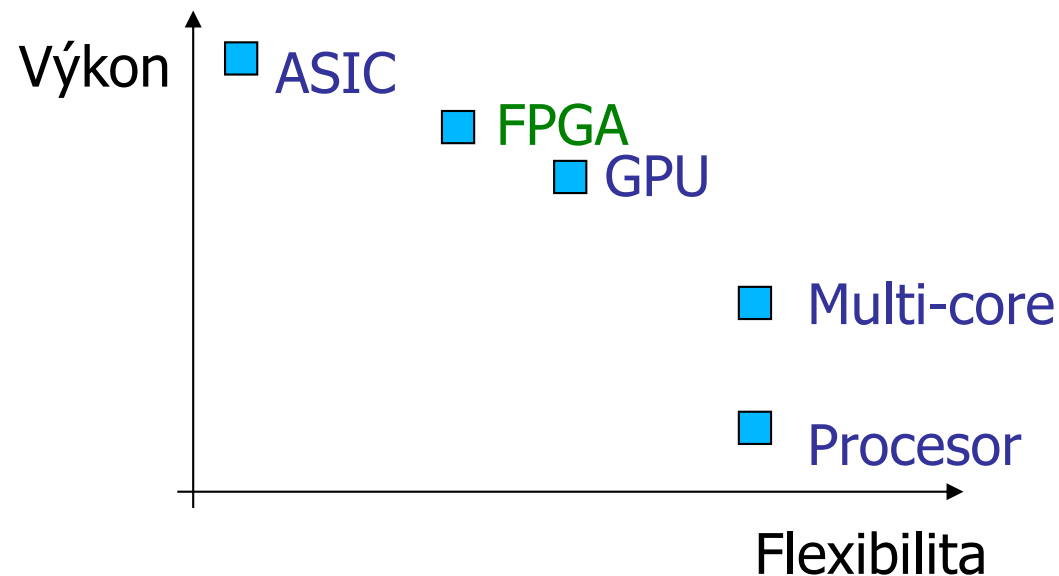


- PAL (Programmable Array Logic)
 - Programovatelné AND pole (volba mintermu normální disjunktční formy se provádí pomocí destrukce propojek)
 - Pevné OR pole (logický součet vybraných mintermů), které jsou často doplněny o klopné obvody
- GAL (Generic Array Logic)
 - Obdobná architektura jako PAL
 - Propojky jsou však elektricky programovatelné (řízené pomocí paměťových buněk např. typu EEPROM)
- CPLD (Complex Programmable Logic Devices)
 - Skládají se z AND-OR polí a registrů s elektricky (typicky pomocí paměťových buněk typu FLASH) programovatelnými křížovými přepínači

- Technologie výroby logických obvodů
- Charakteristika technologie CMOS
- Příkon v technologii CMOS
- Programovatelné struktury (PLD)
- ***Technologie FPGA***

- Běžné procesory nepokrývají výkonnostní požadavky řady aplikací
 - Počítačové sítě, počítačová grafika, vědecké výpočty a další
- Technologie FPGA a ASIC mohou být vhodnou alternativou

Kompromis mezi flexibilitou a výkonem

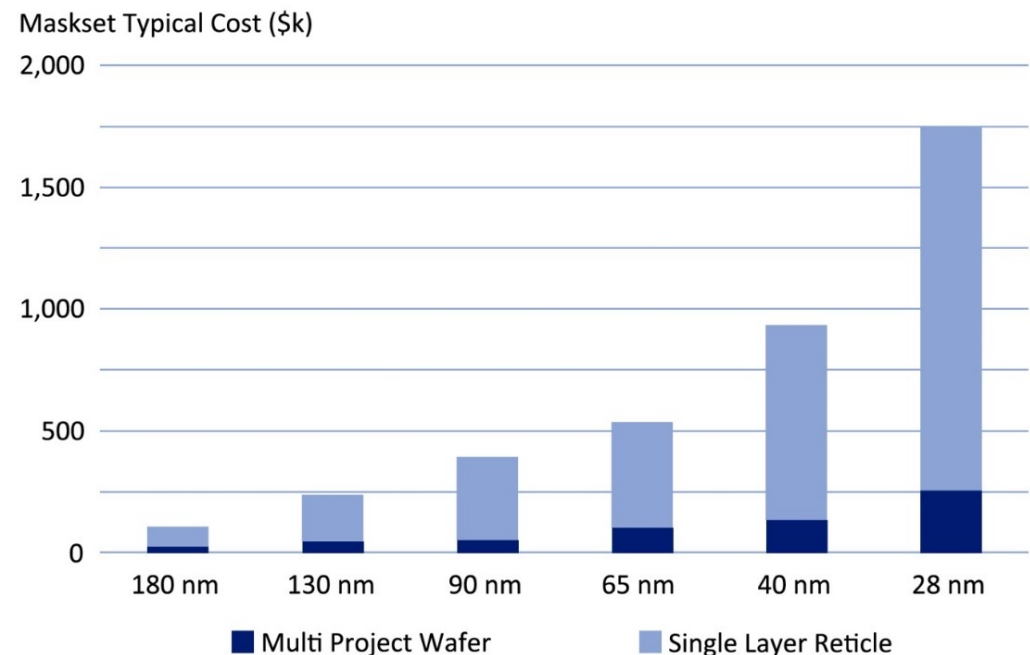


Flexibilita – v kolika aplikacích je vhodné danou technologii použít

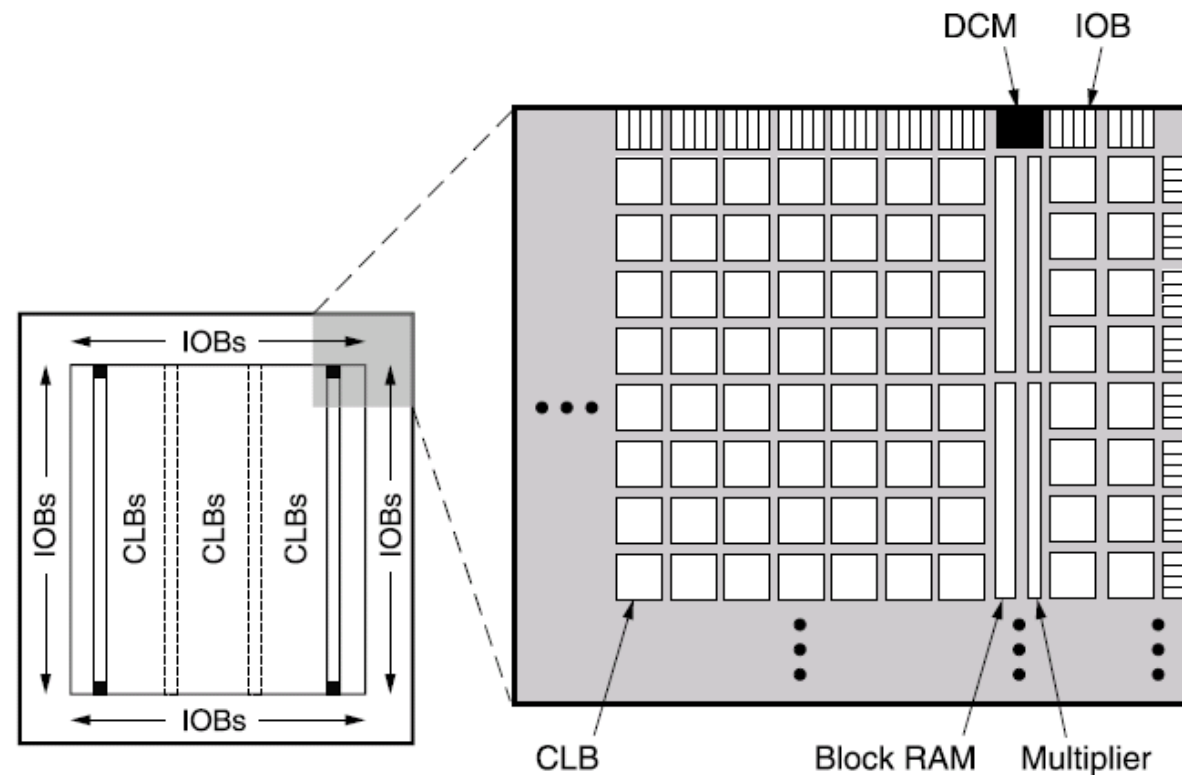
Výkon – porovnání rychlosti aplikací na různých technologiích

Nové technologie zvyšují rychlost FPGA čipů. Snižuje se počet aplikací, které je nutné řešit pomocí ASIC

- Cena návrhu masky u ASIC obvodů se pro nové technologie neustále zvyšuje
 - $\text{Cena} = \text{maska} + \text{návrh} + \text{verifikace} + \text{risk}$
- ASIC obvody jsou využívány zejména v extrémních aplikacích vyžadujících rychlost, malé rozměry, nízká spotřebu a vyráběných ve velkých sériích
- Výhody FPGA oproti ASIC:
 - Jednodušší návrh aplikace
 - Rychlejší vývoj, tj. rychlejší uvedení na trh
 - Možnost rekonfigurace
 - Oprava chyb
 - Nové vlastnosti aplikace



- 2D Matice konfigurovatelných logických bloků (CLB)
- Obvody pro řízení hodinového signálu (DCM, PLL, apod.)
- Vestavěné komponenty: blokové paměti a násobičky, DSP bloky, GTX, PCIe, PowerPC apod.

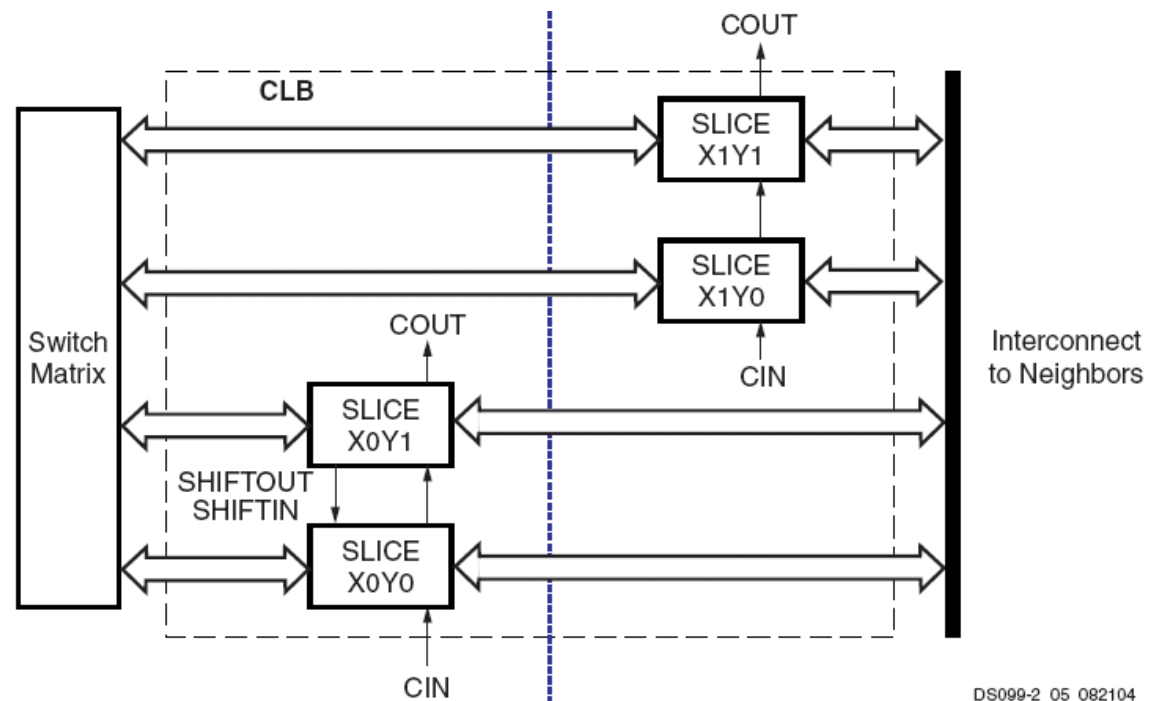


Obsahuje

- Několik **SLICE** bloků (menší logické elementy)
- Nezávislé „**carry řetězce**“ pro konstrukci rychlých sčítaček, násobiček, apod.
- Rychlé připojení k sousedním členům a připojení ke globální propojovací matici

Technologie

- Spartan3
 - 4 Slices / CLB
- Virtex UltraScale
 - 1 Slices / CLB

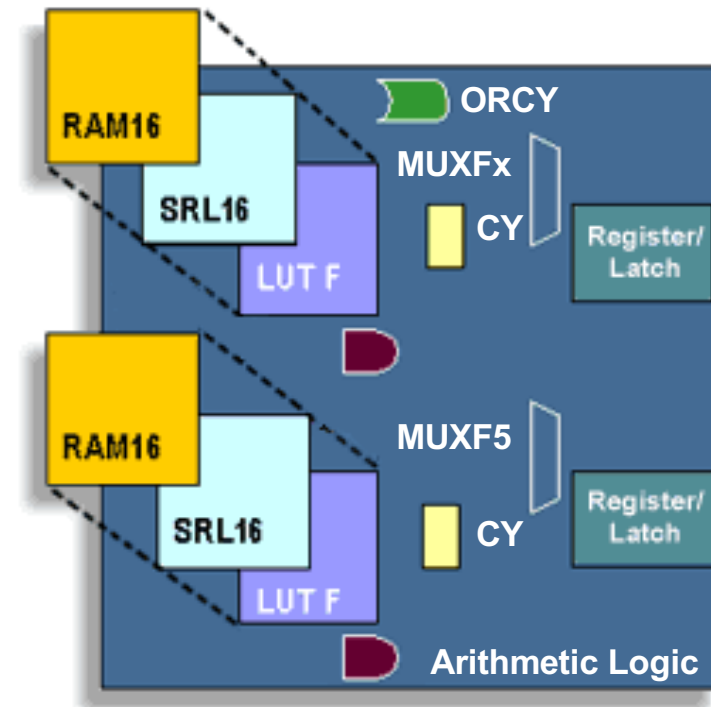


Obsahuje

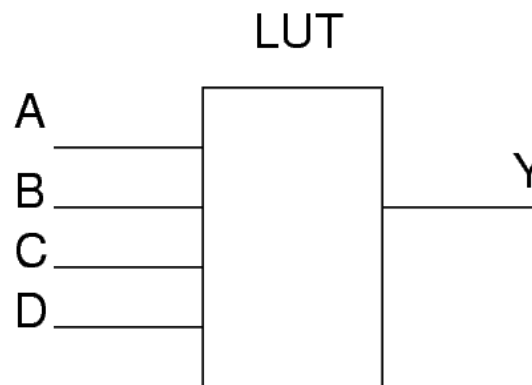
- Funkční generátory (FG)
 - LUT
 - RAM
 - SRL
- Registry/Latche
- Multiplexory MUXFx
- "Carry" logiku
- Pomocná logika pro aritmetiku

Technologie

- Spartan3
 - 2x FG, 2x FDD
 - 768 - 33,280 SLICES
 - 1536 - 66,560 FGs a registrů
- Virtex UltraScale
 - 8x FG, 16x FDD
 - 44k – 316k SLICES
 - 358k – 2,5M FGs, dvojnásobek registrů



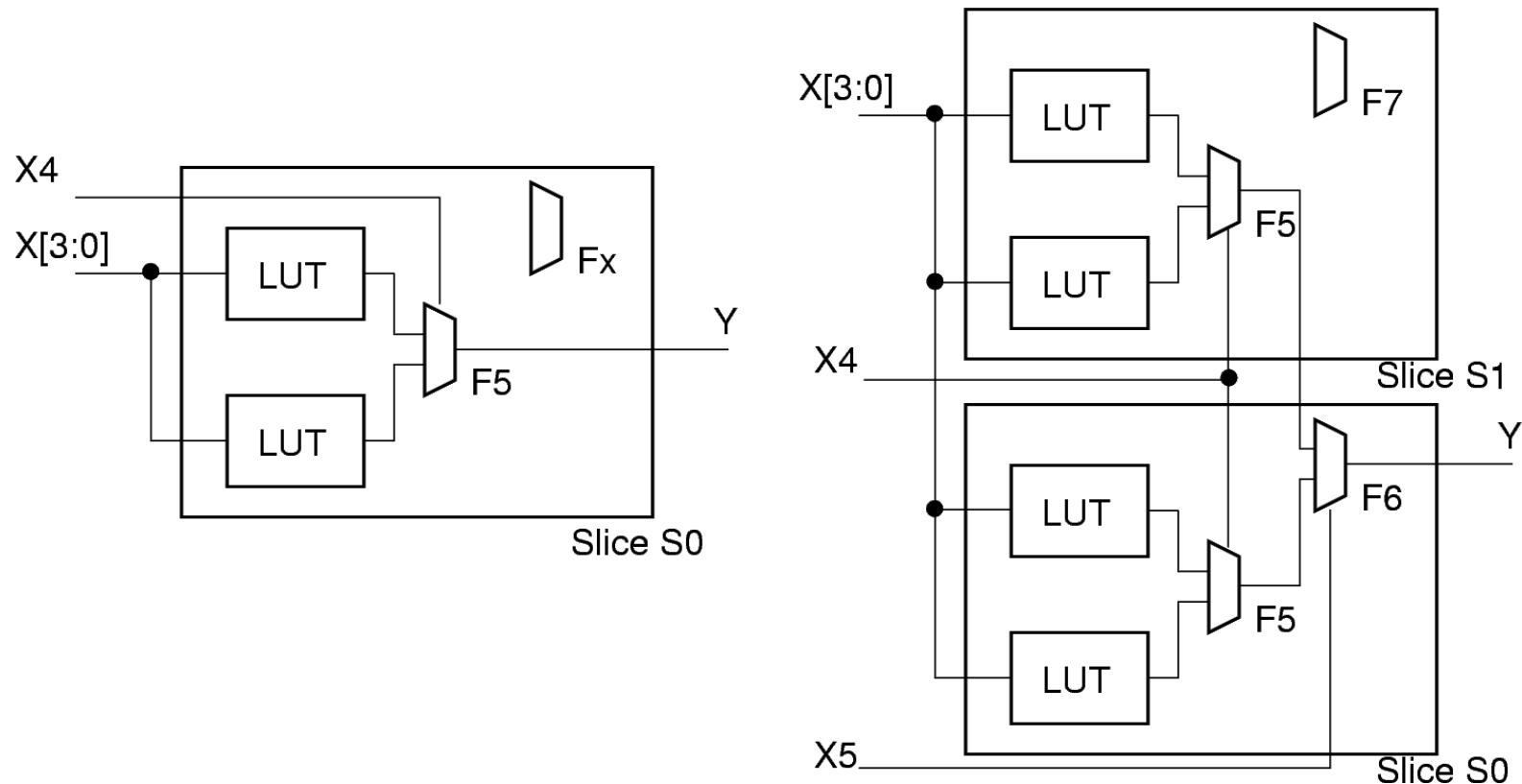
- Základní logické hradlo: N -bitový vstup, 1-bitový výstup
- Realizuje libovolnou binární funkci N proměnných
- Technologie
 - Spartan3: $N=4$
 - Virtex UltraScale : $N=6$
- Příklad:
 - 4-vstupé hradlo



$$F(A,B,C,D) = \bar{A}\bar{B}\bar{C}\bar{D} \text{ or } A\bar{B}\bar{C}\bar{D} \text{ or } \bar{A}B\bar{C}\bar{D} \text{ or } ABC\bar{D}$$

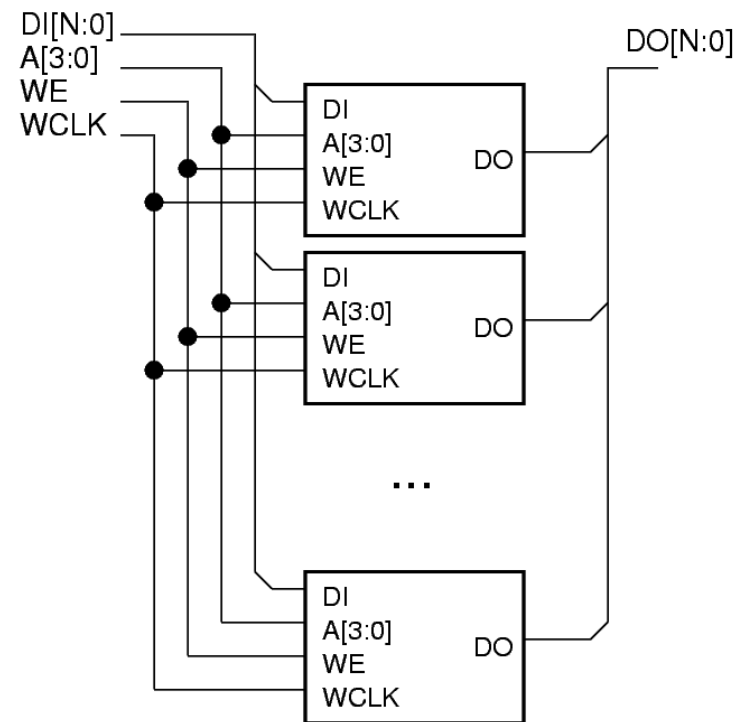
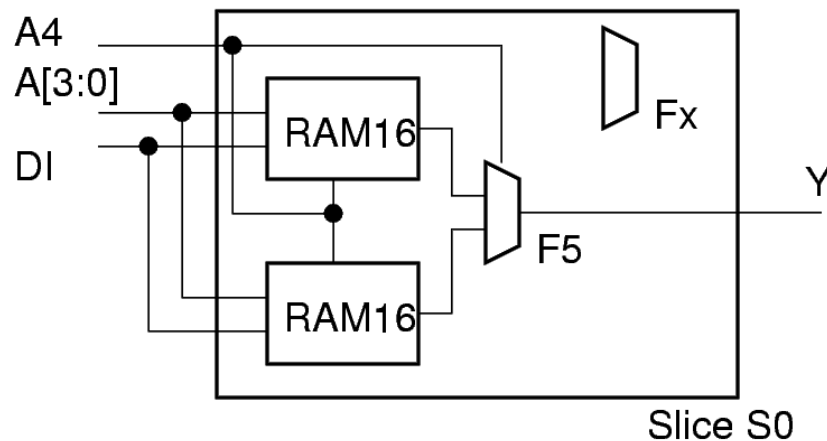
A	B	C	D	Y
0	0	0	0	0
0	0	0	1	1
0	0	1	0	0
0	0	1	1	0
0	1	0	0	0
0	1	0	1	0
0	1	1	0	0
0	1	1	1	0
1	0	0	0	0
1	0	0	1	1
1	0	1	0	1
1	0	1	1	0
1	1	0	0	0
1	1	0	1	0
1	1	1	0	0
1	1	1	1	1

- Pomocí multiplexerů **MUXF_x** lze jednoduše vytvářet složitější funkce
- **MUXF_x** je potom označován jako MUXF5, MUXF6, ...
- **Příklad:**
 - 4-vstupé hradla LUT

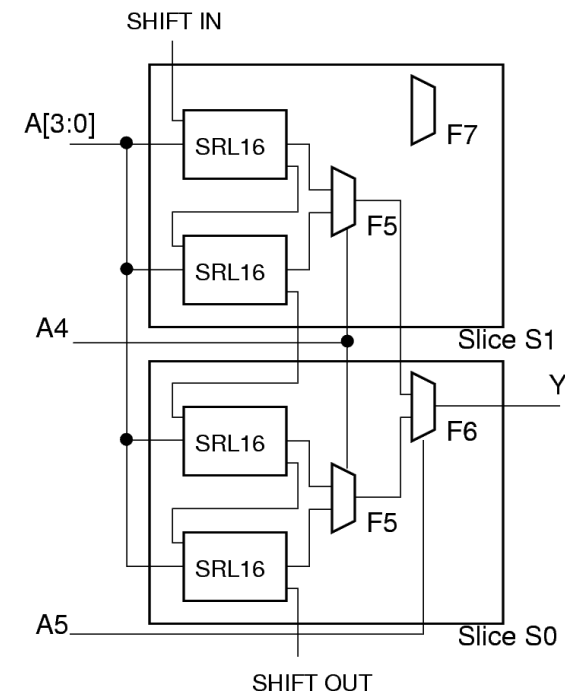
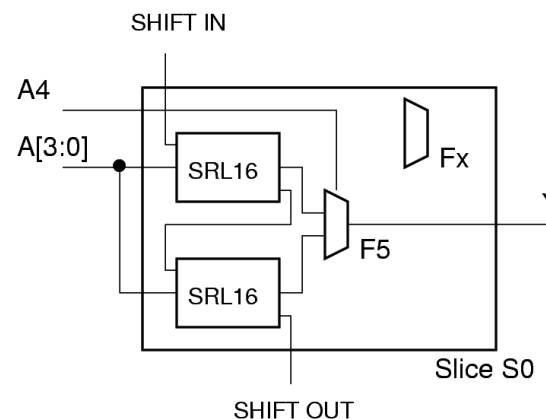
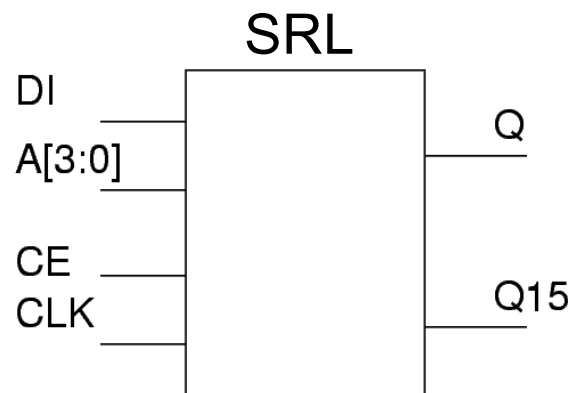


Tvoření větších paměťových celků

- Pomocí **MUXFx** lze jednoduše tvořit paměti 32x1 bit, 64x1 bit, atd.
- Paměti lze paralelně řadit vedle sebe a tvořit paměti o libovolné šířce dat



- Synchronní zápis, data v registru se posunou o jednu pozici
- Asynchronní čtení ze zadané pozice, výstup se objeví na Q
- Jednoduché rozšíření pomocí multiplexorů **MUXFx**
- Vhodný například pro konstrukci zpožďovacích obvodů, generátorů náhodných čísel (LFSR), čítače libovolných sekvencí, apod.
- Velká úspora zdrojů oproti implementaci pomocí registrů umístěných ve SLICE

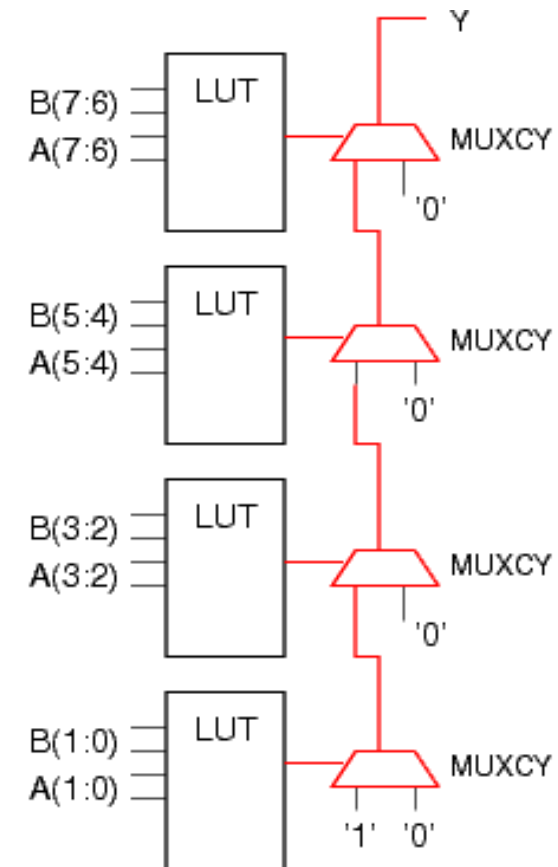


- Používá se pro konstrukci rychlých sčítaček, čítačů, komparátorů apod.
- Carry logika je v každém SLICE tvořena z:
 - 2x multiplexor - **MUXCY**
 - 2x hradlo xor - **XORCY**
 - 1x hradlo or – **ORY**
- **Příklad:** Komparátor

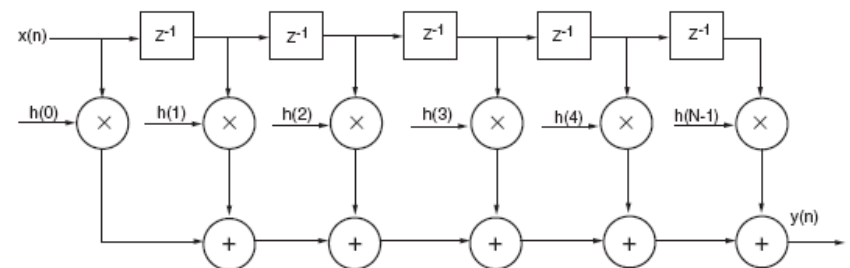
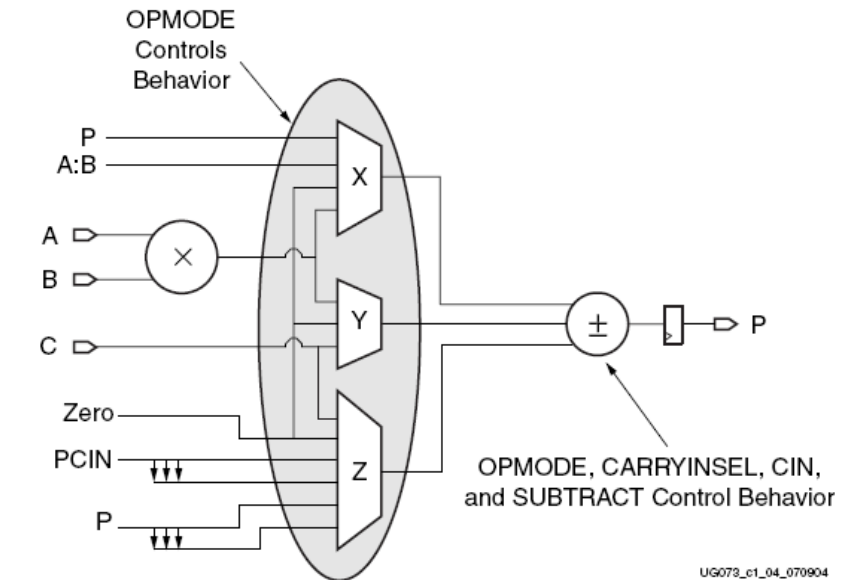
VHDL:

```
Y <= '1'  
    when (A = B)  
    else '0';
```

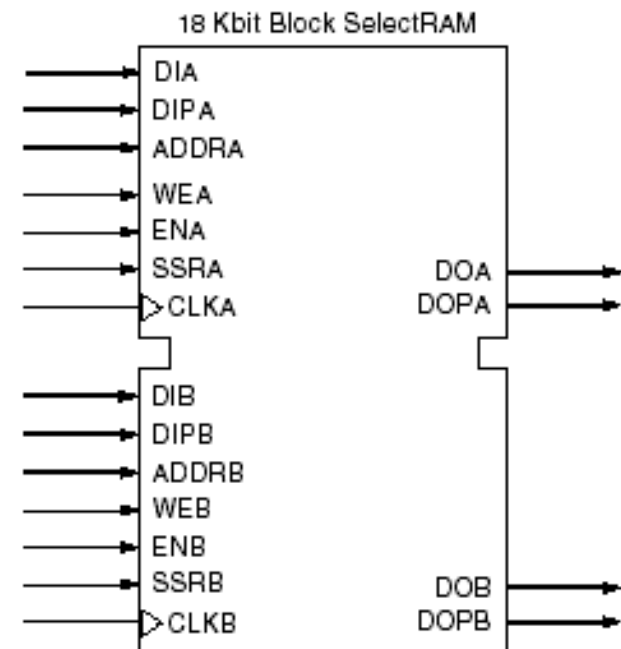
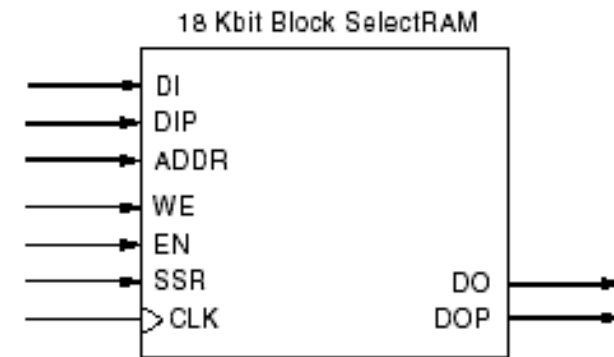
- LUTy porovnávají části operandů
- MUXCY vytváří logický AND



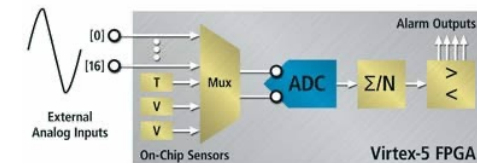
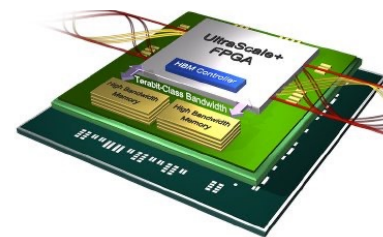
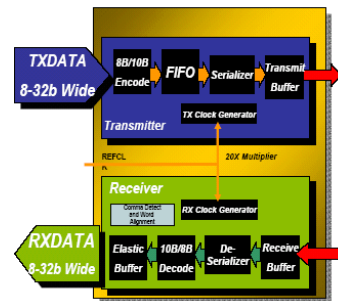
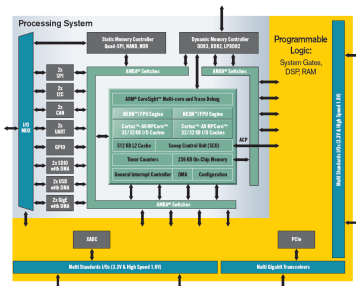
- V některých technologiích zcela nahrazuje vestavěné násobičky
- Zpravidla obsahuje:
 - násobičku $N \times M$ bitů
 - sčítačku/odčítačku K bitů
 - multiplexor
 - interní sběrnici
- Vhodné pro tvorbu DSP aplikací:
 - MAC FIR filtrů
 - paralelních FIR filtrů
 - vícekanálových filtrů
 - filtrů s proměnnou rychlostí
- Technologie Virtex UltraScale:
 - $N=27$, $M=18$, $K=48$
 - 600-2880 DSP bloků



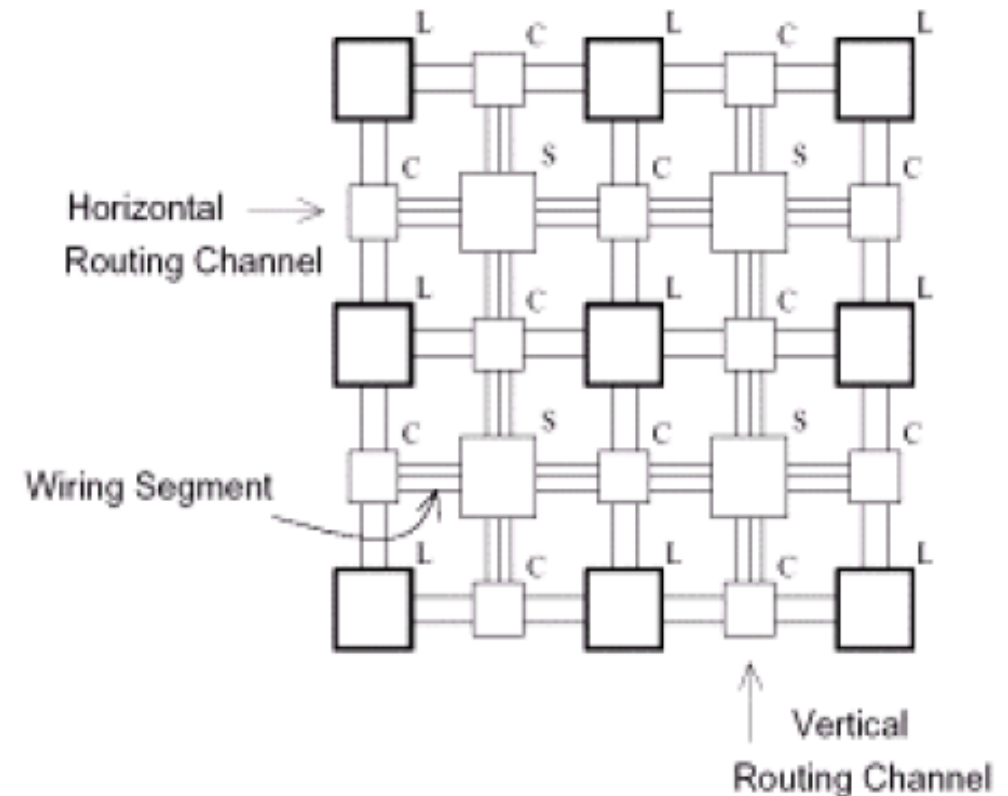
- Vestavěný paměťový blok o velikosti jednotek kB
- Obvykle synchronní čtení i zápis (data jsou dostupná v následujícím hodinovém taktu)
- Jedno-portová i dvou-portová varianta, pro každý port lze dostupný paměťový prostor rozdělit do různých datových šířek
- Příklad (paměť 2kB):
 - 16k x 1 bit 2k x 8 bits
 - 8k x 2 bits 1k x 16 bits
 - 4k x 4 bits 512 x 32 bits



- Vysokorychlostní transceivery s podporou rozhraní
 - PCI Express Endpoint (až do PCI gen.5)
 - Rozhraní Ethernet (od 1 Gb až do 400 Gb)
- Podpora velkokapacitních pamětí
 - DDR DRAM řadiče integrované na čipu
 - HBM (460 GB/s) paměť integrovaná přímo na čipu
- Procesor ARM 1 až 4 jádra A9, A53 nebo A72
- Systém monitoring – čidla pro teplotu a napájení



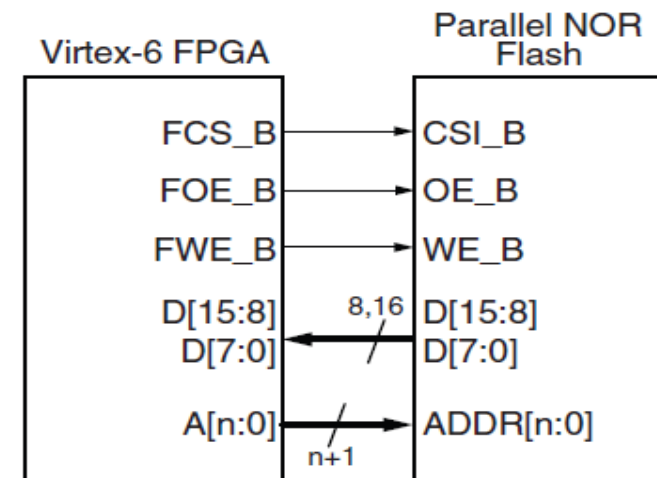
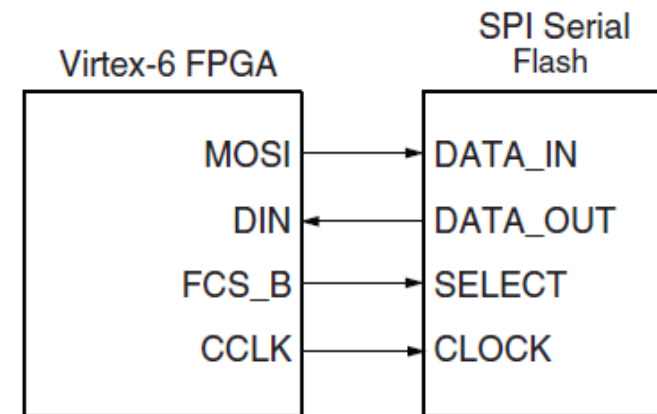
- Propojovací síť je tvořena **horizontálními a vertikálními vodiči**
- CLB bloky jsou na tuto síť připojeny skrze **C-boxy** (Connection)
- V místě průsečíku horizontálních a vertikálních vodičů je umístěn **S-Box** (Switch)
- *"Island Style"* architektura
- Až 80% plochy FPGA tvoří propoje



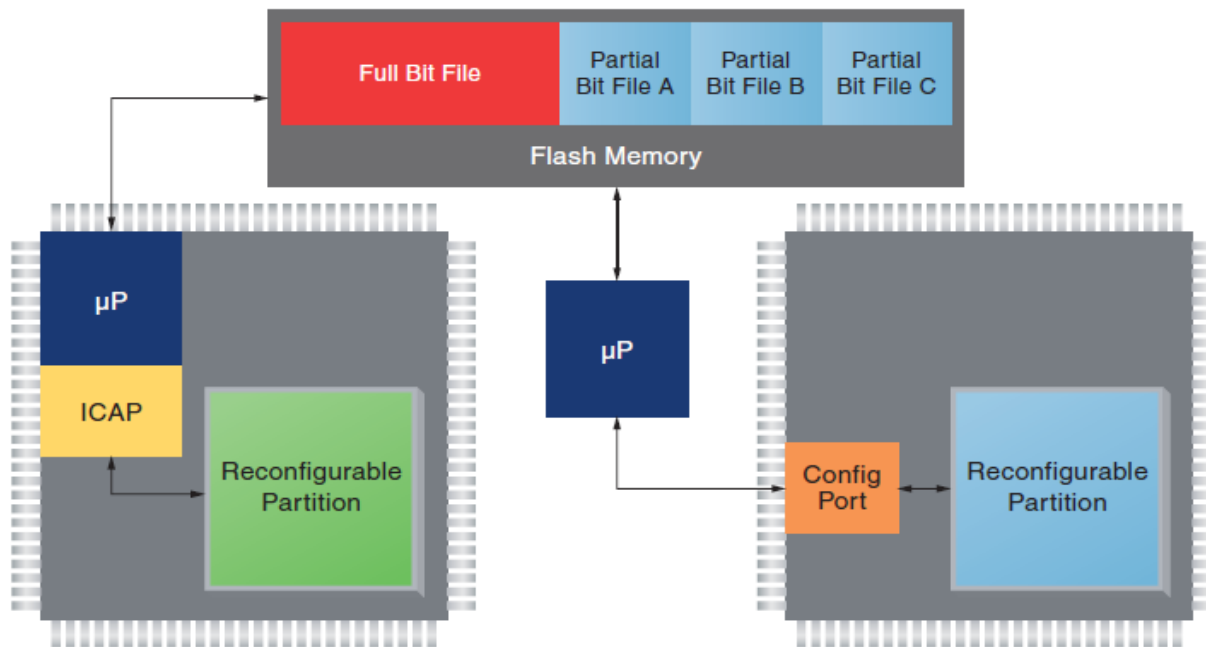
- Každý pin FPGA může být konfigurován jako vstup, výstup nebo obojí
- Jsou podporovány jednotlivé vodiče i diferenciální páry (pouze u dvou sousedních pinů)
- Je podporováno velké množství standardů:
 - LVTTTL, LVCMOS, PCI33, PCI66, PCI-X, GTL, HSTL, STTL, AGP
 - LVDS, LDT, LVPECL
- Podpora DDR1,2,3,4,QDR
- Digitálně řízená impedance (DCI) – redukuje nutnost velkého množství ukončovacích rezistorů na desce
- Technologie:
 - 124 – 784 IOB ve Spartan3
 - 520 – 624 IOB ve Virtex UltraScale

- Konfigurace FPGA zahrnuje nastavení:
 - jednotlivých FG, registrů, carry řetězců, ...
 - BRAM pamětí včetně jejich počátečního obsahu
 - I/O bloků (použitá technologie, režim, připojení)
 - veškerých dalších vestavěných bloků
 - propojovacích prvků C-boxů, S-boxů
- Konfigurace je obvykle na FPGA čipu **uložena v paměti typu SRAM** \Rightarrow po vypnutí napájení se konfigurace ztrácí
- Některé typy konfigurovatelných obvodů (CPLD) používají **paměť typu FLASH** \Rightarrow omezený počet programování

- Režim Master
 - FPGA čip si sám po zapnutí nahraje konfiguraci z externí paměti
- Skrze sériové rozhraní
 - SPI
 - Nevýhodou může být delší doba pro načtení konfigurace
- Skrze paralelní rozhraní
 - BPI, SelectMAP
 - Použité vodiče obvykle nemohou být použity pro jiné účely a zvyšují cenu plošného spoje



- Možnost **rekonfigurovat** za běhu pouze část FPGA čipu
- Řídit lze z venku nebo zevnitř FPGA – přístup pomocí **ICAP** (Internal Configuration Access Port) komponenty.
- **Rekonfigurace** nabízí nové možnosti – rozsáhlé aplikace lze rozdělit na několik částí a vykonávat je postupně, úspora zdrojů, energie.



Děkuji za pozornost