# 计算机的性能指标

* 1. 时钟周期T：是CPU中最小的时间单位，每个动作至少需要一个时钟周期。T=1/f
  2. 主频f：时钟频率，单位为MHz,GHz(每秒的时钟周期数)
  3. 每条指令周期数CPI=执行某段程序所需的CPU时钟数Nc/程序包含的指令条数In
  4. 执行该程序所需的CPU时间t\_CPU=Nc\*T
  5. 平均每秒执行定点指令数(百万)MIPS=In/t\_CPU/10^6
  6. 指令的形式：操作码+地址码
  7. 操作码：指出指令所进行的操作，如加、减、乘、除、取数、存数等
  8. 地址码：表示参加运算的数据应从存储器的哪个单元中取来，或运算结果应该存到哪个单元中去

# 数据格式

* 1. 定点数：1位符号位+n位尾数位。一般用于表示纯整数
  2. 浮点数：1位符号位S+m位阶码E+n位尾数M。尾数域最高有效位为1。E为移码
  3. 浮点数真值x=(-1)^S\*(1.M)\_2\*2^e
  4. 32位浮点数：e=E-127 m=8
  5. 64位浮点数：e=E-1023 m=11
  6. 原码表示法：符号位+二进制数的绝对值
  7. 补码表示法：对于[x]补=x\_nx\_n-1...x1x0
  8. x=-2^nx\_n+Σ(n-1)(i=0)2^ix\_i
  9. 原码转换为补码：正整数原码，反码，补码相等。负整数，反码为保持符号位不变其他取反，补码为反码+1
  10. 移码：通常用于表示浮点数的阶码
  11. 一般，[e]移=2^(长度k-1)+e
  12. 对于IEEE32位浮点数，[e]移=2^(长度k-1)-1+e
  13. 移码第一位代表符号，与原码反码补码相反，0代表负数
  14. 对于0，原码反码有+0-0之分，补码则为00000000
  15. 字符编码：ASCII码，汉字编码
  16. 校验码：最低位为校验位，其余为数据位
  17. 奇数校验码：数据位有奇数个1时，校验位为1
  18. 偶数校验码：数据位有偶数个1时，校验位为1

1. 补码加法：[x]补+[y]补=[x+y]补(mod 2^(n+1)) ps：符号位一起参加运算
2. 补码减法：[x-y]补=[x]补-[y]补=[x]补+[-y]补
3. [-y]补=[y]补全位求反，末位＋1
4. 溢出：双符号位法，正数符号位为00，负数符号位为11，连同符号位相加舍去最高位的进位，若符号位为10，为负溢(结果小于机器所能表示的最小负数)，01为正溢
5. 异或门对两符号位运算，可检测是否溢出。最高符号位代表正确符号
6. 原码乘法：符号位异或，整数位相乘
7. 浮点加减法：
8. 0操作数检查
9. 比较阶码并对阶：小阶＋1，尾数右移(误差小)，重复直到与大阶阶数相同。
10. 尾数求和运算
11. 结果规格化：尾数上溢，则尾数右移1位，阶码加1，称向右规格化。尾数不为1.M时，向左规格化
12. 舍入处理：尾数向右移位时有误差产生，需进行舍入处理。例：所有操作结束后，产生多余位数10010
13. 就近舍入：四舍五入，即多余数第一位为1时，向尾数最低位进1。多余数第一位为0时，直接舍去多余数。
14. 朝0舍入：直接舍去，容易累计误差
15. 朝+∞舍入：对于正数，只要多余位不全为0，则向最低位尾数进1。对于负数，直接舍去。
16. 朝-∞舍入：与朝+∞舍入相反
17. 溢出处理：浮点数的溢出是以其阶码表现出来的
18. 阶码上溢，视为正无穷或负无穷。阶码下溢，视为0。尾数上溢，见④。尾数下溢，进行舍入处理。
19. 存储器：
20. 分类：
21. 随机/顺序存储器，磁盘存储器为半顺序存储器
22. 只读存储器(Read Only Memory, ROM)，随机读写存储器(Random Access Memory，RAM)
23. 易失性存储器(半导体RAM)，非易失性存储器(磁性材料存储器)
24. 分级：
25. CPU不能直接访问外存储器，外存储器的信息必须调入内存储器才能为CPU进行处理
26. 高速缓冲存储器：简称cache，在CPU内，与主存比存取速度快，存储容量小
27. 主存储器：在主板内，能与cache交换数据和指令，由MOS半导体存储器组成
28. 外存储器：在主板外，大容量辅助存储器，目前主要使用磁盘、磁带、光盘存储器
29. 主存储器的技术指标：
30. 字存储单元、字地址、按字寻址的计算机、字节存储单元、字节地址、按字节寻址的计算机
31. 一个机器字可以包含数个字节，所以一个字存储单元也可包含数个能够单独寻址的字节地址
32. 存储容量：KB,KB,GB,TB计算机字长通常为8的倍数
33. 存取时间：一次读操作命令发出到该操作完成，将数据读出到数据总线上所经历的时间。通常读写操作时间等于读操作时间
34. 存储周期：连续启动两次读操作所需间隔的最小时间，通常略大于存取周期，单位为ns
35. 存储器带宽：单位时间里存储器所存取的信息量(位/秒、字节/秒)
36. SRAM存储器：以锁存器(触发器)作为存储元，电源断电会导致数据丢失
37. 三组与外界连通的信号线：
38. n条地址线，表示存储器容量为2^n个存储单元
39. n条数据线，表示存储器字长为n位
40. ③控制线，指定了对存储器进行读还是写。R/!(W) 或!(OE)和!(WE)
41. 逻辑结构：
42. 双译码方式：分别通过行列译码器获得行译码和列译码，以组织更大的存储容量
43. 控制信号：!(CS)为片选信号，有效时(低电平)，门G1G2均打开。！(OE)为读出使能信号，有效时G2开启。!(WE)为写命令，低电平时G1开G2关，写入;高电平时G2开G1关，读取。门G1与G2互锁，保证读写不同时进行
44. 读写周期波形图
45. 读周期，地址线先有效，片选信号和读出使能信号随后同时有效，地址有效后t\_AQ，总线上出现有效数据，两信号恢复高电平，直到地址有效后t\_RC(读周期时间)才允许地址总线发生改变
46. 写周期，地址线先有效，片选信号有效，随后写信号有效，然后在数据总线置入数据，然后撤销写入信号，此时数据仍要保持t\_hD，再撤销片选信号t\_WC为写周期时间，为了方便控制，一般使读写周期时间相等，称为存取周期。
47. DRAM存储器：动态MOS随机读写存储器DRAM的存储容量极大，一般用作主存储器。
48. 存储元由一个MOS晶体管和电容器组成的记忆电路。
49. 通过行列地址锁存器，在不增加地址线数目的情况下，极大地提升了存储单元数
50. 刷新周期：防止存储位元电荷量随时间减少，一般每隔8~16ms要刷新一次
51. 集中式刷新，将所有行集中在一起刷新，将刷新周期分为两部分，一部分正常读写，一部分集中刷新，此时无法读写
52. 分散式刷新，将各行的刷新分散在整个周期中