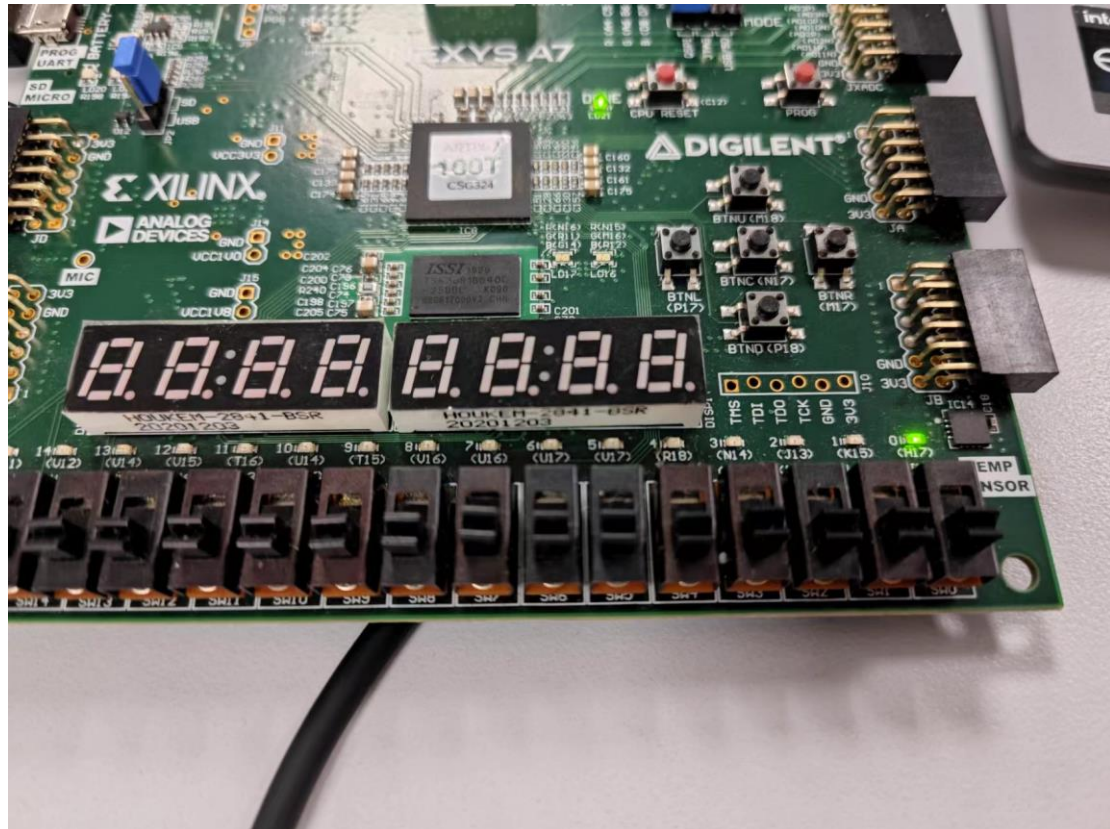


Lab0-2 Report

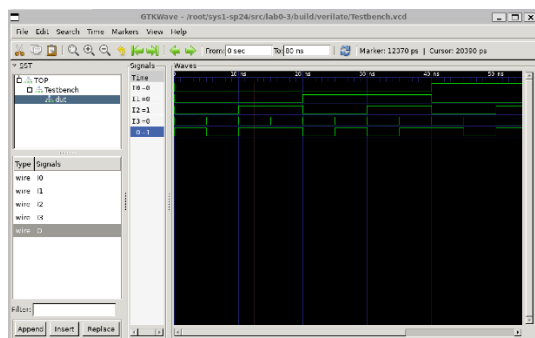
5.1 化简结果为 $O = (AC) + (\sim B \sim D) + (\sim ABD) + (CD)$

上板验证：



验证结果均正确

5.2 verilog 仿真思路：编写了脚本，遍历了所有的输入可能，I0,I1,I2,I3 分别可能为 0 或 1.每组测试样例之间间隔 5ms。在 GTKwave 中选择 I0,I1,I2,I3，即可得到输入输出图



Vivado 仿真思路：将 testbench 模块 set as top 之后软件自动仿真 testbench.v 中的内容

