



Tecnologias dos Computadores (2018/2019)

– Trabalho #9 –

Contadores em Anel

Duração: 1 semana

Objetivo

O contador em anel representa um papel importante em sistemas digitais e, na sua versão mais simples, i.e., sem lógica adicional, é um circuito que permite seguir um conjunto finito de estados pré-definidos (sequências de *bits* conhecidas) nas suas saídas. Uma das inúmeras aplicações deste circuito prende-se com a utilização no controlo de máquinas de estados, como se verificou em aulas práticas anteriores. Neste trabalho irá tomar contacto com este circuito, aprendendo como é que o mesmo se utiliza de um modo prático.

Nota: realize cada fase do trabalho em pastas diferentes.

Introdução

Contadores em anel de 4 bits

Os contadores em anel são estruturas síncronas cuja designação deriva da ligação das suas entradas e saídas em anel. A figura seguinte ilustra uma descrição deste tipo de circuitos digitais baseados em Flip-Flops D, onde é possível verificar o esquemático das ligações em anel. A informação circula das entradas D para as respetivas saídas Q, ao ritmo do sinal de relógio CLK estabelecido. A última saída Q liga à entrada D do primeiro Flip-Flop da cadeia. Através da ativação de um sinal de *set* (entrada S) ou *reset/clear* (entrada R) em cada Flip-Flop, é possível definir diretamente um conjunto inicial de *bits* a '1' ou a '0' nas quatro saídas Q do circuito.

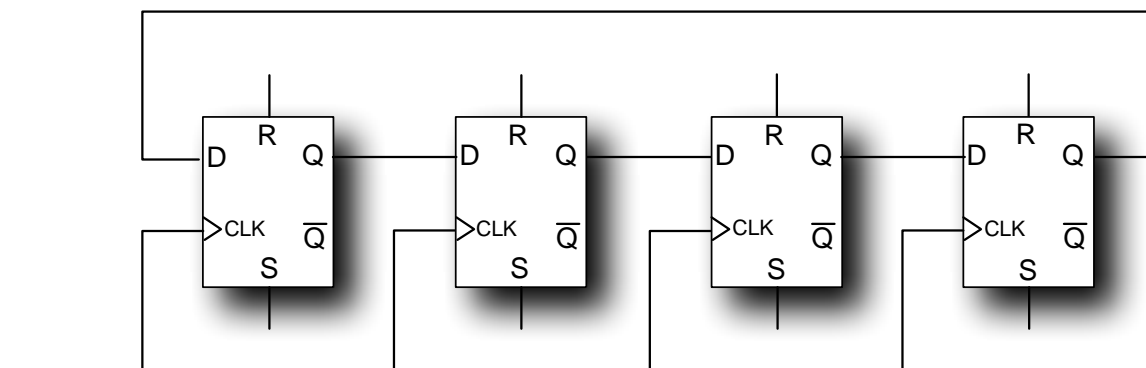


Figura 1 – Circuito contador em anel de 4 bits com Flip-Flops D

Em cada instante, os valores que se encontram em cada saída Q definem uma sequência de 4 *bits* de um conjunto pré-definido de sequências possíveis. Essas saídas podem ser ligadas a outros circuitos para cumprir uma determinada funcionalidade. Um exemplo desse outro tipo de circuitos consistiria, por exemplo, na execução da máquina de estados que controla um microprocessador com quatro estágios de pipeline: fetch, decode, load, execute/store. A figura seguinte ilustra o seu funcionamento:

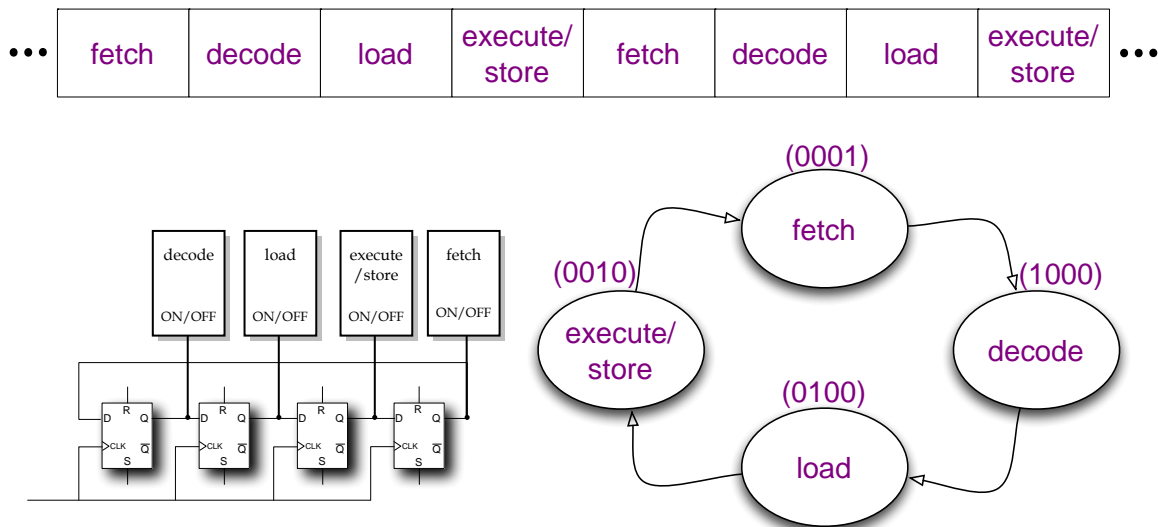


Figura 2 - Máquina de estados de um microprocessador com 4 estágios de pipeline

Conforme se ilustra na Fig. 2, a máquina percorre os 4 estados, que estão associados às diversas fases do processo: leitura, decodificação de instruções, carregamento de dados em registo, execução/armazenamento.

Trabalho

Fase 1 (trab09a) – Flip-Flop D

Como ilustrado na Fig. 1, o componente base de um circuito contador em anel deste tipo é o Flip-Flop D. A figura seguinte mostra a descrição VHDL de uma unidade deste género. Um Flip-Flop D é um componente básico usado em muitos circuitos digitais, sejam eles concebidos usando lógica discreta ou recorrendo a síntese de código VHDL. Uma possível descrição VHDL deste componente eletrónico é apresentada na Fig. 2. A descrição (código) VHDL representa um Flip-Flop D com *reset* assíncrono, ativo a '1'.

```

LIBRARY ieee;
USE      ieee.std_logic_1164.ALL;

ENTITY flipflop IS
    PORT (
        D:          IN      STD_LOGIC;
        RESET:      IN      STD_LOGIC;
        CLK:        IN      STD_LOGIC;
        Q:          OUT     STD_LOGIC;
        NOTQ:       OUT     STD_LOGIC
    );
END flipflop;

ARCHITECTURE arch OF flipflop IS
BEGIN
    PROCESS (CLK, RESET)
    BEGIN
        IF (RESET='1') THEN
            Q <= '0';
            NOTQ <= '1';
        ELSIF (CLK'EVENT AND CLK='1') THEN
            Q <= D;
            NOTQ <= NOT D;
        END IF;
    END PROCESS;
END arch;

```

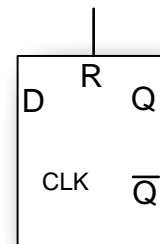


Figura 3 - Descrição de um Flip-Flop D com *reset* em VHDL

Como se pode facilmente observar por inspeção do código VHDL, o sinal de *reset* tem prioridade sobre o resto do circuito. Sempre que estiver ativo (a '1'), coloca instantaneamente a saída $Q=0$ e a saída $/Q=1$. No caso do sinal *reset* não se encontrar ativo, o circuito funciona da forma normal. A cada novo flanco de relógio ascendente, a entrada D é amostrada e armazenada na saída Q (daí dizer-se que o Flip-Flop D permite definir memória).

Implemente em VHDL um Flip-Flop D com *set* e *reset* (*reset* prioritário relativamente ao *set*) e simule o seu funcionamento na ferramenta de desenvolvimento Quartus II.

Fase 2 (trab09b) – Contadores em anel *twisted* de 4 bits

O circuito indicado na figura seguinte representa um contador em anel *twisted* e permite definir uma máquina de estados diferente da anterior, ou seja, a sequência de 4 bits presente nas saídas dos Flip-Flops é diferente, o que significa que este circuito apresenta como resultado final uma máquina de estados alternativa que possui, inclusive, um número de estados diferente. Note que há uma **diferença fundamental** relativamente ao circuito anterior: a saída do último Flip-Flop utilizada para ligar à entrada do primeiro Flip-Flop, **é a saída negada $/Q$** , e não a saída Q como acontecia no circuito anterior.

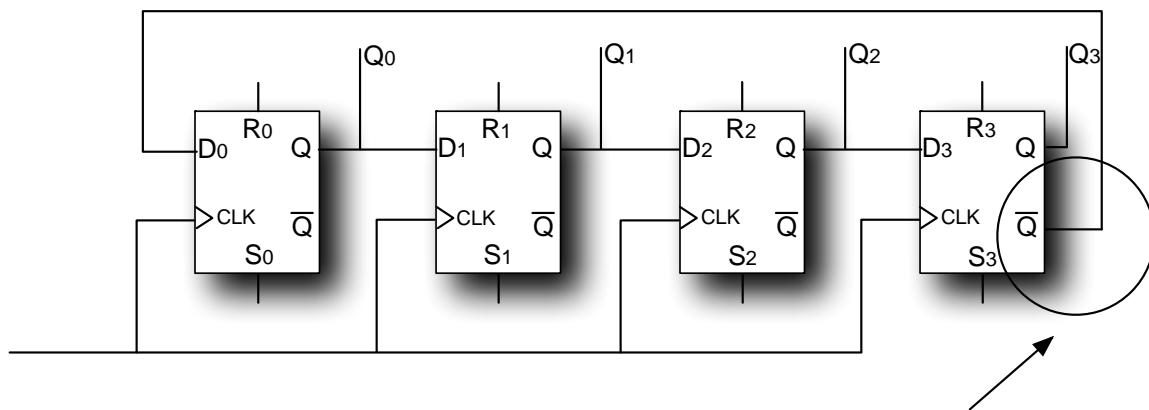


Figura 4 – Circuito contador em anel *twisted* de 4 bits

Desenvolva o circuito contador em anel *twisted* de 4 bits descrito na Fig. 4 utilizando para o efeito os Flip-Flops D desenvolvidos em VHDL no ponto anterior. Para tal, e uma vez que terá de verificar e demonstrar o seu correto funcionamento ao docente, deverá ligar as entradas de *reset* R0, R1, R2 e R3 dos 4 Flip-Flops D a um dos 18 *dip switches* (neste caso, deverá utilizar apenas um *dip switch* comum a todos os sinais de *reset*) disponíveis na placa DE2. Cada entrada de *set* S1, S2, S3 e S4 deverá ser ligada individualmente ao respectivo *dip switch* (neste caso, deverá usar quatro *dip switches*). Deverá ainda ligar cada uma das saídas Q0, Q1, Q2 e Q3 ao respetivo *led* do kit DE2, de modo a permitir a correta visualização da evolução da máquina de estados. Utilize um sinal de relógio CLK comum a todos os Flip-Flops com frequência de 1Hz. Parta de uma sequência inicial "0010", fazendo para o efeito um *reset* geral, seguido de um *set* à saída Q2 do respetivo Flip-Flop D.

Para mostrar uma correta percepção do trabalho realizado, cada grupo terá de demonstrar que compreende todas as diferentes sequências de bits geradas nas saídas Q do circuito, ou seja, deverá elaborar a tabela de transição de estados.

Nota: para realizar os circuitos exigidos nesta ficha deverá utilizar os Flip-Flops D com entrada de sinal reset e também com entrada de set desenvolvidos no ponto anterior.

Fase 3 (trab09c) – Contadores em anel *twisted* de 3 bits com autocorretor

Nota: neste caso concreto, e para efeitos de simplificação da lógica autocorretora, utiliza-se um contador em anel de apenas 3 bits.

Em algumas situações é possível que o sistema se inicie com uma sequência de estados da qual ele não consegue recuperar (oscilará sempre entre um conjunto de estados não desejado e limitado). No caso presente (contador em anel *twisted* de 3 bits), poderá verificar que há 2 estados (sequências de 3 bits) que nunca ocorrem: **010** e **101**. Dito de outra forma, se por algum imprevisto, um desses estados ocorrer, o circuito comutará eternamente apenas entre esses 2 estados, subvertendo o seu princípio de funcionamento original. Para evitar esta situação, é possível recorrer a lógica adicional que nos permita sair de forma automática desta situação, no caso eventual de ela ocorrer. A figura seguinte mostra um possível acrescento ao circuito (outros seriam possíveis, mas não se deseja aprofundar esta questão no âmbito deste trabalho) para o caso mais simples de um contador em anel *twisted* de 3 bits, que permite recuperar de forma automática da ocorrência de uma sequência de 3 bits indesejada (**010** ou **101**) nas saídas Q dos Flip-Flops, para outra sequência dentro do grupo de sequências pretendidas (**quais são?**). Tal significa que este circuito apresenta como resultado final uma máquina de estados com capacidade autocorretora de sequências erradas.

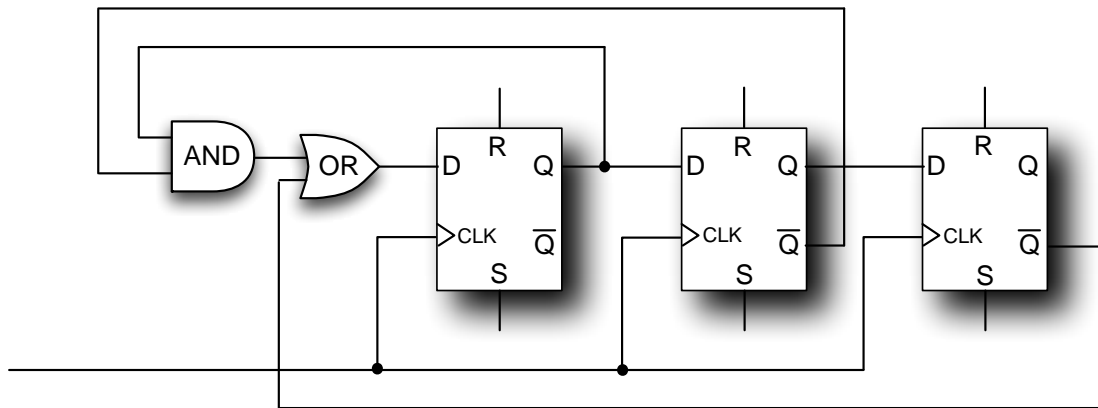


Figura 5 – Circuito contador em anel *twisted* de 3 bits com autocorreção

Nesta fase do trabalho deverá ser capaz de implementar o circuito autocorretor da Fig. 5, utilizando para o efeito apenas 3 Flip-Flops D do tipo implementado anteriormente em VHDL na fase 1 desta ficha (trab09a).

Além de ser capaz de identificar os estados desejados, cada grupo deverá ser igualmente capaz de demonstrar as diferentes transições de sequências de bits indesejadas (estados), conceber a tabela de transição de estados e demonstrar que o circuito implementado recupera sempre de estados indesejados.

Antes de dar o trabalho por concluído ou de sair da aula, chame o docente e apresente o resultado das várias tarefas que realizou neste trabalho.

Tarefas		
1	Projeto VHDL do Flip-Flop D	<input type="checkbox"/>
2	Implementação e teste do circuito contador em anel <i>twisted</i> de 4 Flip-Flops D com visualização do resultado em 4 leds do kit DE2	<input type="checkbox"/>
3	Conceção do respectivo diagrama de transição de estados	<input type="checkbox"/>
4	Projeto do circuito com correção automática de erros baseado na versão <i>twisted</i> com 3 Flip-Flops D	<input type="checkbox"/>
5	Implementação e teste do circuito modificado final	<input type="checkbox"/>
6	Conceção do respetivo diagrama de transição de estados e demonstração de que a recuperação a partir de um estado indesejado é efectiva	<input type="checkbox"/>
7	O que aconteceria se o sinal de relógio CLK mudasse para $f=100\text{Hz}$?	<input type="checkbox"/>