

PROGRAMMIEREN I + II

MCS4 Überblick

DUALE HOCHSCHULE BADEN-WÜRTTEMBERG

Ravensburg Campus Friedrichshafen

www.dhbw.de

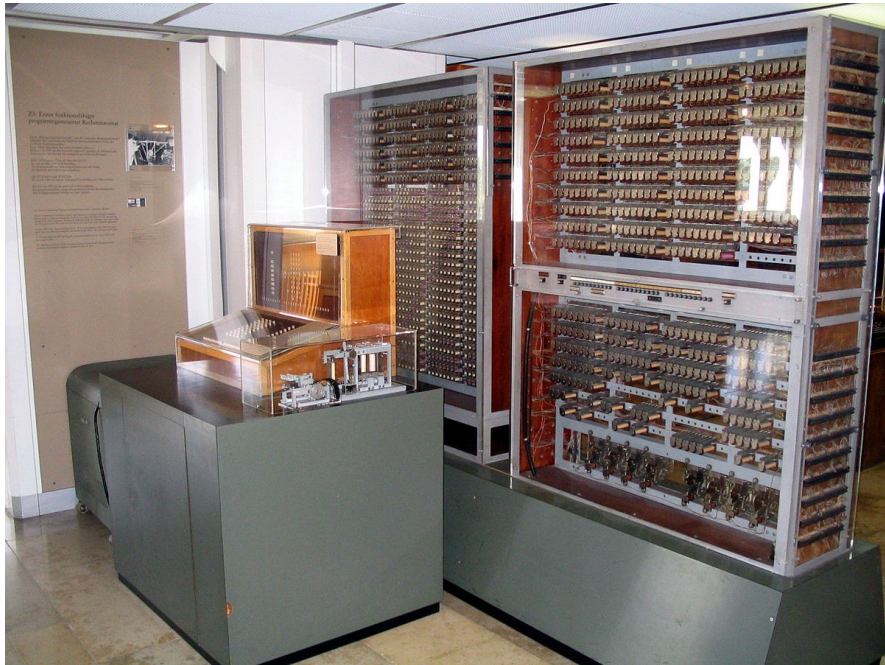
www.ravensburg.dhbw.de

Agenda

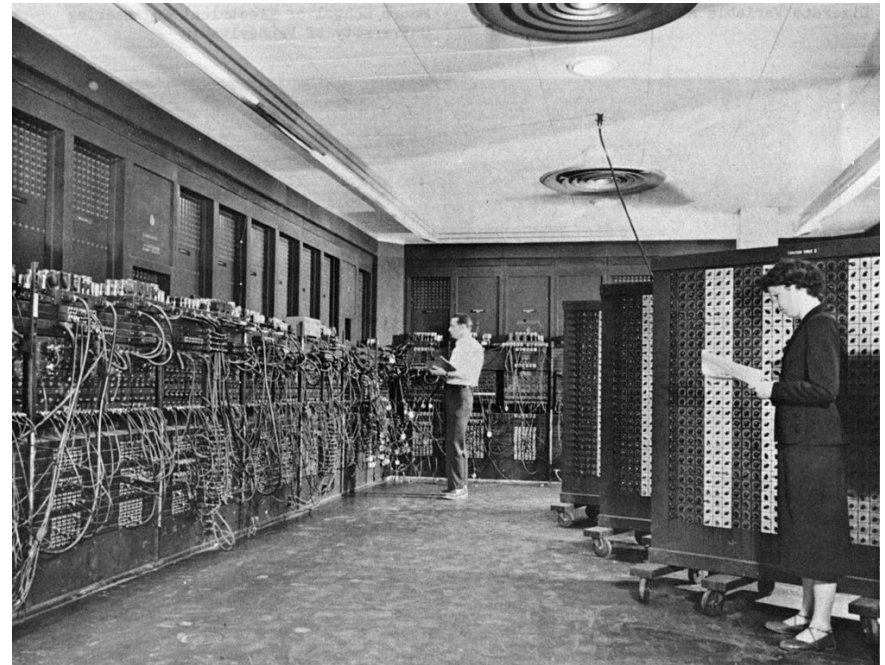
- Was herrschte vor
- Was ist das MCS4 System
- Blockschaltbild
- Programmiersprachen

WAS HERRSCHTE VOR

Erste Großcomputer Z3 / ENIAC



Zuse 3 Relais Rechner (1936)



ENIAC Röhrenrechner (1941)

SAGE Luftaufklärung



- 55.000 Röhren
- 275t Gewicht
- 2000m² Aufstellfläche
- 3MW Leistungsaufnahme
- Echtzeitfähig
- Komplexe Mensch-Computer-Schnittstelle
- Betriebskosten bis 1983 8,0Mrd\$ (Nicht kaufkraftbereinigt)

WAS IST DAS MCS4 SYSTEM

Entstehung

Intel war ein Startup das Ende der 60er Jahre als Speicherproduzent in Kalifornien entstand.

Der Intel 4004 entstand 1969 als Idee in einer Besprechung mit der Firma Busicom für ein Tischrechner. Anstatt alles diskret aufzubauen sollte ein integrierter Chip die Aufgabe übernehmen die Tastatur ein zu lesen, den Wert auszurechnen, an zu zeigen und auf Papier aus zu drucken.

Intel war nicht die erste Firma die an so einem integrierten Chip arbeitete, wahrscheinlich war Texas Instruments schon weiter. Jedoch schaffte es Intel seinen Chip früher vor zu stellen.

In 1971 wurde der Chip der Öffentlichkeit vorgestellt, die Rechte lagen aber bei der Firma Busicom. Später kaufte Intel die Rechte für 60.000\$ wieder von der Firma Busicom zurück.

Kommerziell war die Rechenmaschine kein Erfolg. Aber schon in kurzer Zeit waren die Ampelanlagen in der USA mit diesem Chipsystem ausgestattet.

1971 kostete ein Intel 4004 ab Werk um die 200\$ (VW Käfer in der Basisausstattung 1850\$)

1981 war dann Produktionsende.

Tischrechner mit Intel 4004 Prozessor



Bausteine des MCS4 System

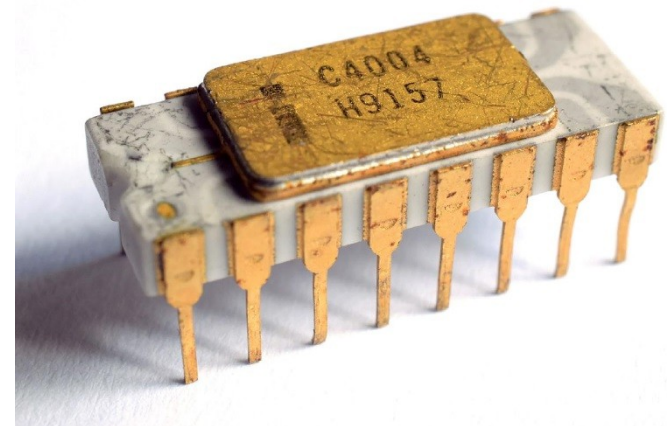
I4001 – ROM 256Byte + 4O-Ports

I4002 – RAM 80*4Bit + 4 I/O-Ports

I4003 – Schieberegister

I4004 – Prozessor

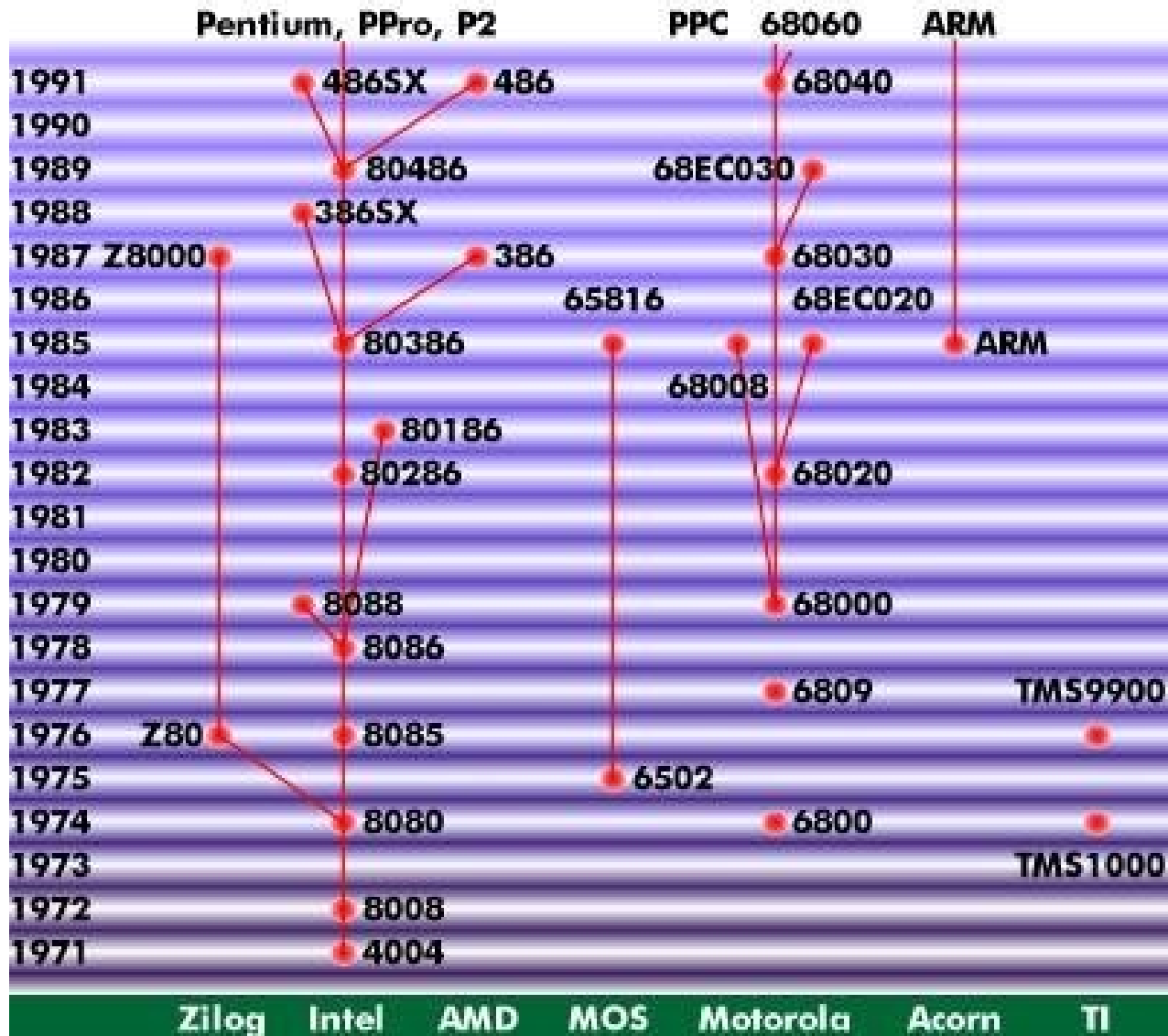
Es gibt noch diverse
Anbindungsbausteine die Fremd
Komponenten anbinden können.





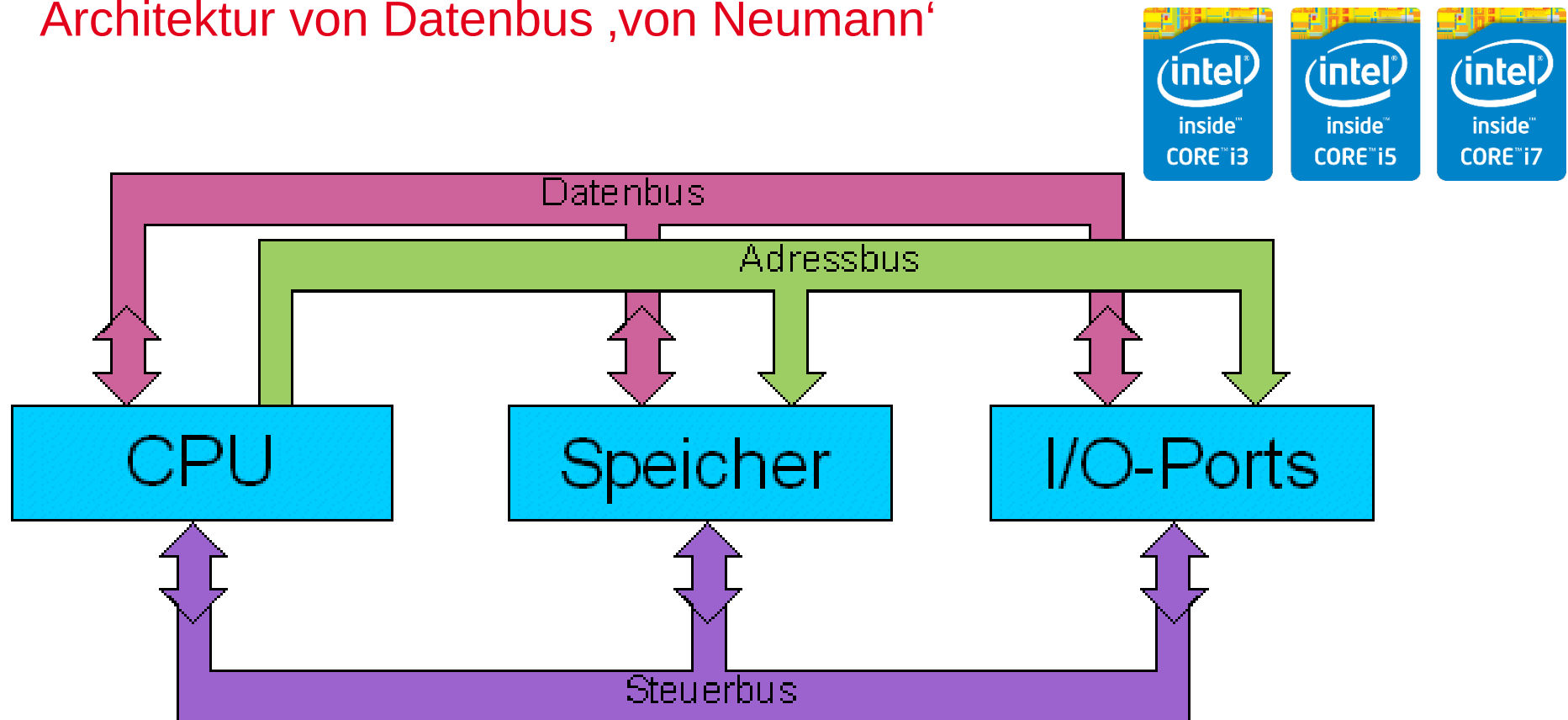
4004 SINGLE CHIP 4-BIT P-CHANNEL MICROPROCESSOR

- **4-Bit Parallel CPU With 46 Instructions**
- **Instruction Set Includes Conditional Branching, Jump to Subroutine and Indirect Fetching**
- **Binary and Decimal Arithmetic Modes**
- **10.8 Microsecond Instruction Cycle**
- **CPU Directly Compatible With MCS-40 ROMs and RAMs**
- **Easy Expansion — One CPU can Directly Drive up to 32,768 Bits of ROM and up to 5120 Bits of RAM**
- **Standard Operating Temperature Range of 0° to 70° C**
- **Also Available With -40° to +85° C Operating Range**

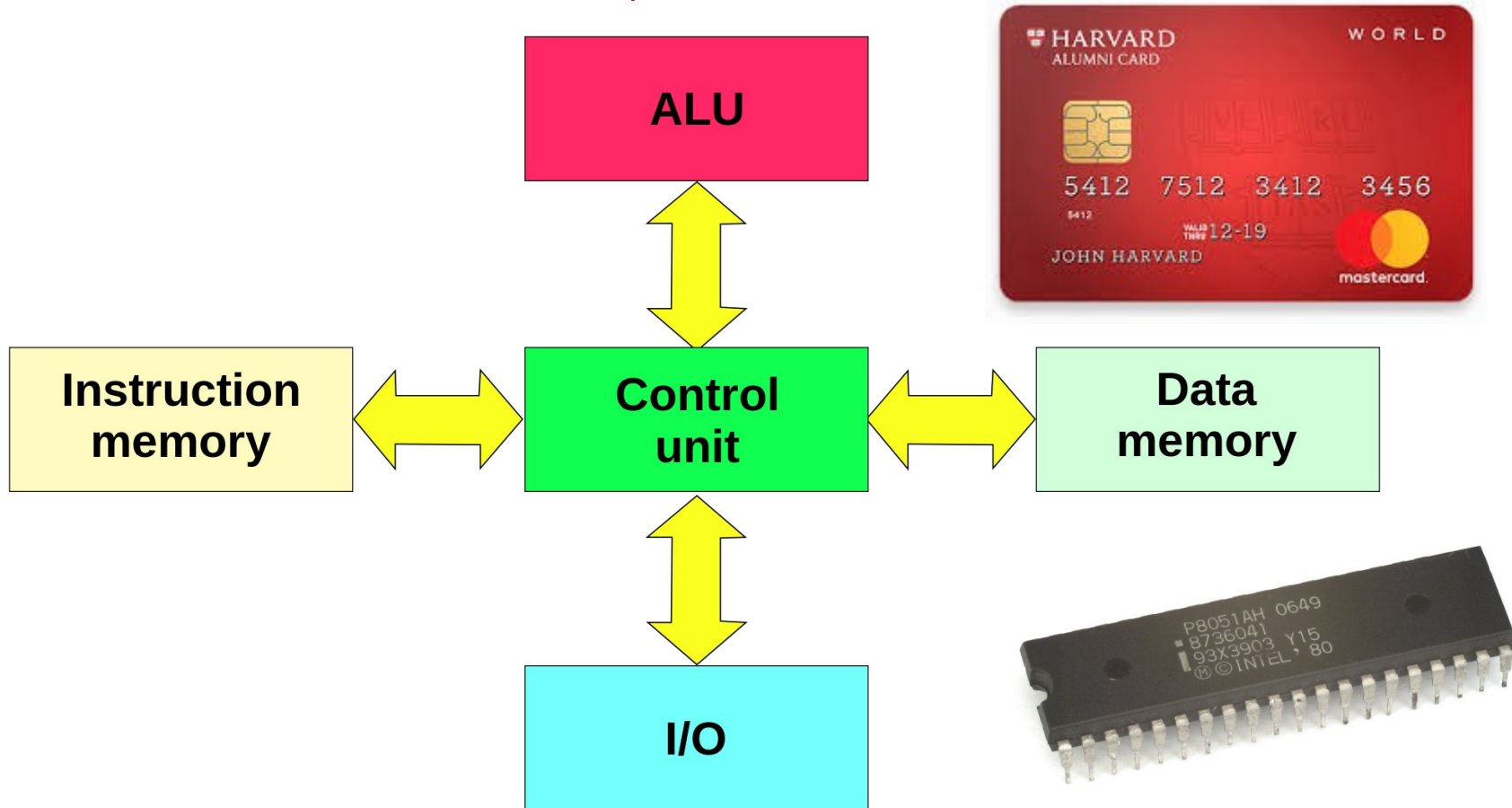


BLOCKSCHALTBIID

Architektur von Datenbus ‚von Neumann‘

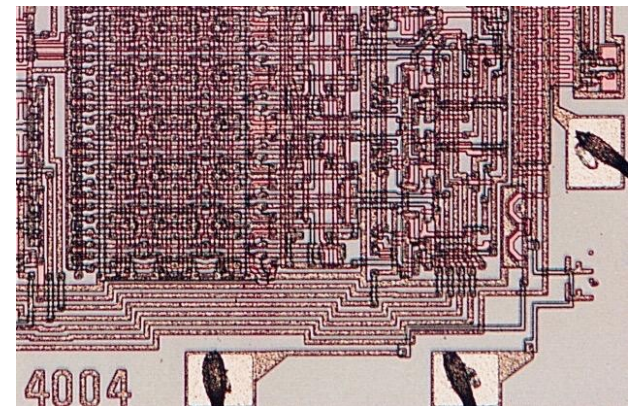
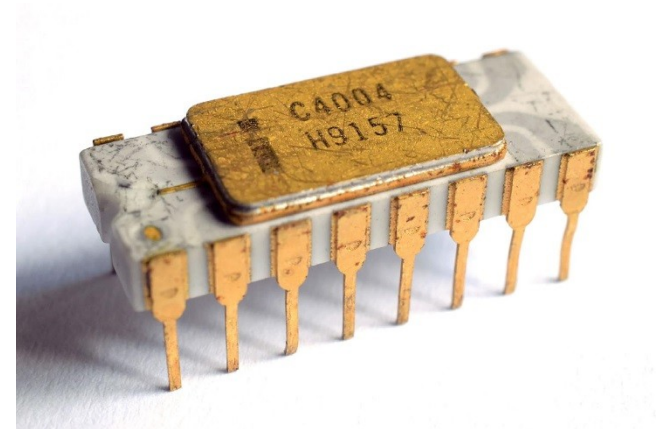
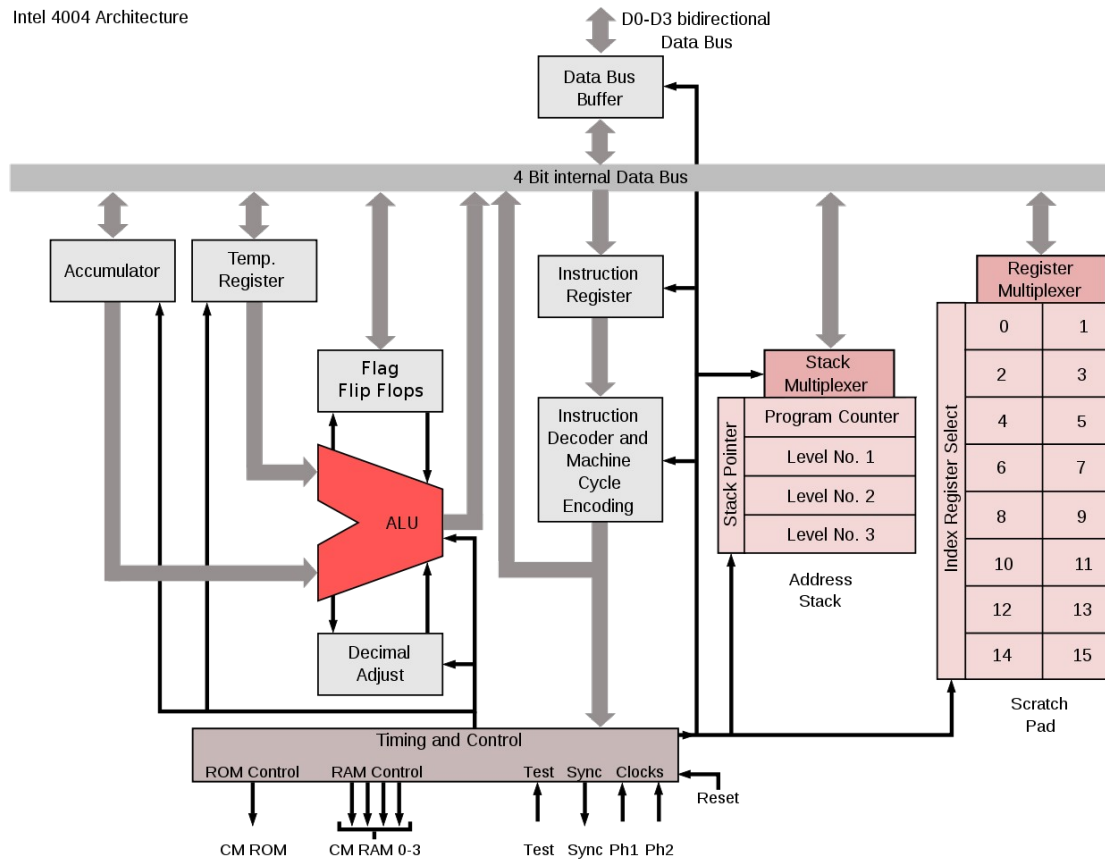


Architektur von Datenbus ‚Harvard‘

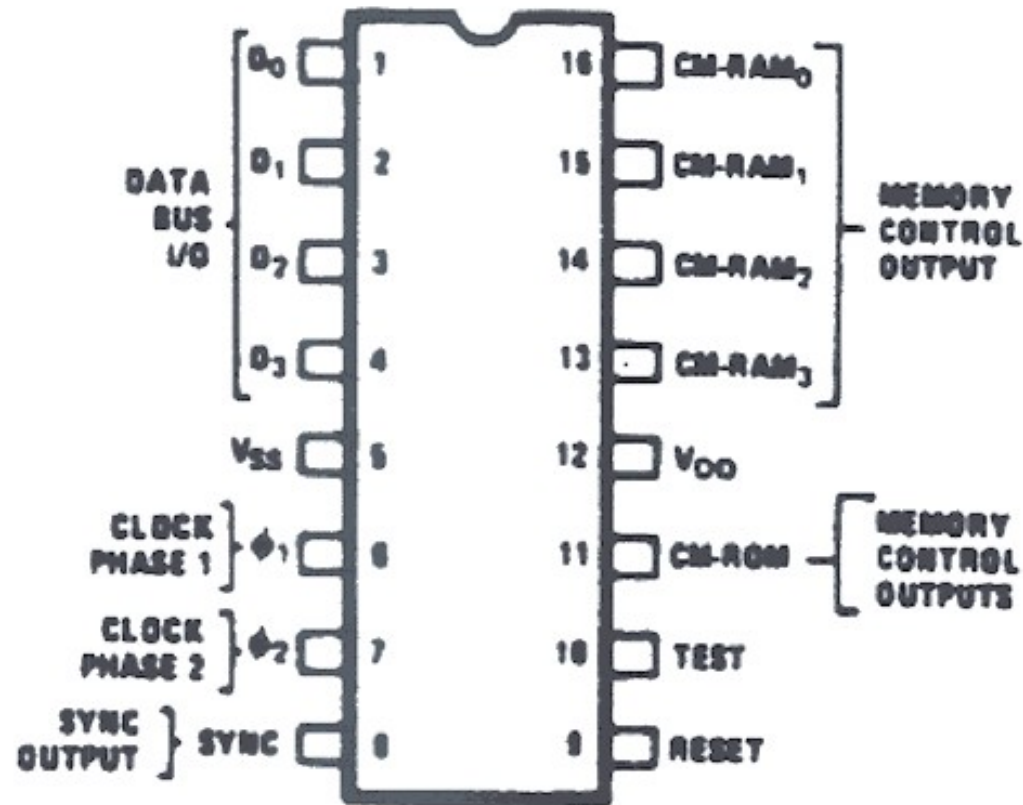


Architektur am Bsp. Intel 4004 (1971), Harvard Architektur

Intel 4004 Architecture



Anschlüsse am Intel 4004



JUMP Instruction			Address Transfer Instruction		
JUN	A1A2A3	Jump Direct	SRC	PRn	Send Address Pointer PRn to RAM & ROM
JCN	CC A1A2	Jump Conditional	DCL		Designate Command Line
JIN	PRn	Jump Indirect			Acc → Command Register ; RAM select
ISZ	Rn,A1A2	Increment Rn and Jump if not Zero	Arithmetic & Login Instruction		
JMS	A1A2A3	Jump to Subroutine	ADD	Rn	Add Rn to Accumulator with Carry
BBL	d	Return from Subroutine & d → Acc	ADM		Add RAM Character Acc. with Carry
Data Transfer Instruction			SUB	Rn	Subtract Rn from Acc. with Borrow
LD	Rn	Load Rn to Acc.	SBM		Subtract RAM Character from Acc. with Borrow
XCD	Rn	Exchange Rn and Acc.	INC	Rn	Increment Rn
STO	Rn	Store Acc to Rn	IAC		Increment Acc.
LDM	d	Load Immediation to Acc	DAC		Decrement Acc.
FIM	PRn, dd	Load Immediation to PRn	RAR		Rotate Right Acc. with Carry
FIN	PRn	Fetch Immediate from [PRo] to PRn	RAL		Rotate Left Acc. with Carry
RDM		Read RAM Character to Acc	SHR		Shift Right Acc.
RD[0:3]		Read RAM Status[0:3] to Acc.	SHL		Shift Left Acc.
RDSGN		Read RAM Reg.Sign to Acc.	CLA		Clear Acc.
RDDP		Read RAM Reg.DP to Acc.	CLB		Clear Both Acc. and Carry
RDR		Read ROM Input Port to Acc.	CMA		Complement Acc.
WRM		Write Acc. to RAM Character	STC		Set Carry
WR[0:3]		Write Acc. to RAM Status[0:3]	CLC		Clear Carry
WRSGN		Write Acc. to RAM Reg.Sign	CMC		Complement Carry
WRDP		Write Acc. to RAM Reg.DP	TCC		Transmit Carry to Acc. then Clear Carry
WRR		Write Acc. to ROM Output Port	DAA		Decimal Adjustment for Add
WMP		Write Acc. to ROM Output Port	TCS		Subtract Carry from Acc.
CLDR		Clear All of RAM and RAM Reg.	KBP		Keyboard Process for Code Conversion
DSPON		Display Output is Enabled	NOP		No Operation
DSPOFF		Display Output is Disabled	HLT	n	HALT for External Signals
RDKB		Read Input Data on Keyboard Port			

PROGRAMMIERSPRACHEN

Maschinensprache

Eigentlich wurde der Intel 4004 in Maschinensprache programmiert. Im Laufe der Zeit kam aber noch mehrere (Macro) Assembler hinzu. Bevorzugt sollte der Intel 4004 mit dem Macroassembler programmiert werden.

Beispiel eines Assemblerprogramm

```
; jmp_inc.asm
; increase in an endless loop
FIM R0R1, 0 ; initialize
loop:
INC R0 ; increase Register 0
JUN loop ; next iteration
```

Es ist unbekannt ob es auch eine Hochsprache für das MCS4 System gibt.

Online Assembler und Debugger System

Es steht im Internet ein sehr umfangreicher Emulator, Assembler und Diassembler zur Verfügung.

http://e4004.szyc.org/index_en.html

Alle Funktionalitäten können online ohne Installation ausgeführt werden.

Intel 4004 Microprocessorpolish

INTEL CORPORATION

```
--#--#--#--#--#--#--#--#--#--
|      #      ##      ##      #      | MCS-4
--  ##  #  #  #  #  #  ##  | MICRO COMPUTER SET
|  #  #  #  #  #  #  #  #  | ASSEMBLER  DISASSEMBLER
-- #### #  #  #  #  #  #### | EMULATOR
|      #      ##      ##      #      |
|      #      ##      ##      #      |
--#--#--#--#--#--#--#--#--#--
```

- * 4-Bit Parallel CPU With 46 Instructions
- * Instruction Set Includes Conditional Branching, Jumps to Subroutine and Indirect Fetching
- * 10.8 Microsecond Instruction Cycle
- * CPU Directly Compatible With MCS-40 ROMs and RAMs
- * Easy Expansion - One CPU can Directly Drive up to 32,768 Bits of ROM and up to 5120 Bits of RAM

© Maciej Szyc 2007, e4004(at)szyc.org

EmulatorDisassemblerAssembler