

# TSN 网卡使用手册

## （版本 1.0）

OpenTSN 开源项目组

2021 年 4 月

## 版本历史

版本	修订时间	修订内容	文件标识
1.0	2021.4	初版编制	OpenTSN3.0

## 目录

1、概述 .....	4
2、板卡的说明.....	4
3、搭建硬件工程 .....	5
3.1、代码下载.....	5
3.2、IP 核定制 .....	5
3.3、工程编译.....	5
4、逻辑下载到 FPGA.....	6
5、工程上板调试 .....	7

## 1、概述

本文档为时间敏感网络（下文简称 TSN）硬件的使用手册，介绍了 TSN 网卡板卡和工程编译的操作步骤。

TSN 网卡包含 4 个千兆以太网接口，能对端系统时间敏感分组的注入和提交时间进行精确控制。

## 2、板卡的说明

如下图 2-1 所示，是 TSN 网卡板卡，其对外接口在图中有相应的标注及表格内有说明。



图 2-1 板卡示图

上图中标号 0-3 的接口详细说明如表 2-1。

表 2-1 TSE 总体架构顶层信号定义

编号	接口说明
0	0 号千兆以太网接口，暂未用到

1	1 号千兆以太网接口，与交换机连接
2	2 号千兆以太网接口，暂未用到
3	3 号千兆以太网接口，与主机连接

### 3、搭建硬件工程

#### 3.1、代码下载

TSN 网卡硬件代码下载网址为 `OpenTSN3.0-centralized\Hardware\code\TSNNIC3.0`。

#### 3.2、IP 核定制

用户需自己在 Inter Quartus 中生成硬件工程所需的 IP 核（包括锁相环、RAM、FIFO 等），并将生成的 IP 核文件夹及其 qsys 文件放置在 `OpenTSN3.0-centralized\Hardware\project_demo\TSNNIC3.0_FPGA_2port\ipcore` 目录下，每个 IP 核的各参数设置详见 `OpenTSN3.0-centralized\Hardware\project_demo\TSNNIC3.0_FPGA_2port\ipcore/readme.txt`。

#### 3.3、工程编译

用户在 `OpenTSN3.0-centralized\Hardware\project_demo\TSNNIC3.0_FPGA_2port\script file\Makefile` 目录下执行 `make`，然后工程开始综合、布局布线、生成 `sof` 文件、静态时序分析等；在界面出现 `compile finish` 时，说明工程编译完成，在 `OpenTSN3.0-`

centrilized\Hardware\project\_demo\TSNNIC3.0\_FPGA\_2port/output\_files 目录下生成 sof 文件。

## 4、逻辑下载到 FPGA

TSN 网卡逻辑下载到 FPGA 的具体操作步骤如下：

- 1) 用下载线将编译工程的电脑连接图 2-1 的硬件开发板。
- 2) 打开 Inter Quartus, 点 tools->programmer->addfiles, 添加编译完成的 TSN\_FPGA\_4port.sof 文件/TSN\_FPGA\_4port.jic (如果需要固化程序, 需先将 sof 文件转换成 jic 文件)。如下图 4-1 所示。

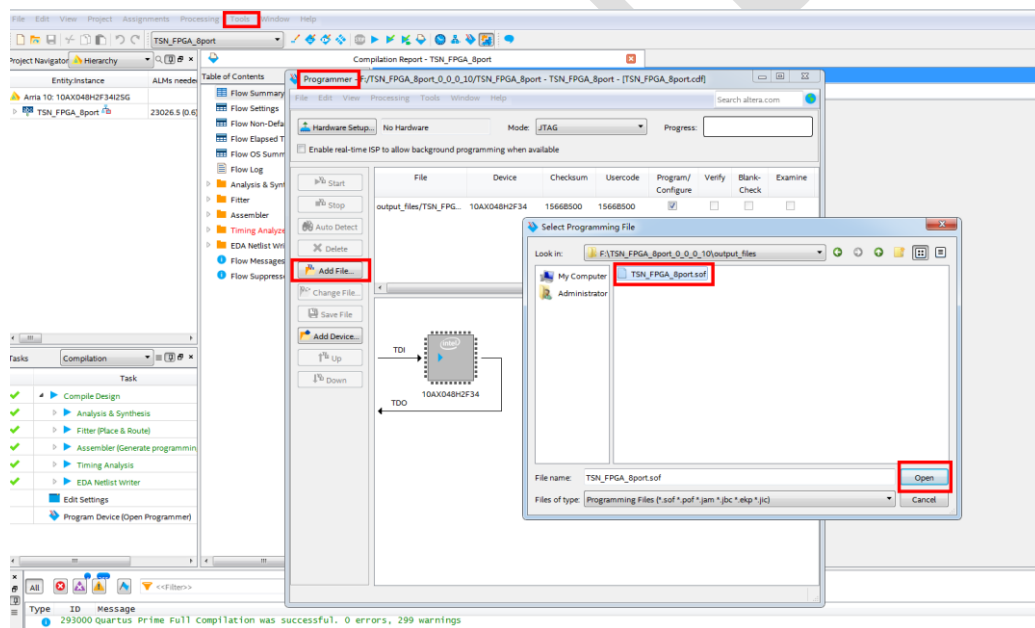


图 4-1 添加 .sof/jic 文件

- 3) 选择下载线的 USB 串口, 并选择 JTAG 模式下载, 点击 start 开始将 TSN 逻辑下载到 FPGA。如下图 4-2 所示。

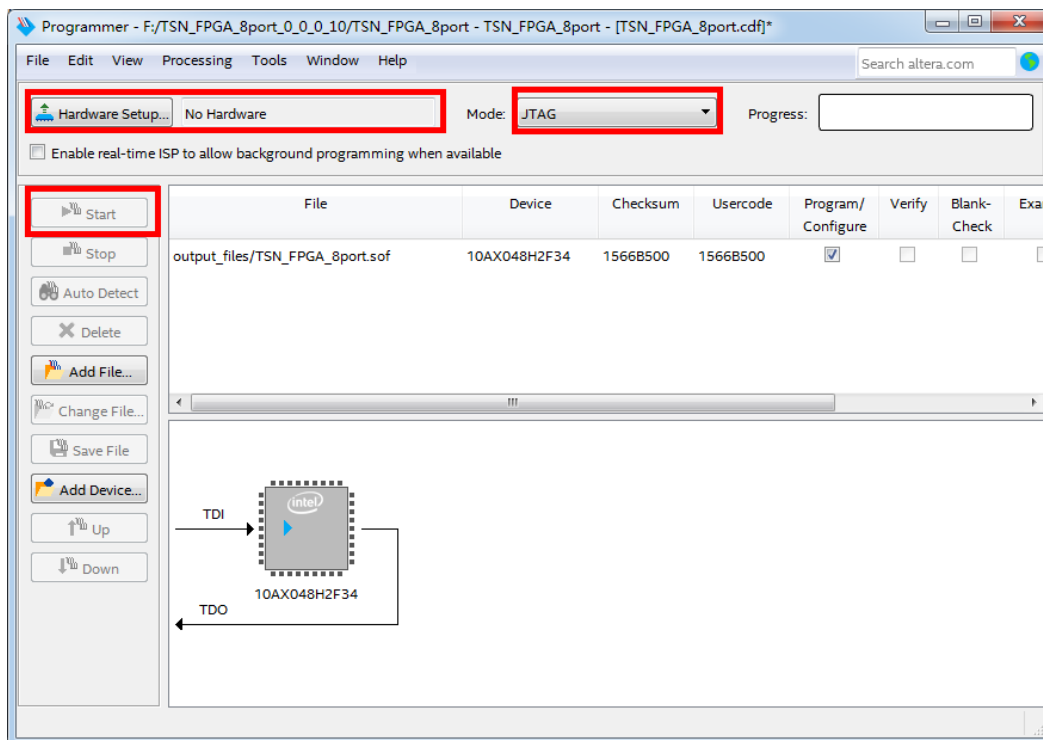


图 4-2 下载 TSN 硬件逻辑

## 5、工程上板调试

上板调试的大致操作步骤如下：

- 1) 点击 tools→signal tap logic analyzer，在触发信号栏，选择需要调试的信号，设置触发参数。如下图 5-3 所示。

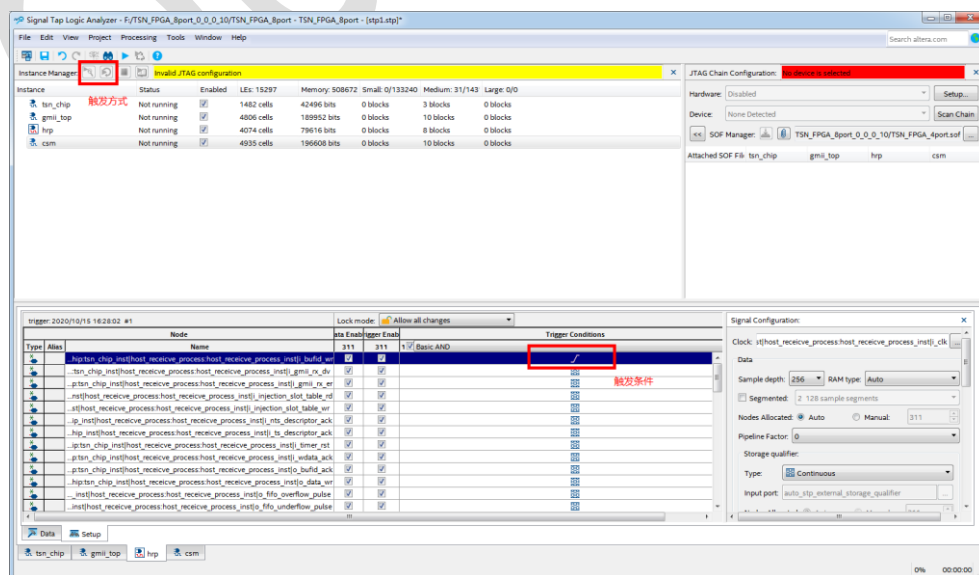


图 5-3 设置触发参数

- 1) 选择单步触发或连续触发，可以看到调试信号的具体数据。如下图所示。

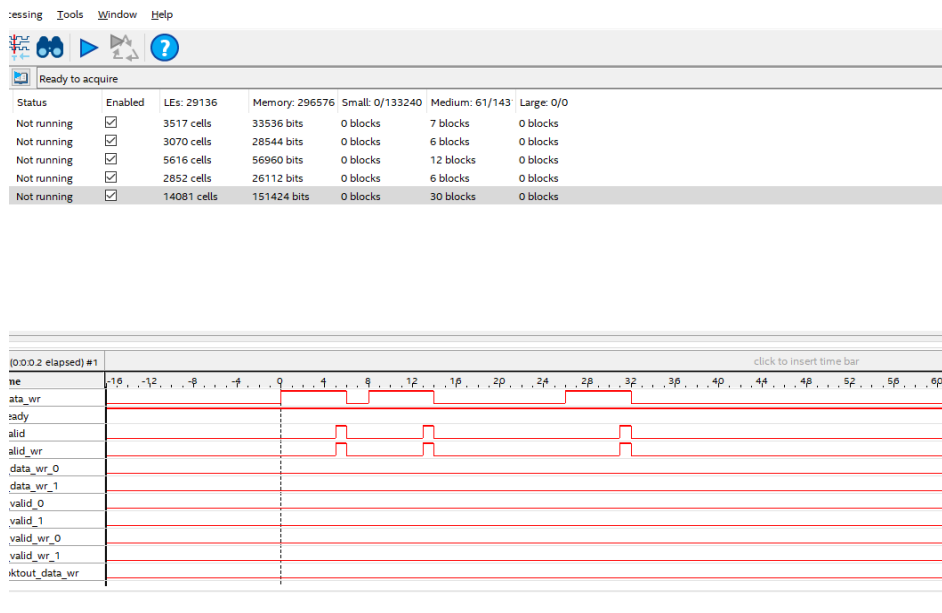


图 5-4 调试信号的具体数据