**微算機系統**

實驗三

組別： 14

班級、姓名與學號：四資二　洪晟毅　104590048

　　　　　　　　　四資二　梁皓鈞　104360098

日期： 2016.11.14

1. 實驗內容：

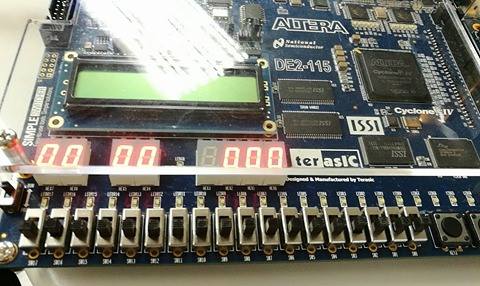
以前兩次實驗的成果作為基礎，透過層遞式設計的以及元件的概念，把實驗一的7-segment 實驗以及實驗二的Full-Adder 實驗包裝成Component 並且使用在這一次的BCD加法器中。

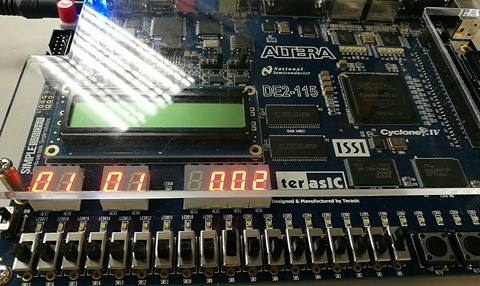
1. 實驗過程及結果：

由於梁皓鈞對於Logic Gate 的概念雖有但欠缺熟悉程度。因此這次實驗的程式碼編寫上主要由洪晟毅作主導，帶領著梁皓鈞去理解Logic Gate 在這次實驗的用法，示範一次之後交給梁皓鈞嘗試去做其他部份例如包裝Component。

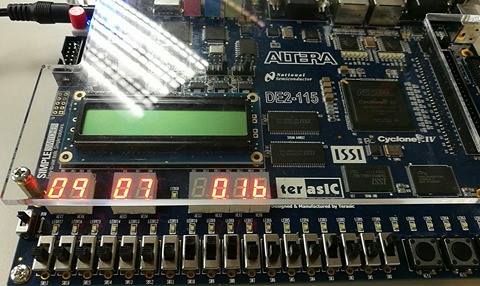
以下的圖片我們直接以加分題的項目進行示範

註 : ENABLE控制做加法還是減法，0就是做加法，1就是做減法

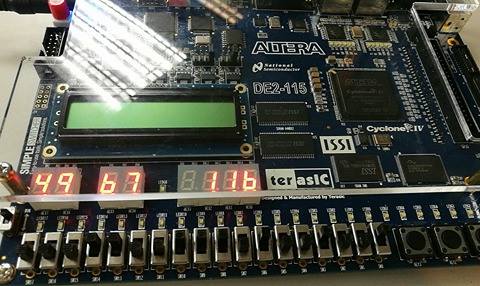
* 1. 輸入X=000000002，Y=000000002，ENABLE=0，可以正確得到BCDS=0000000000002
  2. 輸入X=000000012，Y=000000012，ENABLE=0，可以正確得到BCDS=0000000000102(2)



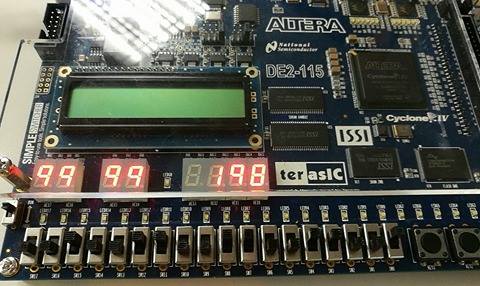
* 1. 輸入X=000010012，Y=000001112，ENABLE=0，可以正確得到BCDS=0000000101102(16)



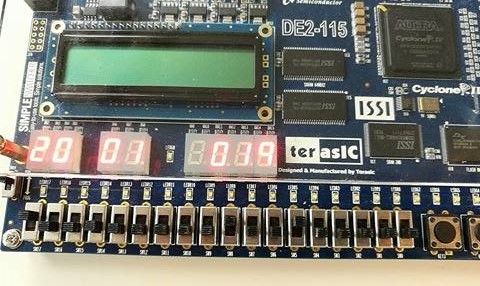
* 1. 輸入X=010010012，Y=011001112，ENABLE=0，可以正確得到BCDS=0001000101102(116)



* 1. 輸入X=100110012，Y=100110012，ENABLE=0，可以正確得到BCDS=0001100110002(198) 為最大加法限度



* 1. 輸入X=001000002，Y=000000012，ENABLE=1，可以正確得到BCDS=0000000110012(19)



* 1. 輸入X=011000002，Y=00100001，ENABLE=1，可以正確得到BCDS=000000111001(39)



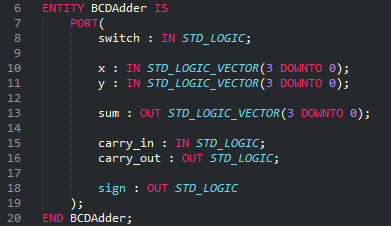
* 1. 輸入X=00001001，Y=00001000，ENABLE=1，可以正確得到BCDS=000000000001(1)



程式碼解釋 :

7-Segment、FullAdder、FourBitsAdder在之前的Project都已解釋過，故在此僅解釋BCDAdder及主電路的部分。

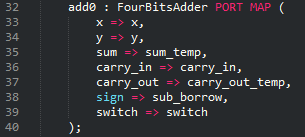
BCDAdder：



BCDAdder的Entity設計共有以下幾個Ports：

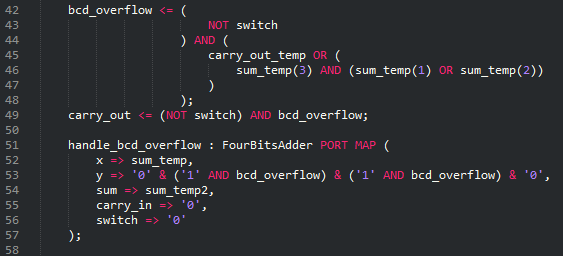
|  |  |  |
| --- | --- | --- |
| Port | Type | Description |
| switch | STD\_LOGIC | 切換加減法功能 |
| x | STD\_LOGIC\_VECTOR(3 DOWNTO 0) | 被加(減)數 |
| y | STD\_LOGIC\_VECTOR(3 DOWNTO 0) | 加(減)數 |
| sum | STD\_LOGIC\_VECTOR(3 DOWNTO 0) | 輸出總和 |
| carry\_in | STD\_LOGIC | 進位輸入 |
| carry\_out | STD\_LOGIC | 進位輸出 |
| sigh | STD\_LOGIC | 輸出結果的正負號 |

Step 1. 首先直接將輸入的x及y經過FourBitsAdder相加(減)。



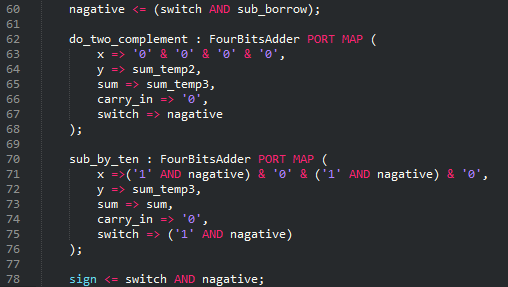
Step 2. 如果是加法，

因為BCD overflow(即大於9)的關係，必須將結果以+6的方式補回。



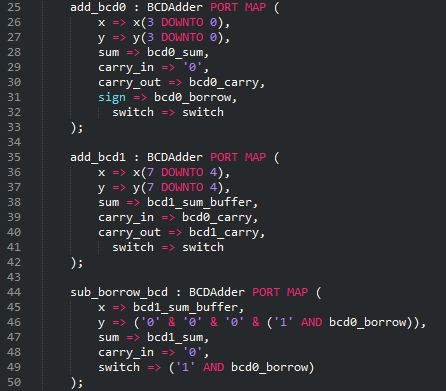
Step 3. 如果是減法，

則必須將負數(2的補數)轉回正數，並以10相減、輸出sign結果。



Lab3 主程式：

主要電路的部分，只要分別將個位數、十位數串接進BCDAdder的Component進行計算即可，僅需注意若個位數得出sign=1則表示個位數相減結果為負數，須有借位的情況發生，此時要再將十位數的結果再減1。



1. 實驗心得：

梁皓鈞(104360098)：

這一次實驗是最後一次需要用到Logic Gates 的實驗。這一次用到很多Boolean Expression, 而這個也是我的弱項，因此我無法很順利的做出來，幸好有晟毅的幫助。晟毅首先先告訴我大鋼，整個程式要怎樣思考，然後示範一次包Package 跟Component 給我看。接下來讓我嘗試把其餘的元件包裝起來。

在所有的元件包裝起來之後，晟毅示範給我看接線，最後由我學起來並且把其餘元件也接線接起來。但在BCD加法減法部份我真的比較弱，對於數位邏輯的熟悉度不夠，因此主要由晟毅主導做給我看，再從旁不斷地解釋給我聽要怎樣做。但對於Logic Gate 我始終還是想很慢。

幸好以後不是再使用Logic Gate，而是使用Behavior Model 進行VHDL 編寫。但我還是會花時間想辦法把這一次的實驗熟悉起來。在實驗完結之後，我有把BCD加法器部份理解完了，也認為再一次給我我應該也可以做出來，只是有點長時間未必可以很快做好。

加分題部份的BCD減法對我來說真的很難，因此主要都是由晟毅教我，我也似懂非懂地理解了。希望之後的Behavior Model在編寫時不會再像這樣的問題。

洪晟毅(104590048)：

這次實驗使用的邏輯閘較為複雜ㄧ些，皓鈞無法如先前實驗順利地完成，因此此次改由我進行主要程式碼的撰寫。

BCD Adder的加法器難易度其實不高，僅要注意的是若大於9時須進行加6處理較不易理解。而最初在撰寫時，也因為遺漏ㄧ些條件而使加6的處理沒有順利執行，經過一段Debug的過程之後才注意到。

對於減法器的部分難度就相對提高不少，大部分同學都是以10的補數作為思考的出發點，但我實際去詢問過後發現，不需要特地使用10的補數也能完成，而且我也認為在2進位的數位電路設計之中，以10的補數作為思考方式有些怪異，所以我堅決使用先前所設計含有加減法功能的FourBitsAdder來實現。

過程中經歷不少失敗的挫折，我與隊友甚至浮出只想完成加法器就罷休的念頭。但我們仍努力不懈，充分利用課堂及助教課時間，經過不斷的嘗試及修正後，終於順利完成僅依靠2的補數進行的BCD減法器。

1. 組員貢獻度及工作內容：

|  |  |  |  |
| --- | --- | --- | --- |
| **名字** | **負責項目內容** | **貢獻比例** | **貢獻總和** |
| 晟毅 | 負責主要程式碼撰寫 | 20% | 50% |
| 報告實驗內容的程式碼解釋 | 10% |
| 報告實驗心得撰寫 | 20% |
| 皓鈞 | 負責實驗結果驗證 | 10% | 50% |
| 報告實驗內容、實驗過程撰寫 | 10% |
| 報告實驗心得撰寫 | 25% |
| 負責程式程式碼重複實作的地方 | 5% |
| 總計 | | 100% | 100% |