

# MODULADOR SIGMA DELTA EN FPGA PARA EL PROCESAMIENTO DE SEÑALES DE VOZ

Anthony Delgadillo, Luis Méndez , Miguel Melgarejo  
Grupo de Investigación en Lógica Programable y técnicas digitales  
Universidad Distrital Francisco José de Caldas. Bogotá, Colombia

**Resumen:** Este artículo presenta el desarrollo de un modulador sigma-delta digital de primer orden para una eficiente y practica transmisión de voz. La especificación funcional y simulación del sistema completo (transmisor-receptor) se desarrolló con el toolbox FIXPOINT de Simulink en MATLAB 5.3 para evaluar parámetros como resolución y respuesta en frecuencia. Posteriormente se desarrolló la descripción VHDL para su implementación en FPGA. El modelo fue llevado a la herramienta XILINX FOUNDATION SERIES 4.1 para la compilación sobre una FPGA XC4010XL. Finalmente se presentan los resultados de distribución de recursos, congestión de rutas, retardo y frecuencia máxima de operación del sistema.

**Palabras clave:** Modulación, cuantización, FPGA, VHDL, FFT.

## 1. INTRODUCCION

Los moduladores Sigma-Delta codifican las señales análogas en señales PDM (Pulse Density Modulation) haciendo uso de la cuantificación, sobremuestreo y modulación de ruido (noise shaping). El resultado es una trama de único bit de alta frecuencia representando la señal análoga. Aplicando lazos de realimentación es posible desplazar el inevitable ruido de cuantización fuera de la banda de interés, con lo cual se tiene la ventaja de lograr altas resoluciones digitales de la señal análoga original; de aquí que la modulación Sigma-Delta es muy usada en sistemas de audio, por ejemplo en unidades de CD [2]. Para disminuir la necesidad de un procesamiento digital de señal después de la modulación, la señal PDM es filtrada y el ruido de cuantización removido.

El objetivo de este trabajo es implementar un modulador sigma delta sobre una FPGA, para ello inicialmente se hace el modelamiento completo del sistema (incluyendo filtro de entrada, modulador digital, receptor) en MATLAB, herramienta por medio de la cual se hace la evaluación de comportamiento en frecuencia usando la FFT y de resolución del sistema. Una vez evaluados estos dos parámetros básicos se hace la descripción VHDL para su posterior compilación y evaluación por medio de la herramienta XILINX FOUNDATION SERIES 4.1.

## 2. PRINCIPIO DE MODULACIÓN

La cuantización de un bit de los moduladores sigma delta usa un método que fue derivado como una extensión de la técnica de modulación delta [3]. La modulación delta no siempre satisface el propósito de la transmisión digital de señales. Este tipo de trabajo tiene principalmente dos problemas: ruido granular y sobrecarga de pendiente, por lo que la modulación delta es incapaz de transmitir componentes dc, su rango dinámico y su relación señal a ruido (SNR) son inversamente proporcionales a la frecuencia de la señal y la integración inevitable en la recepción causa un error acumulativo cuando el sistema es sujeto de alteraciones en la transmisión.

Una modificación a esta modulación delta fue propuesta [1] para cumplir con los requisitos de la transmisión digital. Para compensar la diferenciación inevitable de la señal de entrada, el sistema propuesto tiene un proceso de integración de señal adicionado a la entrada del modulador delta original.

La entrada al modulador de pulsos  $E(t)$  es la diferencia de la señal de entrada integrada  $\int s(t)dt$  y la integración de los pulsos de salida  $\int p(t)dt$ , luego  $E(t) = \int \{s(t) - p(t)\} dt$  de tal manera que ambos integradores pueden ser combinados y reemplazados por uno solo. En Fig.3, los pulsos de salida

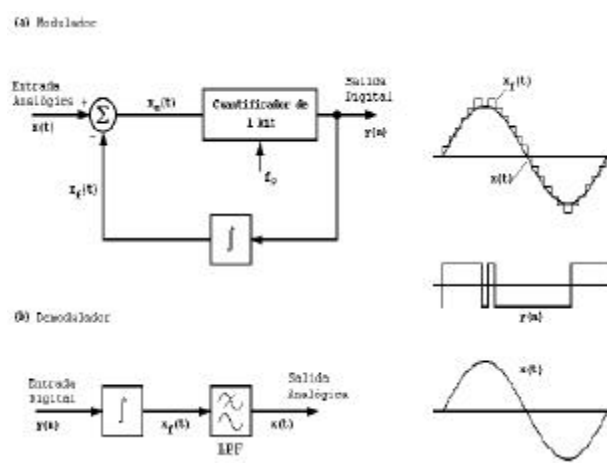


Fig. 1. Modulador/Demodulador Delta Ideal

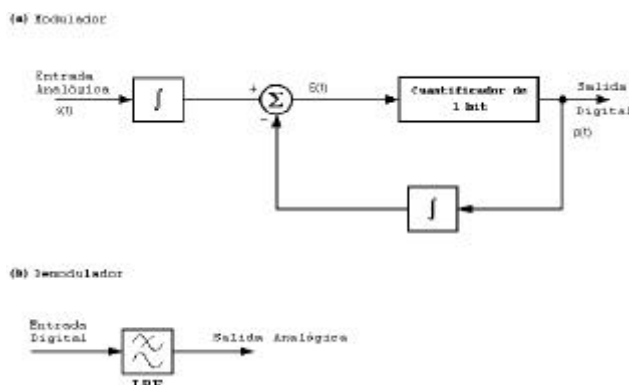


Fig. 2. Modificación a la modulación Delta

$p(t)$  son realimentados a la entrada y restados de la señal de entrada  $s(t)$  la cual varía suficientemente despacio con respecto al muestreo de los pulsos. La señal de diferencia  $d(t) = s(t) - p(t)$  es integrada para producir  $e(t) = \int d(t)dt$  que es la entrada al modulador de pulsos. El modulador de pulsos compara la amplitud de la señal de diferencia integrada  $e(t)$  con respecto a un nivel de referencia predeterminado y genera un pulso cuando  $e(t)$  es mayor que el nivel de referencia e inhibe el pulso cuando  $e(t)$  es menor que el nivel de referencia. A través de la realimentación negativa, la señal integrada de diferencia siempre se mantiene en la vecindad del nivel de referencia del modulador de pulsos. Por lo tanto si la amplitud de la señal de entrada llega a ser muy grande, los pulsos de salida aparecen con más frecuencia, en otras palabras, los pulsos de salida son los portadores de la información correspondientes a la amplitud de la señal de entrada.

Como en el receptor no se involucra ningún proceso de integración, ningún error acumulativo debido a posibles problemas en la transmisión se presenta en la señal demodulada.

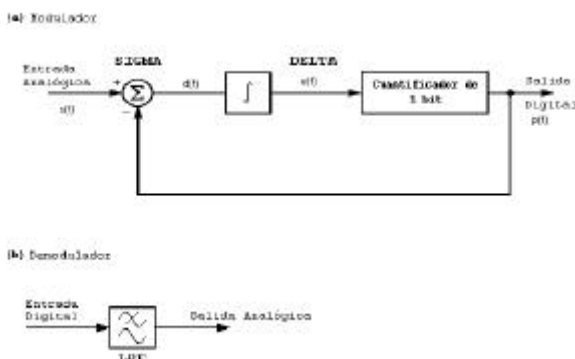


Fig. 3. Modulador/Demodulador Sigma-Delta

### 3. SOBREMUESTREO Y MODULACIÓN DE RUIDO

La señal necesita ser muestreada por una frecuencia, que al menos debe ser del doble de la frecuencia ( $f_0$ ) del componente más alto de la señal. De otra manera no será posible la reconstrucción de la señal original desde su representación discreta. El sobremuestreo ocurre si la señal es muestreada a razón de una tasa más alta,  $f_s > 2f_0$ . La razón de sobremuestreo OSR (Oversampling ratio), es definida entonces como  $OSR = f_s/2f_0$ . Usualmente, la razón de sobremuestreo es un múltiplo entero en potencias de 2. (16, 32, 64, 128, 512...). Ahora, asumiendo la cuantización de una onda sinusoidal, la potencia de la señal cuantizada está determinada por:

$$P_s \approx \left(\frac{2^N}{2\sqrt{2}}\right)^2 \approx \frac{2^{2N}}{8} \quad (1)$$

Donde  $N$  es el número de bits. La potencia del ruido de cuantización puede ser calculada [4] de la integral de la densidad espectral (una medida de la energía a varias frecuencias),  $S_e$ , sobre la banda de la señal,  $(+/-)f_0$ . Luego:

$$P_e \approx \int_{-f_0}^{f_0} (S_e^2) df \approx \frac{2f_0^2}{f_s 12} \approx \frac{1}{12 (OSR)^2} \quad (2)$$

Nótese, que la potencia del ruido de cuantización total,  $P_e$ , está ahora distribuida sobre un amplio rango de frecuencias. Por lo tanto la magnitud del ruido es menor y el contenido de ruido en la banda de la señal ( $0, \dots, f_0$ ) es menor que antes (Fig.4). La relación de señal a ruido en dB puede ser calculada como:

$$SNR \approx 10 \log\left(\frac{P_s}{P_e}\right) \approx 10 \log\left(\frac{3}{2} 2^{2N}\right) \approx 10 \log(OSR) \\ \approx 6.02 N \approx 1.76 \approx 10 \log(OSR) \quad (3)$$

De esta forma, un simple incremento de la frecuencia de muestreo dará como resultado un mayor SNR: mejora en 3dB por cada duplicación de la tasa de muestreo, o, equivalentemente, por 0.5 bits.

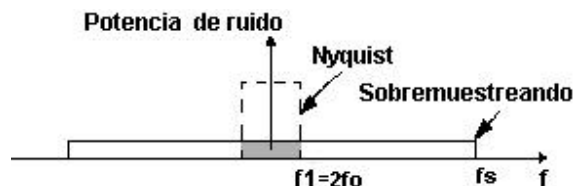


Fig. 4. Efecto del sobremuestreo

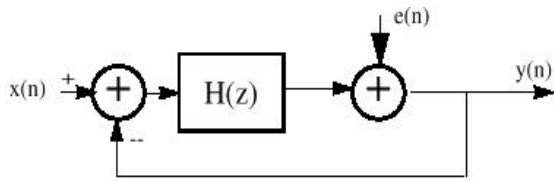


Fig.5. Realimentación y el uso del filtro de noise shaping  $H(z)$

Luego se puede concluir que entre más grande sea la frecuencia de muestreo respecto a la frecuencia base serán menores los niveles de ruido presentes en la salida.

El poder detrás de las técnicas de conversión de pocos bits recae en el poder del algoritmo de modulación de ruido (noise-shaping) [5]. La realimentación de salida a la entrada del cuantizador puede reducir el efecto de ruido a bajas frecuencias.

En la banda de frecuencia de interés,  $(0 - f_0)$ , la señal debe pasar a través del modulador sin ser muy afectada, donde el ruido debe ser reducido. Por lo tanto un filtro, que tenga este comportamiento, debe ser insertado en el lazo de realimentación. Ahora se tienen dos funciones de transferencia diferentes: una para la señal,  $S_{TF}(Z) = H(z)/(1+H(z))$  y una para el ruido,  $N_{TF}(z) = 1/(1+H(z))$ . Todo lo que se necesita es hallar una función de transferencia  $H(z)$  apropiada.

Si  $H(z)$  se va hacia el infinito, la  $N_{TF}(z)$  se hace cero, pero a los residuos de  $S_{TF}(z)$  les pasa lo mismo. Y esto es lo que se quiere. En una aproximación de primer orden para bajas frecuencias (DC:  $z=1$ ), se encuentra que:

$$H(z) \approx \frac{1}{z-1} \quad (4)$$

La cual es una función de transferencia de un integrador discreto. Esta estructura es llamada un modulador de primer orden. Este tiene un único lazo de realimentación (Fig.5). La función de transferencia de la señal se convierte en un retardo:

$$S_{TF}(z) \approx \frac{Y(z)}{X(z)} \approx \frac{1}{1 - \frac{1}{z}} \approx z^{-1} \quad (5)$$

Y la función de transferencia del ruido:

$$N_{TF}(z) \approx \frac{Y(z)}{E(z)} \approx \frac{1}{1 - \frac{1}{z}} \approx (1 - z^{-1}) \quad (6)$$

Lo que lo convierte en un filtro pasa-alto (Fig. 6). Por lo que el ruido de las frecuencias más bajas (banda de interés) es desplazado a bandas de frecuencias más altas.

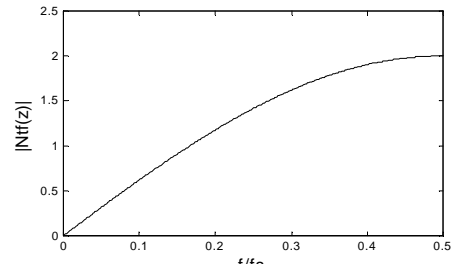


Fig. 6. Respuesta en frecuencia para el ruido de cuantización del modulador sigma-delta de primer orden

Ahora, el SNR de un convertidor con noise shaping puede ser calculado [5] como:

$$\begin{aligned} SNR &\approx 10 \log\left(\frac{P_s}{P_e}\right) \approx 10 \log\left(\frac{3}{2} 2^{2N}\right) \approx 10 \log\left(\frac{3}{2} OSR^2\right) \\ &\approx 6.02N + 3.41 + 30 \log(OSR) \quad (7) \end{aligned}$$

Se puede observar que el doblar el OSR da una mejora de 9 dB (o 1.5 bits). Nótese sin embargo, que después del proceso de shaping, el ruido de cuantización está aún presente en la señal, solo que se ha movido a componentes de más alta frecuencia. El ruido de cuantización será removido en el proceso de filtrado.

#### 4. ESPECIFICACIÓN FUNCIONAL Y SIMULACIÓN

Como punto de partida para el análisis y comprensión del comportamiento del sistema completo, se simuló el sistema en MATLAB 5.3, por medio de Simulink con el toolbox FIXPOINT, el cual es un paquete que permite el modelamiento, simulación y análisis de sistemas dinámicos digitales.

Partiendo del modelo de la Fig.7 se construyó un equivalente teniendo en cuenta las propiedades de cada bloque, como lo son: el flujo de datos que manejan, cantidad de bits que manejan en el caso digital, frecuencia de trabajo, etc.

Con este fin se trabajó el sistema por módulos tal y como se ilustra en Fig.8.

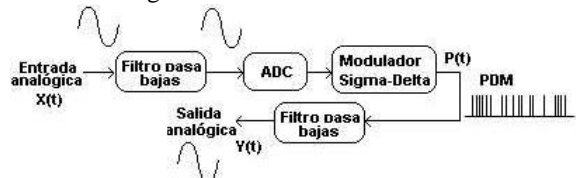


Fig. 7. Diagrama de bloques para la transmisión y recepción de una señal continua

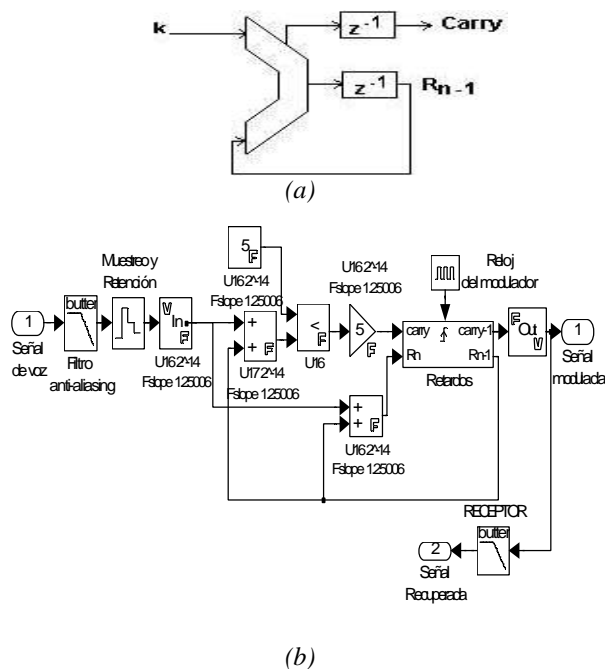


Fig.8. Modelamiento del sistema: a) modelo funcional del modulador b) Modelo en Simulink

En Fig.7. se muestra el proceso al que es sometida la señal de Voz. Inicialmente a la señal se le hace un filtrado antialiasing con un filtro Butterworth análogo de 4 orden con frecuencia de corte de 4KHz (igual que en sistemas telefónicos), luego se emula la conversión análoga-digital con los bloques de Muestreo&Retención y FIXIN en donde se especifica la frecuencia de conversión (1MHz), tamaño de los pasos (para esta aplicación se trabaja con una resolución de 16 bits) y rango de la señal procesada (0-5V).

La Fig. 8.a muestra un modelo simplificado del modulador de primer orden el cual se basa en la arquitectura de un acumulador, donde se suma la palabra de entrada  $k$  con el resultado de la suma anterior  $R_{n-1}$ ; con el tiempo esta suma llegará a su nivel de saturación (en este caso  $2^{16}-1$ ) produciendo un overflow al cual se le llama carry, que en definitiva es la señal de salida del modulador. La razón por la cual se trabaja el nivel de saturación como el nivel de comparación es precisamente para aprovechar la estructura propia del sumador y no involucrar más hardware como un comparador. Debido a que con el toolbox de FIXPOINT es imposible trabajar con bits individualmente es necesario trabajar con dos sumadores: el primero es de 17 bits que trabaja con un bit más para observar cuando la señal acumulada supera el nivel de saturación para lo cual se incluye el comparador, por otra parte y de acuerdo al modelo funcional ya

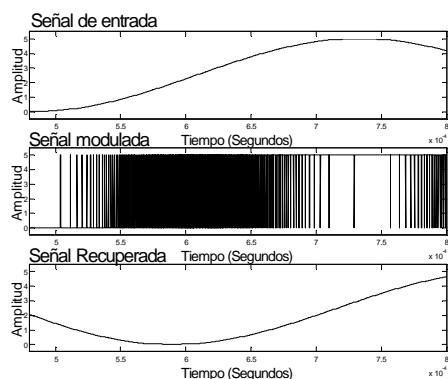


Figura 9. Respuesta del sistema de primer orden para un reloj de 10 MHz.a) Señal de entrada de 3 KHz. b) Señal modulada.c) Señal recuperada

presentado, el carry no se realimenta pero si los 16 bits menos significativos que resultan de la suma, para lo cual se hace necesario el uso de otro sumador que trabaja con solo 16 bits. La frecuencia de operación del sistema está determinada por la frecuencia a la que operan los bloques encargados de los retardos, que para este caso se sincronizan con los flancos de subida del generador de pulsos. Para trabajar con el filtro Butterworth de 4 orden del receptor se hace necesario implementar un bloque de interfaz entre FIXPOINT y el resto de bloques de Simulink, esto se hace con FIXOUT.

Inicialmente, se hicieron pruebas para diferentes señales de entrada. Un ejemplo ilustrativo se presenta en Fig. 9, donde se relacionan las tres señales de importancia en el dominio del tiempo: La señal de entrada, la señal modulada y la señal recuperada. Tal y como se observa la densidad de pulsos en la señal modulada varía de acuerdo al nivel de amplitud que se presenta en la señal de entrada. De igual manera se tiene que la señal recuperada en el receptor presenta un pequeño desfase con respecto a la señal de entrada (en este caso de aproximadamente 0.1ms), esto se debe al propio retardo del sistema (Conversión Análoga-digital, procesamiento) pero en especial al filtro del receptor, que es de tipo Butterworth por lo que presenta un comportamiento de fase particular para un rango de frecuencia de señal de entrada.

Esta última consideración es interesante [6] pues si la señal de entrada se somete a un desplazamiento de fase que es una función no lineal de  $w$ , entonces las componentes exponenciales complejas de la entrada a diferentes frecuencias serán desplazadas de manera tal que dé como resultado un cambio en sus fases relativas. Cuando estas exponenciales complejas se superponen, se obtiene una señal que puede parecer diferente a la señal de

entrada. En algunos casos la distorsión de fase puede ser importante, mientras que en otros puede no ser así. En el caso del sistema auditivo, este tiene la propiedad de tener una relativa insensibilidad a la fase.

Para evaluar el sistema una buena estrategia es compararlo con la modulación tradicional PCM que trabaja transmisión de múltiples bits para una sola muestra. Para este caso en particular, el modulador se trabajó con 16 bits para sobredimensionar el sistema a una resolución equivalente de 12 bits PCM, es decir, trabajando con una señal cuyo rango es de 0-5V, la resolución buscada es de  $5/(2^{12}-1)=1.221\text{mV}$ . Para esto lo que se hace es introducir inicialmente un nivel constante y después de cierto tiempo incrementar este nivel en uno equivalente al tamaño de la resolución que se pretende. La “escalera” que se aplica a la entrada está en el extremo inferior del rango ya que según la teoría [5] en los valores máximo y mínimo de entrada es donde se presentan los lóbulos de ruido de mayor amplitud. El resultado obtenido es el mostrado en Fig.10.

Como era de esperarse en el extremo inferior del rango de la señal (-2.5 – 2.5 V) el ruido es máximo pero se va reduciendo a medida que se acerca a la mitad del rango de operación, por lo cual se puede decir que el sistema si es capaz de distinguir pasos de 1,221mV o lo que es lo mismo tiene una resolución de 12 bits.

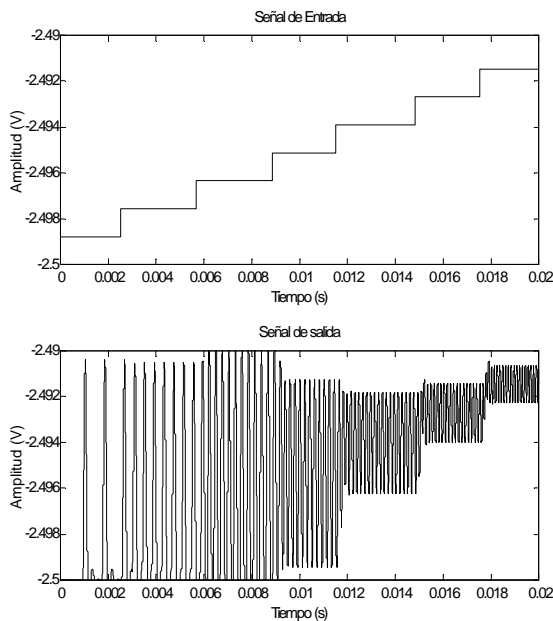
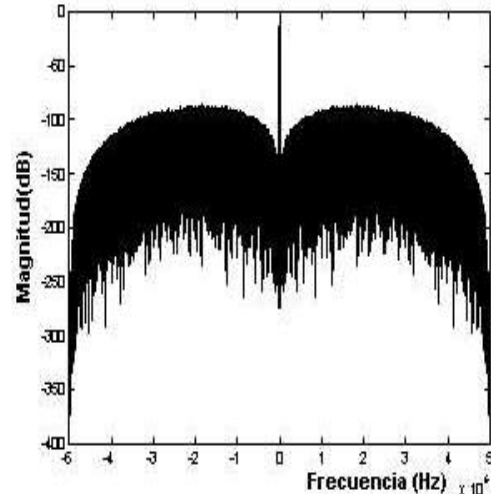
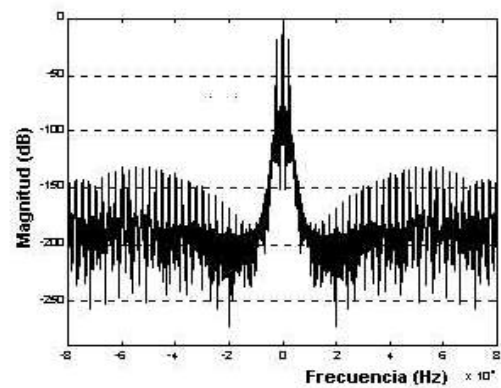


Fig.10. Resolución del modulador de primer orden con reloj de 10 MHz



(a)



(b)

Fig.11. a) Espectro de la señal de entrada del sistema de primer Orden b) de 0 a 80KHz

Cabe aclarar que esta condición de ruido se puede mejorar aumentando el reloj del modulador y cuyo limite superior es impuesto por la tecnología usada.

Dentro de los objetivos del trabajo está el de poder transmitir señales de voz, cuyo ancho de banda se extiende hasta 4 KHz. Para evaluar este limite y observar la relación señal a Ruido (SNR) se introduce una señal de entrada de cierta frecuencia, y se evalúa la densidad espectral de la señal modulada. Para ello se trabaja con una señal de 2.5KHz y un reloj de modulador de 10MHZ. La evaluación se realiza con una FFT cuya resolución es

de  $2^{18}$  puntos, esto para que sea posible analizar la señal de salida del modulador dentro de la banda de interés (debe tenerse en cuenta que la banda de interés es una sección de 4KHz mientras que el espectro de evaluación es de 5MHz). Los resultados se muestran en Fig.11.

De estas gráficas se observa que el ruido es desplazado a frecuencias más altas y es mínimo dentro de la banda de interés. En el receptor lo único que se hace es filtrar estas componentes no deseadas de alta frecuencia obteniéndose lo que idealmente se consideraría como la replica de la señal de entrada.

## 5. IMPLEMENTACION EN FPGA

El propósito es crear especificaciones lo más sencillas posibles que describan perfectamente el funcionamiento de un modulador sigma-delta para luego llevarlo a lenguaje VHDL [7] y así hacer la implementación en una FPGA para su posterior evaluación y optimización.

Los parámetros que debe tener el modelo digital para cumplir los objetivos deseados son:

- Tamaño de la palabra de entrada: 16 bits = K
- Tamaño del acumulador: 16bits
- Nivel de comparación implícito en el carry del acumulador:  $2^k - 1 = 2^{16} - 1 = 65535$
- Valores a realimentar: 0 con carry =0 y 65536 con carry=1.
- Debido a que se deben sincronizar el modulador con el ADC, se dispone de un registro a la entrada que sólo se actualiza cuando así lo indique el flag 'BUSY' del Conversor Análogo-digital.

En este modelo [8] la palabra de entrada proveniente del Conversor análogo-digital se suma con la del residuo de la anterior suma  $R_{n-1}$  y si el valor de la suma es mayor que el máximo ( $2^k - 1 = 2^{16} - 1 = 65535$ ) entonces se produce un estado de Carry (bit en 1), de lo contrario se mantiene en 0 este bit, expresándose así que la operación aún no supera el nivel de comparación. Para efectuar tales operaciones se trabaja con un registro de salida de 17 bits, donde el bit de carry es el bit más significativo y  $R_{n-1}$  está constituido por lo 16 bits restantes.

Luego de compilar y efectuar la síntesis de esta descripción en Xilinx Foundation 4.1, para una FPGA XC4010XL package PC84 [9], se han obtenido los resultados presentados en la tabla 1.

Tabla 1. Resultados de la compilación del Modulador de Primer orden para una FPGA XC4010XL package PC84.

device xc4010xl, package pc84, speed -3			
Device utilization summary:			
Number of External IOBs	33 out of 61		
	54%		
Flops:	17		
Latches:	0		
Number of Global Buffer IOBs	2 out of 8	25%	
Flops:	0		
Latches:	0		
Number of CLBs	9 out of 400	2%	
Total Latches	0 out of 800	0%	
Total CLB Flops:	16 out of 800	2%	
4 input LUTs:	17 out of 800	2%	
3 input LUTs:	0 out of 400	0%	
Number of BUFGLSs	2 out of 8	25%	
Design statistics:			
Minimum period:	20.431ns	(Maximum frequency:	48.945MHz)

Como se observa el porcentaje de utilización del chip es muy pequeño por lo que perfectamente puede trabajarse con dispositivos mucho más económicos como lo son los CPLD's Xilinx de la familia 9500.

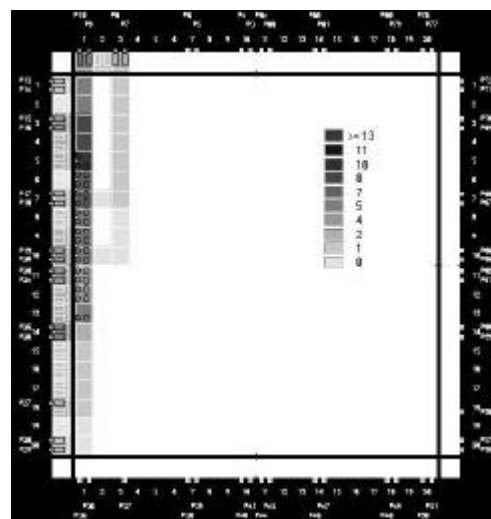


Fig.12. Congestión de rutas dentro del dispositivo XC4010XL

En Fig.12 se presentan los resultados de implementación sobre el chip XC4010XL en lo que a congestión de rutas se refiere. En la gráfica se observa el código de color que se le da al número de rutas que cruza por cada CLB, como se ve sólo hay una zona en rojo por la cual cruzan un mínimo de 13 rutas por lo cual allí habrá mayor “disipación” de potencia.

## 6. TRABAJO FUTURO

Después del modelamiento y simulación tanto en Matlab como en Xilinx se implementará el modelo físicamente para su evaluación práctica. De igual manera, y basados en la literatura que se ha obtenido, se comparará el modelo desarrollado con otros de orden superior para cuantificar los desempeños y si es factible implementar modelos de orden superior. Una vez se obtengan conclusiones en este aspecto se procederá a implementar el modelo definitivo y evaluarlo en la práctica en lo que respecta a resolución, comportamiento en frecuencia, máximo reloj de operación, etc.

## 7. CONCLUSIONES

La Lógica Programable ofrece una solución alternativa para el procesamiento Digital de Señales. y puede proveer sistemas de DSP de alto desempeño posibilidad de trabajar a altas frecuencias, alta eficiencia, alto grado de compactación a pequeña escala, consumo relativamente reducido en comparación con la versión discreta, etc) a un reducido costo.

Para el modelo de primer orden al trabajar con 16 bits de palabra de entrada se cumple con el requerimiento de una resolución de salida de 12 bits. La señal recuperada en el receptor presenta niveles de ruido relativamente altos en los extremos del rango de trabajo lo cual podría ser un inconveniente para ciertas aplicaciones, sin embargo, esto se puede mejorar aún más aumentando la frecuencia de trabajo.

Debido a que el modulador sigma-delta completo tan solo ocupó el 2% del total de recursos de la FPGA XC4010XL es posible implementar este modelo en un CPLD de la familia 9500 por ejemplo, lo cuál reduciría el costo.

El sistema desarrollado haciendo algunas consideraciones en el diseño (por ejemplo frecuencia de operación del modulador, frecuencia de corte de los filtros), se puede emplear en una amplia variedad de aplicaciones entre las que se encuentran: Generación de ondas, *Circuitos de muestreo en IF para aplicaciones inalámbricas, tecnologías para la mejora de medidas acústicas/vibración, etc.*

## 8. REFERENCIAS

- [1] H. Inose and Y. Yasuda. "A unity bit coding method by negative feedback". IEEE Proc, vol. 51, pp. 1524-1535. Nov 1963.
- [2] Grant M. Erickson, "A Fundamental Introduction to The compact disc player", University of Minnesota, November 1994.
- [3] Wayne Tomasi. "Sistemas de comunicaciones electrónicas". Segunda Edición, Ed. Prentice may. 1996.
- [4] Kelin Boo Khoo, "Programmable, High-Dinamic Range Sigma-Delta A/D converter for multistandard, fully-integrated RF receivers", University of California at Berkeley, pp 20-21, Dec 1998
- [5] J.C. Candy and O.J. Benjamin, "The structure of quantization noise from sigma-delta modulation", IEEE Trans. Commun, vol. COM-29, pp. 1316-1323, Sep. 1981
- [6] Oppenheim Alan V. "Señales y sistemas" Segunda edición, pp 527-534, 1997
- [7] Douglas J. Smith. "HDL Chip Design" Fourth Edition, 1998.
- [8] Tom Riley , "Delta-Sigma Modulation y Fractional-N Frequency Synthesis", IEEE Journal of Solid-State Circuits, vol.28, pp. 553-559, May. 1993
- [9] XILIX Corp, 1999 Xilinx DATABOOK