

Contador BCD de 4 dígitos con salida a display 7 segmentos

Diego Almirón, 94051, diego90dionisio@gmail.com

27 de abril de 2017

Resumen

En el presente Trabajo Práctico se busco, a partir de una especificación y un diseño previo, describir una arquitectura, simular, sintetizar e implementar en FPGA un sistema digital para un contador BCD de 4 dígitos con salida a un display de 7 segmentos.

Desarrollo

Para llegar al objetivo que planteo el presente trabajo práctico, se tubo que describir, en lenguaje *VHDL*, varios elementos de hardware.

1. Clock:
La función del clock es de generar una onda cuadrada cuyo periodo esta definido por un parámetro tau.
2. Generador de enable:
Se usó principalmente Para habilitar el funcionamiento de otros componente. Ya que el *CLOCK* del Kit Nexis2 es de 50MHz, se necesito del generador de enable para evitar que todos los componentes como contadores y demás funcionen a una frecuencia menor.
3. Contadores:
Se uso dos tipos de contadores, un contador BCD y un contador binario de 2 bits, el contador binario de 2 bits se uso para decidir que display 7 segmentos se prendía en qué tiempo.
4. Multiplexor:
Este componente fue útil a la hora de decidir cual de las salidas de los contadores BCD era vista en el display.
5. Controladores:
El controlador, en el sentido de que display se prendía en que tiempo, es básicamente un generador de enable más un contador de 2 bits más un decodificador. El controlador decide que contador muestra sus valores en que display 7 segmentos.

La figura 1 es el esquemático del contador BCD de 4 dígitos que generó el **ISE**, en él se puede ver que se usaron dos generadores de enable, uno conectado a los contadores BCD y otro conectado al contador de 2 bits que controla los display 7 segmentos. Además se usaron cuatro contadores BCD uno para cada dígito. Los contadores están conectados a un multiplexor que tiene como variable de control al contador de 2 bits. Por último se tienen dos decodificadores, el primero es el decodificador BCD a 7 segmentos y el segundo es decodificador que controla los displays 7 segmentos alimentando o no sus anodos.

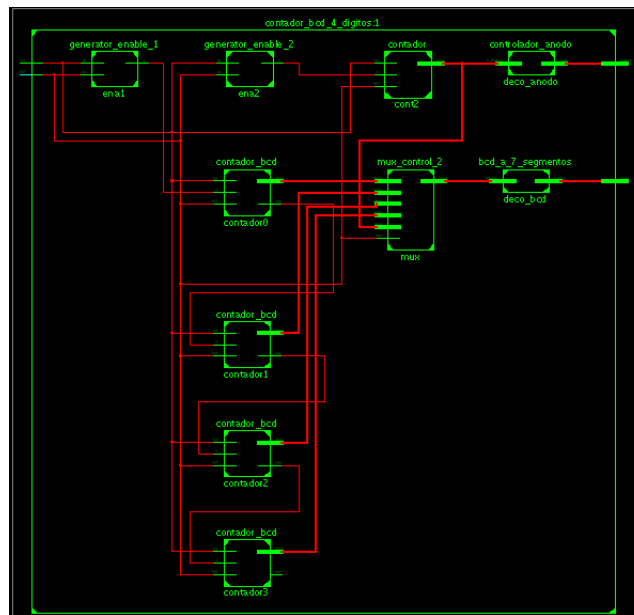


Figura 1: Diagrama en bloque de Contador BCD de 4 dígitos

Gráficos

A continuación se muestran los gráficos de varias simulaciones.

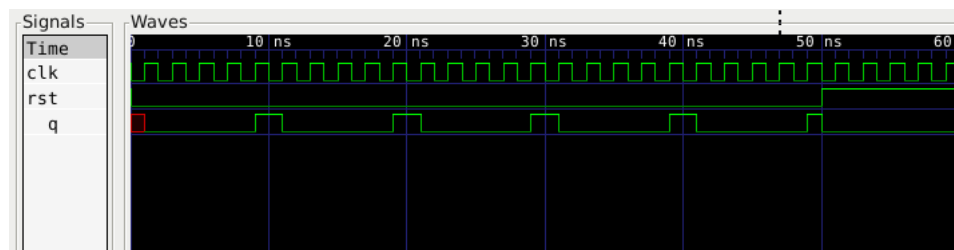


Figura 2: Simulación de generador de enable. Genera un pulso en **q** cada 5 pulsos de clock.

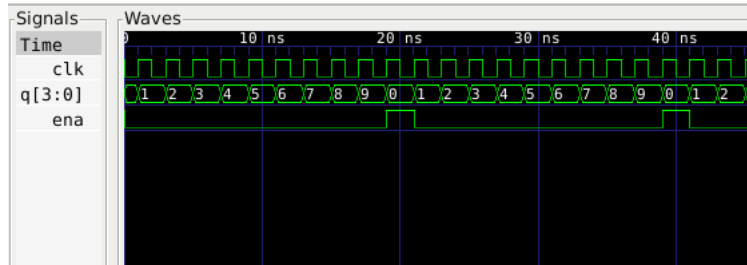


Figura 3: Simulación de contador BCD. Se genera un pulso de **ena** cada vez que la cuenta **q** pasa de 9 a 0.

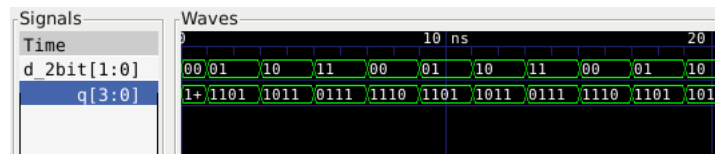


Figura 4: Simulación de controlador de ánodos

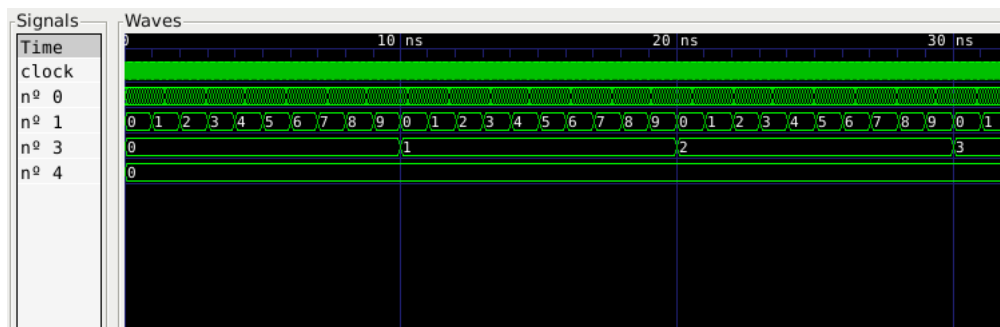


Figura 5: Simulación de contador BCD de 4 dígitos, incluye el clock más los cuatro números