**Міністерство освіти І науки України**

**національний університет “Львівська політехніка”**

****

**Кафедра ЕОМ**

Звіт з лабораторної роботи №4

з дисципліни «Основи проектування цифрових засобів на ПЛІС»

на тему:

«РОЗРОБКА КОНВЕЄРНОГО ПРОЦЕСОРА»

Виконала:

студентка групи КІ-42

Будім Анна

Прийняв:

викл. Цигилик Л.О.

Львів – 2016

1. **Тема:** Розробка конвеєрного процесора.
2. **Мета:** Розробити конвеєрний процесор
3. **Постановка задачі:**

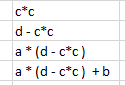
# Для перетворення прототипу комбінаційної схеми в потокову структуру та отримання VHDL коду цієї процедури, зручно використовувати такі кроки:

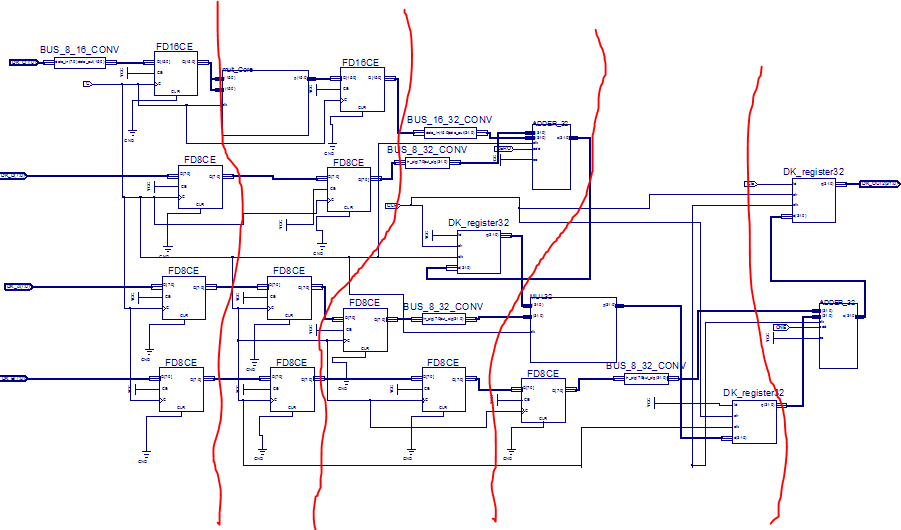
1. Створити блок-схему оригінальної комбінаційної схеми та організувати її компоненти в вигляді каскадної послідовності.
2. Визначити основні компоненти блок-схеми та оцінити відносні тривалості їх виконання.
3. Поділити послідовність компонентів на етапи так, щоб тривалість етапів була приблизно рівною.
4. Визначити дані й сигнали необхідні на кожному етапі опрацювання та вибрати ті, які надходять з інших етапів опрацювання.
5. Розмістити регістри для зберігання даних й сигналів, які находять з інших етапів опрацювання.

Завдання:

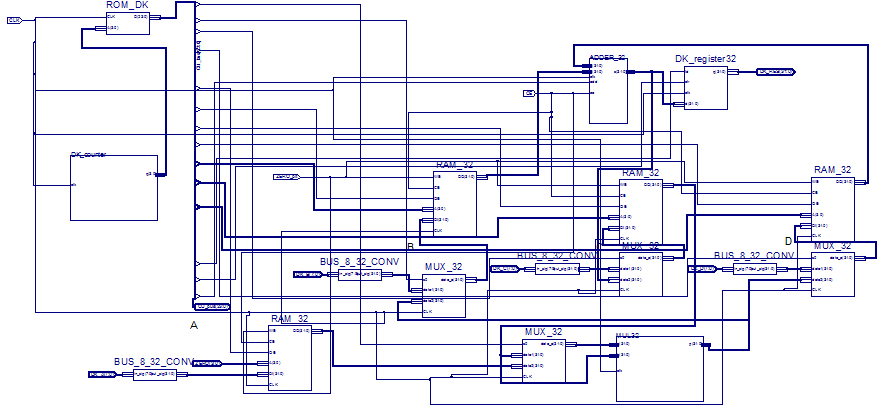


Для створення конвеєра потрібно поділити функцію КОП на дрібніші кроки, а саме:

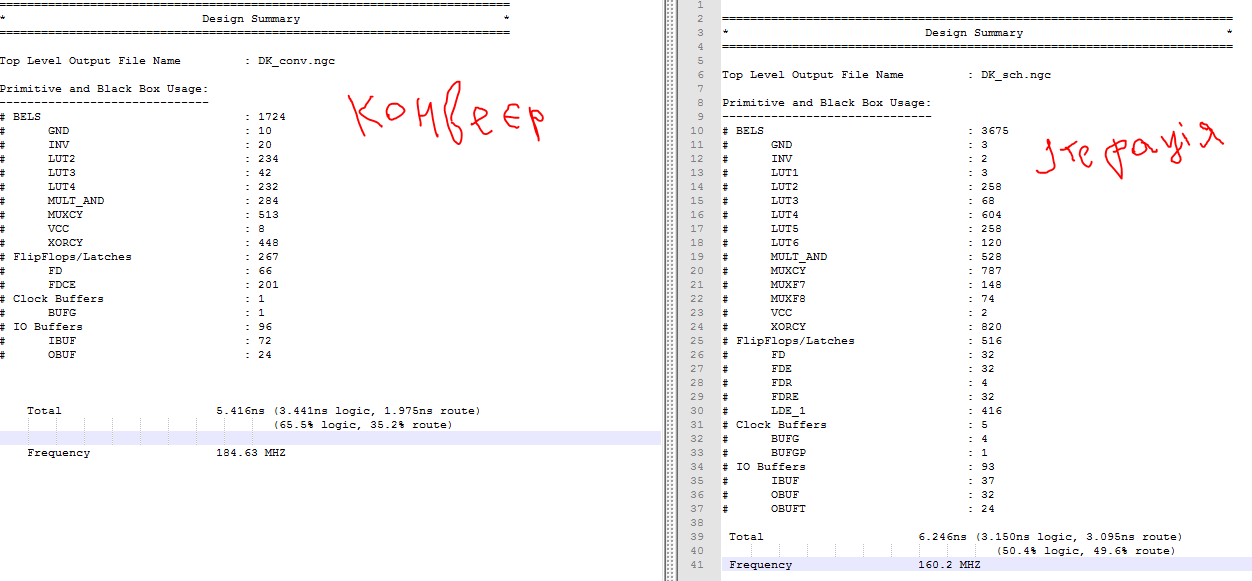


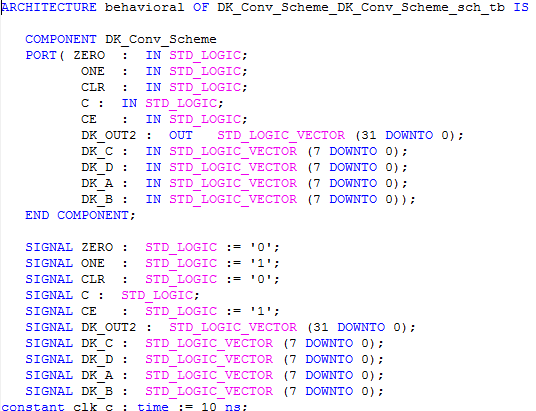
1. **Cхема конвеєрного обчислення виразу**
2. **vhdl код реалізації системи**

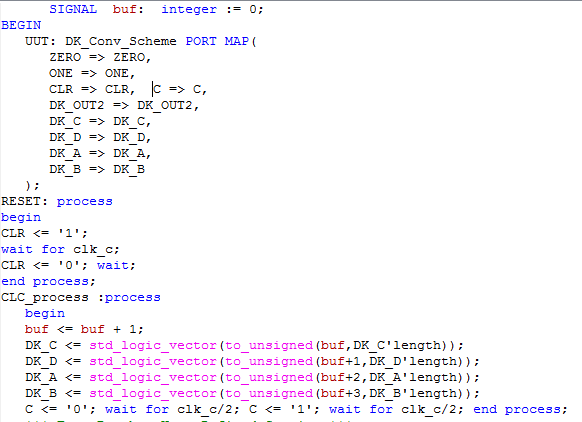
Оскільки система була розроблена за допомогою вбудованих елементів Xilinx та створеного елемента Ipcore то VHDl код був згенерований автоматично.

1. **Cхема неконвеєрного обчислення виразу**
2. **vhdl код реалізації системи**

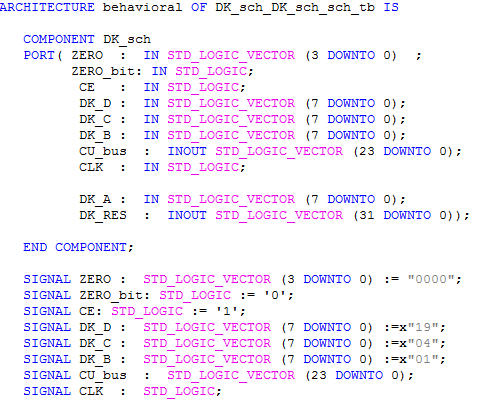
Оскільки система була розроблена за допомогою вбудованих елементів Xilinx та створеного елемента Ipcore то VHDl код був згенерований автоматично.

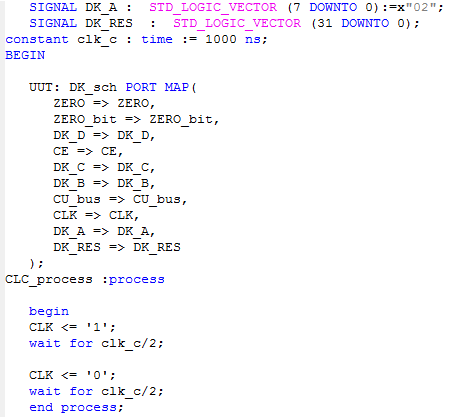
1. **таблиця з порівнянням результатів синтезу обох варіантів**
2. **VHDL код тестовго стенду конвеєрного способу:**





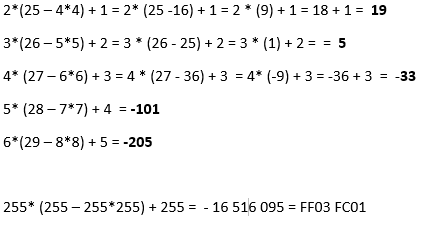
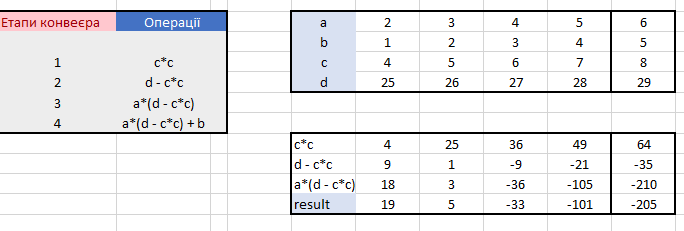
1. **VHDL код тестовго стенду неконвеєрного способу:**

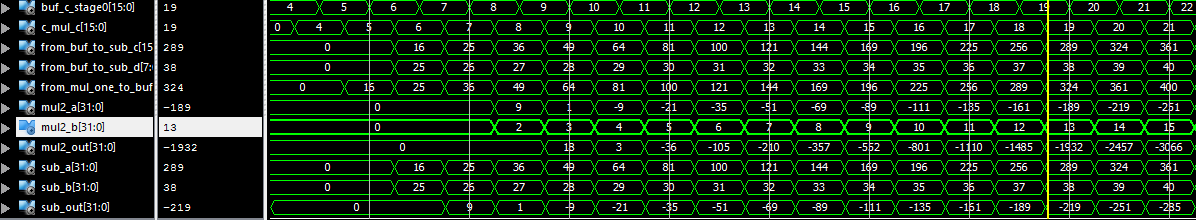


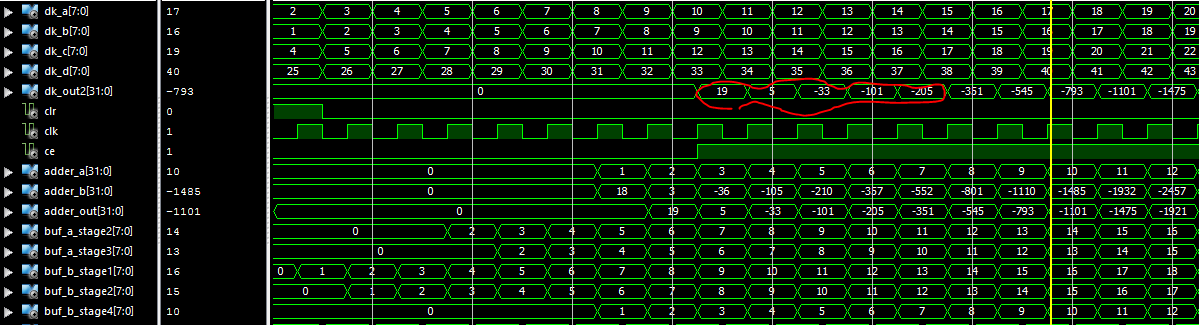


1. **Діаграма для конвеєрного способу:**

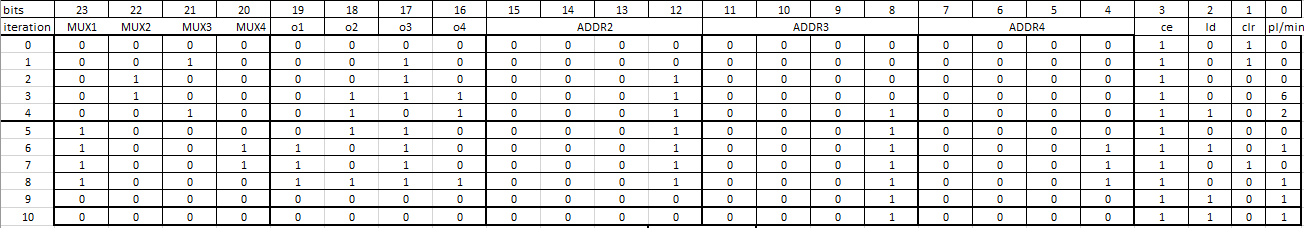
Декілька вхідних наборів:



Вивід результатів відбувається на **9** такті CLK(оскільки операнди в сумі проходять 9 регістрів)



1. **Діаграми для неконвеєрного способу:**

Таблиця прошиття для неконвеєрного способу:

0,1 ітерація: ініціалізація змінних. Запис в RAM1,2,3,4(a, b через MUX).

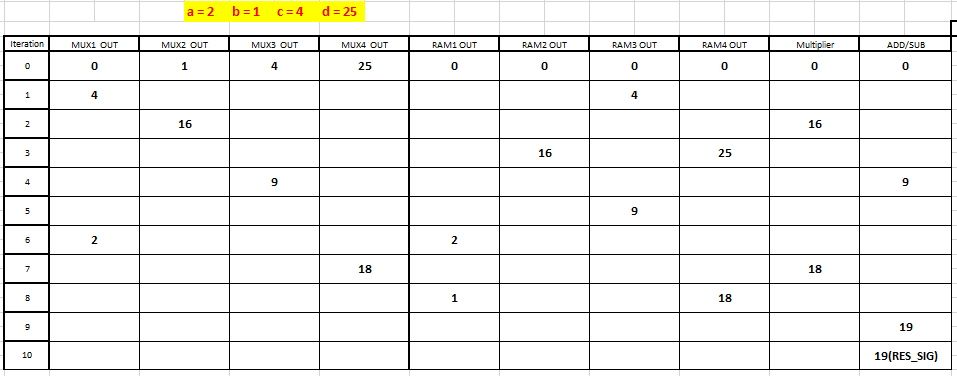
2,3 ітерація:. 5\*a на вхід RAM1 .

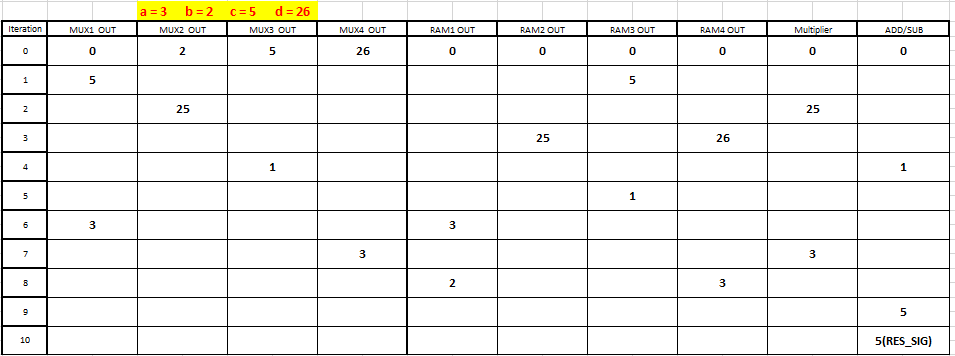
4,5 ітерація:. 5\*a\*b. З виходу RAM1 та RAM2 результат на RAM2

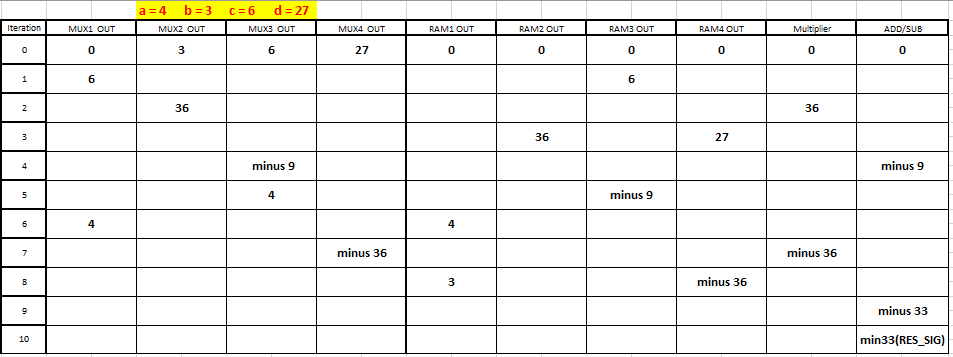
6,7 ітерація:. c\*d. З виходу RAM3 та RAM4 подати на перемножувач. Результат на вхід суматора. RAM2 на другий вхід суматора

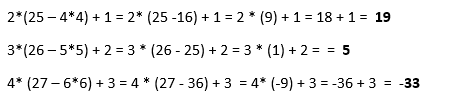
8-10. ітерація: . Вивід результату.

Приклади виконання:

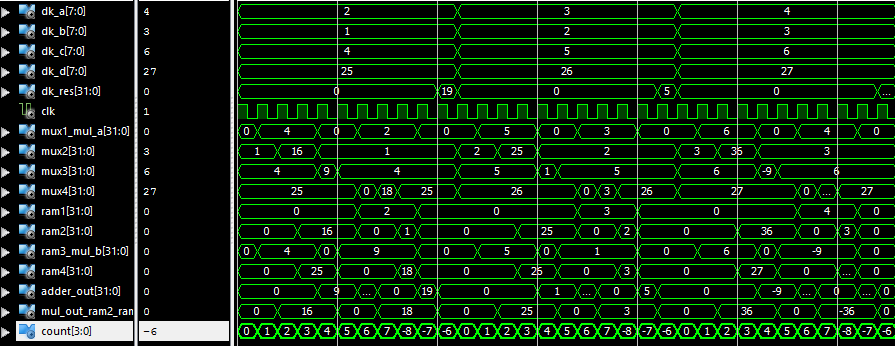


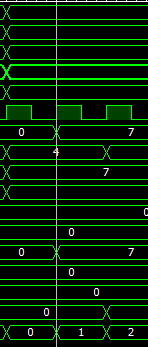


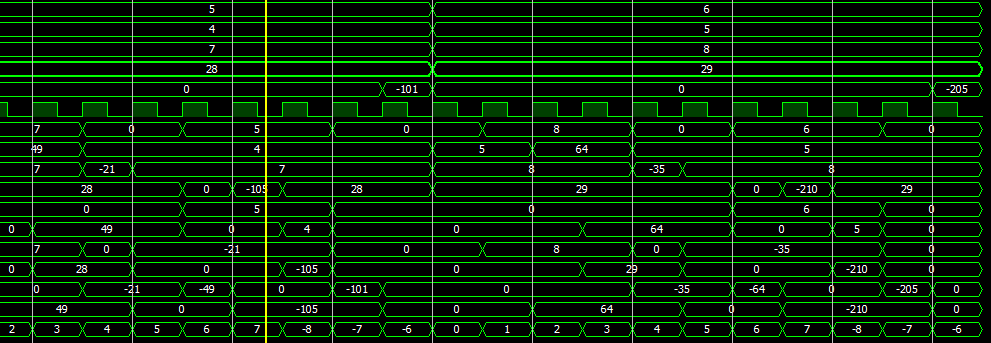




Діаграми:

** 3 вхідні набори**

 **2 вхідні набори(продовження попередньої схеми)**



1. **Висновок:**

виконуючи дану лабораторну роботу я спроектував роботу спеціалізованого конвеєрного процесора (конвеєрним та ітераційним способом) під задану функцію, шляхом її розбиття на дрібніші кроки.

Як виявилось ітераційний метод реалізувати було складніше за конвеєрний і він не приніс очікуваного результату. До того ж він потребує більше апаратних затрат ніж конвеєрний метод. Результати вийшли коректними і дані схеми можна використовувати ждля подальших досліджень.