

Nombre: David Josvé Medina MayorgaCarné: 2021023127

Inicio: 21.03.23, 17:00

Fin: 21.03.23, 23:59

Problema 1 Control de luces para apartamento pequeño**8 Pts**

El sistema a desarrollar permitirá controlar las luces en un apartamento con recibidor y dos habitaciones, como se muestra en la Figura 1.1. En este apartamento se tienen dos botones (P1 y P2) y 3 bombillos. Por defecto, las luces están todas apagadas.

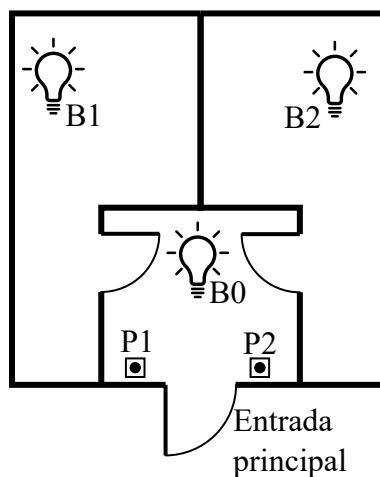


Figura 1.1: Diagrama de la distribución del apartamento.

Al ingresar al apartamento, una persona puede presionar uno de los dos botones (P1 o P2). Al hacer esto, se debe encender la luz B0. Este bombillo ilumina entonces el recibidor, permitiendo a la persona acomodarse al ingresar al apartamento.

Una vez que la persona decide a que cuarto dirigirse, puede presionar el botón P1 o P2, dependiendo del cuarto al que quiera ir. Al presionar P1, se debe encender el bombillo B1, mientras que si se presiona P2, se debe encender el bombillo B2. En ambos casos debe apagarse el bombillo B0.

Al presionar de nuevo cualquiera de los dos botones, P1 o P2, se debe apagar la luz que está encendida actualmente y se regresa al estado por defecto, esto es, con todos los bombillos apagados. Adicionalmente, si se ha encendido el bombillo B0 y pasan más de 10 segundos sin presionar otro botón, se debe apagar el bombillo B0 y regresar al estado inicial.

Para este sistema debe desarrollar el diagrama de bloques mostrado en la Figura 1.2. El módulo **Nivel a pulso**, debe ser un bloque que genera un pulso (de un ciclo de reloj) únicamente al detectar que se ha dado un cambio de cero a uno en la entrada. En cualquier otro momento la salida debe ser cero. Por otro lado, el **Temporizador** es un módulo que se habilita con la entrada **en**. Mientras la señal **en** esté en alto, el bloque debe contar hasta 10 segundos y entonces generar un pulso, de un ciclo de reloj, a la máquina de estados finitos y así reiniciar la cuenta de tiempo.

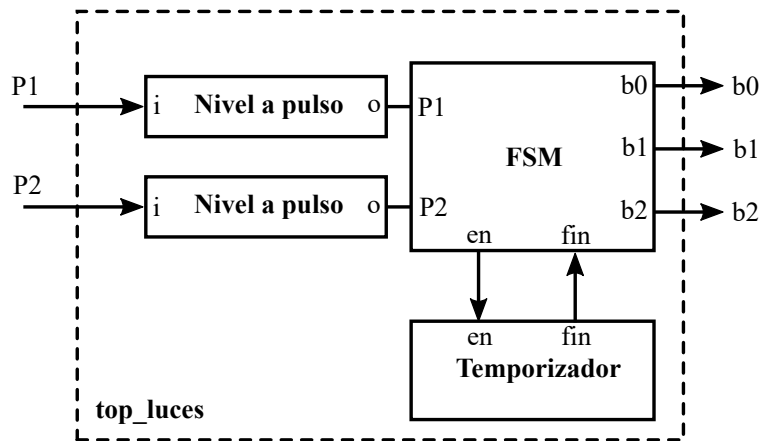


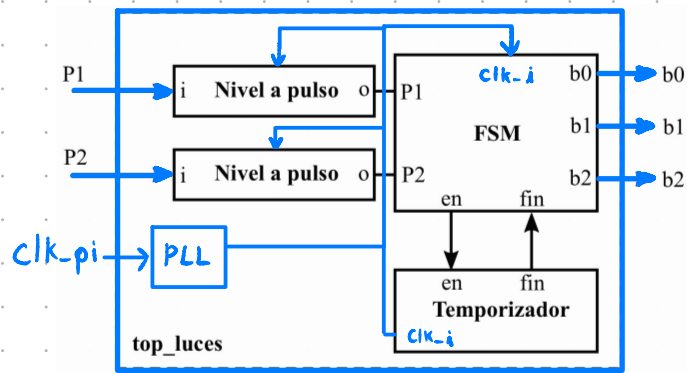
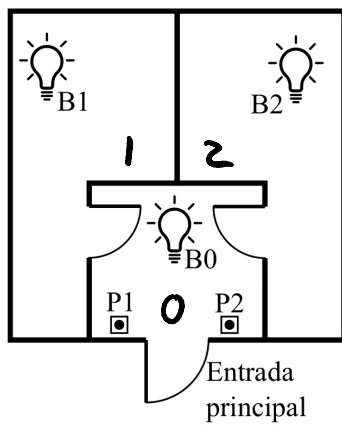
Figura 1.2: Diagrama de bloques propuesto.

Para la evaluación de este diseño, debe cumplir con:

- Plantee dos diagramas de estados **a mano** que describan el funcionamiento del módulo **Nivel a pulso** y del módulo **FSM**. 2 Pts
- Desarrolle el diseño, empleando SystemVerilog, para cada uno de los tres sub-bloques mostrados. Un archivo **.sv** por cada módulo. [Temporizador: 1 pt, Nivel a pulso: 2 pts, FSM: 2 pt.] 5 Pts
- Escriba el código en SystemVerilog, de forma estructural, para el bloque *top_luces* que implementa (o una) todo el sistema. 1 Pt
- Escriba un testbench para el sistema **completo**. Debe ser posible verificar todos los posibles casos de entrada. Esta prueba debe correrse en **post-síntesis con timing**. 2 Pts
- **Puntos extra (3 pts):** Implemente el sistema en la FPGA y demuestre el funcionamiento. Defina sus *constraints* para que se haga uso de los botones presentes en la tarjeta FPGA. Además, la salida del sistema debe ser mostrada en los LEDs disponibles.

Los archivos **.sv** se deberán subir al tecDigital para su revisión, así como una fotografía con los diagramas de estados dibujados **a mano**. En caso de realizar el punto extra, agregar el archivo **.bit** generado.

Resolución del problema 1:

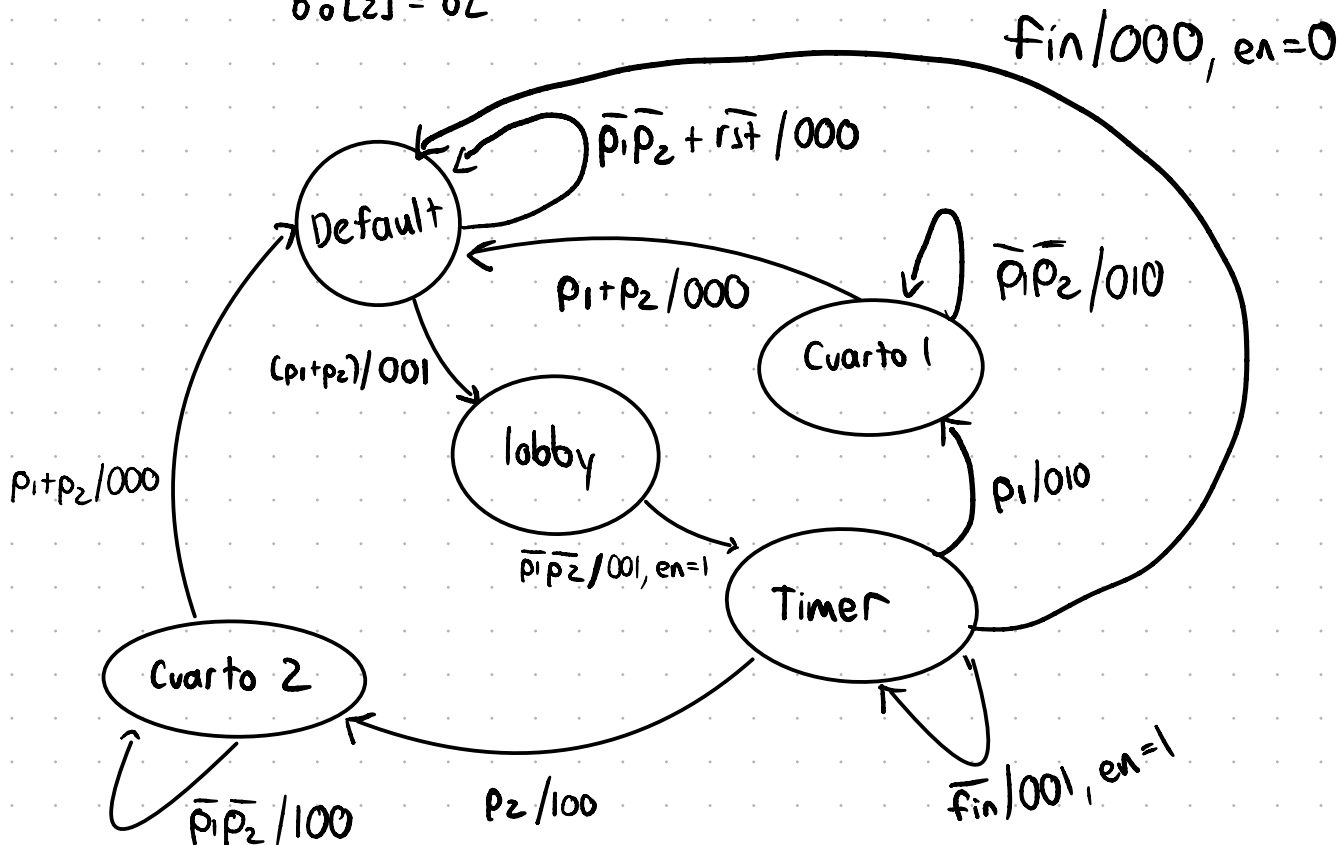


Entradas del módulo top:
`p1-pi`, // primer botón
`p2-pi` // segundo botón

Salidas del módulo top:
`b0-po`, // bombillo del recibidor
`b1-po`, // bombillo del cuarto 1
`b2-po` // bombillo del cuarto 2

FSM: Diagrama de estados

`b0 [2:0]: b0[0] = b0`
`b0[1] = b1`
`b0[2] = b2`



Nivel a pulso: Diagrama de estados

