



VIETNAM NATIONAL UNIVERSITY HANOI (VNU)  
VNU UNIVERSITY OF ENGINEERING AND TECHNOLOGY

## Computer Architecture

### Lecture 11: Parallel Processing and Multicore

Duy-Hieu Bui, PhD

*AIoT Laboratory*

VNU Information Technology Institute

Email: [hieubd@vnu.edu.vn](mailto:hieubd@vnu.edu.vn)

<https://duyhieubui.github.io>



## Nội dung

- Một số mô hình tổ chức đa CPU
  - SISD
  - SIMD
  - MISD
  - MIMD
- Kiến trúc hiệu năng cao: SMP và Cluster
- Mô hình tổ chức hệ thống máy tính đa lõi (multicores)
  - Core i7
  - ARM11 MPCore



## Tổ chức đa chip CPU

- Single instruction, single data stream – SISD
  - 1 CPU: một luồng lệnh và một luồng dữ liệu → một bộ nhớ
- Single instruction, multiple data stream – SIMD
  - 1 CPU: một luồng lệnh, nhiều luồng dữ liệu: phục vụ các máy tính xử lý dữ liệu kiểu vector, array
- Multiple instruction, single data stream – MISD
  - Nhiều CPU: nhiều luồng lệnh, một luồng dữ liệu → không được cài đặt
- Multiple instruction, multiple data stream- MIMD
  - Nhiều CPU: nhiều luồng lệnh, nhiều luồng dữ liệu, được triển khai nhiều trong thực tế

12/12/2024

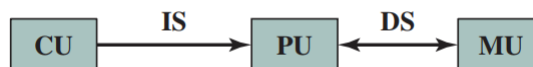
Xuan-Tu Tran &amp; Duy-Hieu Bui

3

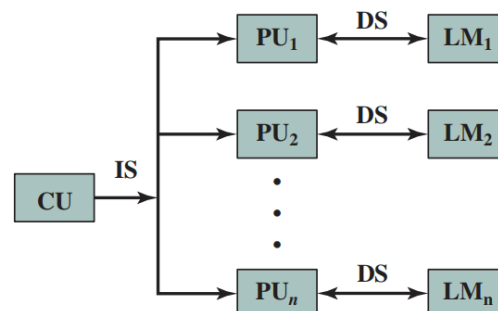


## SISD và SIMD

- SISD



- SIMD



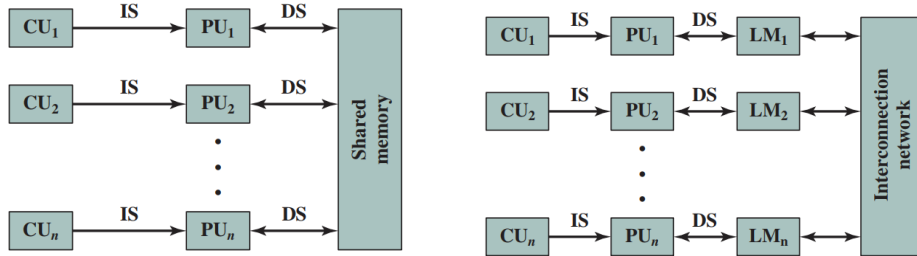
12/12/2024

Xuan-Tu Tran &amp; Duy-Hieu Bui

4



## MIMD



(c) MIMD (with shared memory)

CU = Control unit  
 IS = Instruction stream  
 PU = Processing unit  
 DS = Data stream  
 MU = Memory unit  
 LM = Local memory  
 SISR = Single instruction,  
 = single data stream  
 SIMD = Single instruction,  
 multiple data stream  
 MIMD = Multiple instruction,  
 multiple data stream

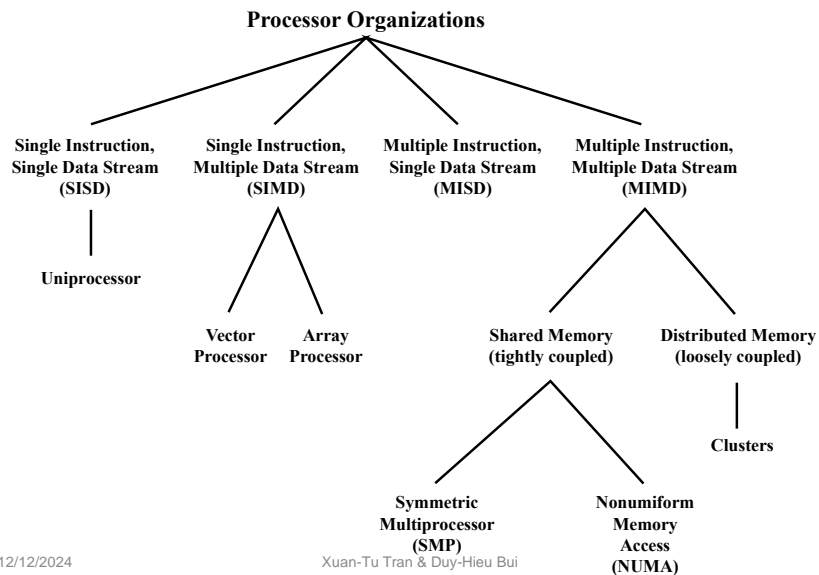
12/12/2024

Xuan-Tu Tran & Duy-Hieu Bui

5



## Phân loại



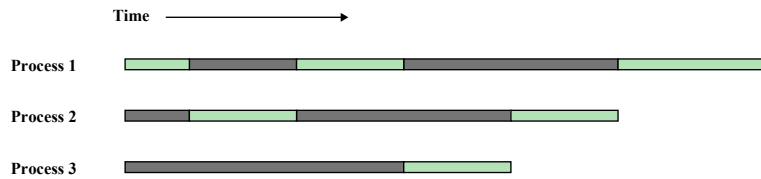
12/12/2024

Xuan-Tu Tran & Duy-Hieu Bui

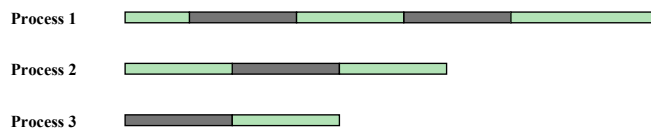
6



## Multiprogramming và Multiprocessing



(a) Interleaving (multiprogramming, one processor)



(b) Interleaving and overlapping (multiprocessing; two processors)

Blocked Running

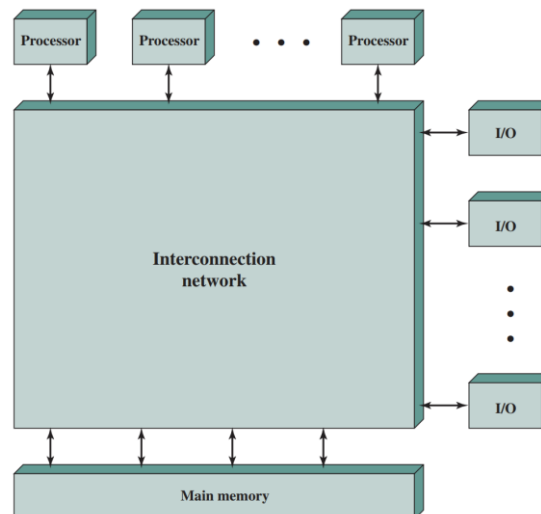
12/12/2024

Xuan-Tu Tran & Duy-Hieu Bui

7



## Tightly Coupled Microprocessor



12/12/2024

Xuan-Tu Tran & Duy-Hieu Bui

8



## Symmetric Multiprocessors

- Hệ thống máy tính có những đặc trưng sau:
  - Hai hay nhiều bộ VXL giống nhau
  - Các bộ VXL chia sẻ chung MM và I/O
    - Thời gian truy cập bộ nhớ tương đương nhau đối với mỗi VXL
    - I/O được chia sẻ truy cập (cùng kênh hoặc khác kênh)
  - Các bộ VXL được kết nối riêng, bên trong
  - Các bộ VXL có cùng chức năng (cùng tập lệnh, là lý do chính của tên “symmetric”)
  - Hệ thống được kiểm soát bởi OS: OS hỗ trợ tương tác giữa các bộ VXL

12/12/2024

Xuan-Tu Tran &amp; Duy-Hieu Bui

9



## Ưu điểm của SMP

- Performance
  - Tạo khả năng thực xử lý song song
- Availability
  - Các VXL thực hiện cùng chức năng → một VXL có lỗi thì hệ thống vẫn có thể hoạt động
- Incremental growth
  - Hiệu năng có thể được cải thiện nếu bổ xung thêm VXL
- Scaling
  - Tạo lớp sản phẩm dựa trên số lượng VXL

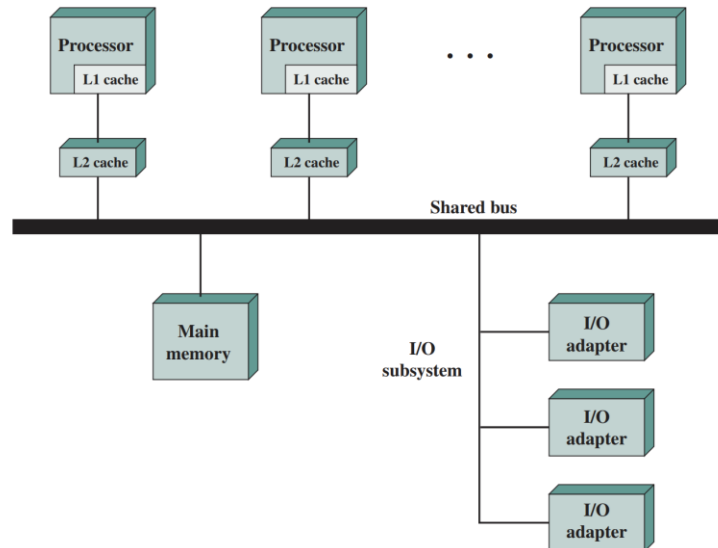
12/12/2024

Xuan-Tu Tran &amp; Duy-Hieu Bui

10



## Tổ chức SMP



12/12/2024

Xuan-Tu Tran &amp; Duy-Hieu Bui

11



## IBM zEnterprise System z196

- **Processors**
  - z196 chip: 5.2 GHz quad-core out-of-order CISC-based z/Architecture processor, maximum of 24 processors giving a total of 96 cores, 80 of which will be available to run the system's operating systems.
  - Number of cores available denoted by the model name (for example, the M15 has 15 cores).
  - Each core characterized as either a Central Processor (CP), Integrated Facility for Linux (IFL) processor, z Application Assist Processor (zAAP), z10 Integrated Information Processor (zIIP), or an Internal Coupling Facility (ICF) processor.
  - Also supports x86 or Power blades attached as a zEnterprise BladeCenter Extension (zBX).
- **Memory:** up to 3 TB of redundant array of independent memory (RAIM)



12/12/2024

Xuan-Tu Tran &amp; Duy-Hieu Bui

12



## Clusters

- Mục tiêu: tạo hệ thống tính toán hiệu năng cao (high performance), độ sẵn sàng cao (high availability) và thường phục vụ các ứng dụng phức tạp, quy mô lớn
- Tổ chức: nhóm (cụm) các máy tính (có thể là SMP, được gọi là *node*) kết nối với nhau tạo môi trường làm việc hợp nhất như một máy tính.
- Đặc điểm chính:
  - Absolute scalability
  - Incremental scalability
  - High availability
  - Superior price/performance

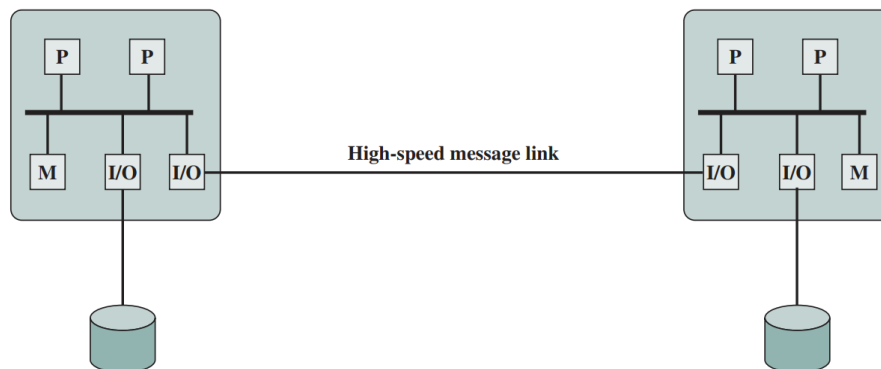
12/12/2024

Xuan-Tu Tran &amp; Duy-Hieu Bui

13



## Cluster Configurations



**Standby Server, No Shared Disk**

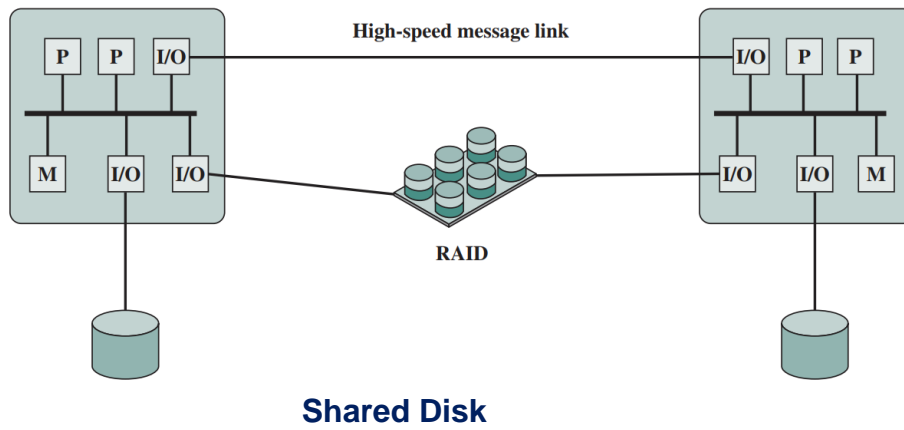
12/12/2024

Xuan-Tu Tran &amp; Duy-Hieu Bui

14



## Cluster Configurations...



12/12/2024

Xuan-Tu Tran &amp; Duy-Hieu Bui

15



## Môi trường hợp nhất

- Quản lý lỗi
  - High availability
  - Fault tolerant
  - Failover: switching applications & data from failed system to alternative within cluster
  - Failback: restoration of applications and data to original system, after problem is fixed
- Cân bằng tải
  - Incremental scalability
  - Automatically include new computers in scheduling
  - Middleware needs to recognise that processes may switch between machines
- Song song hoá
  - Cho phép thi hành song song trên các nodes của cluster

12/12/2024

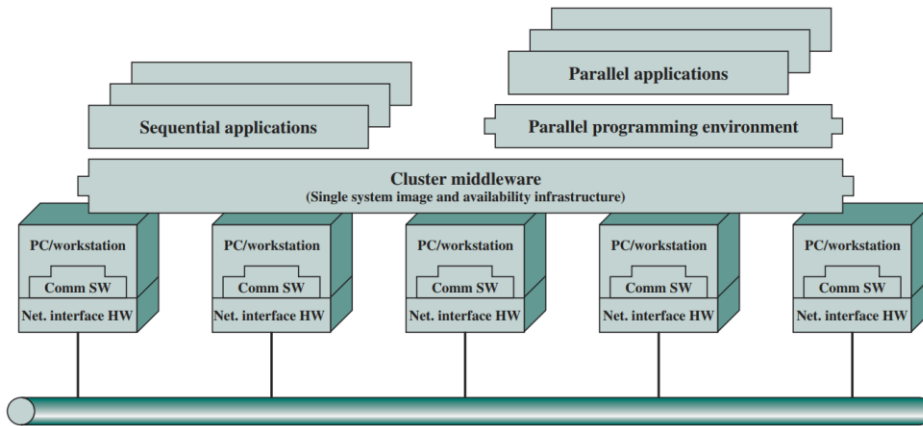
Xuan-Tu Tran &amp; Duy-Hieu Bui

16





## Kiến trúc Cluster



12/12/2024

Xuan-Tu Tran &amp; Duy-Hieu Bui

17



## Cluster Middleware

- Unified image to user
  - Single system image
- Single point of entry
- Single file hierarchy
- Single control point
- Single virtual networking
- Single memory space
- Single job management system
- Single user interface
- Single I/O space
- Single process space
- Checkpointing
- Process migration

12/12/2024

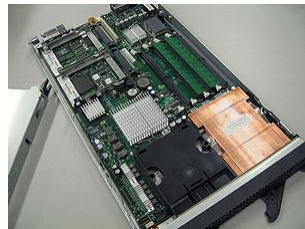
Xuan-Tu Tran &amp; Duy-Hieu Bui

18



## Blade Servers

- Hệ thống cài đặt thông dụng kiểu cluster
- Mô đun hoá các servers (được gọi là blade), tích hợp trong hệ thống tủ rack
  - Tiết kiệm không gian vật lý
  - Cải thiện việc cài đặt, vận hành, bảo trì hệ thống cluster
  - Mỗi blade hoạt động như một server (có processor, memory, disk)



12/12/2024

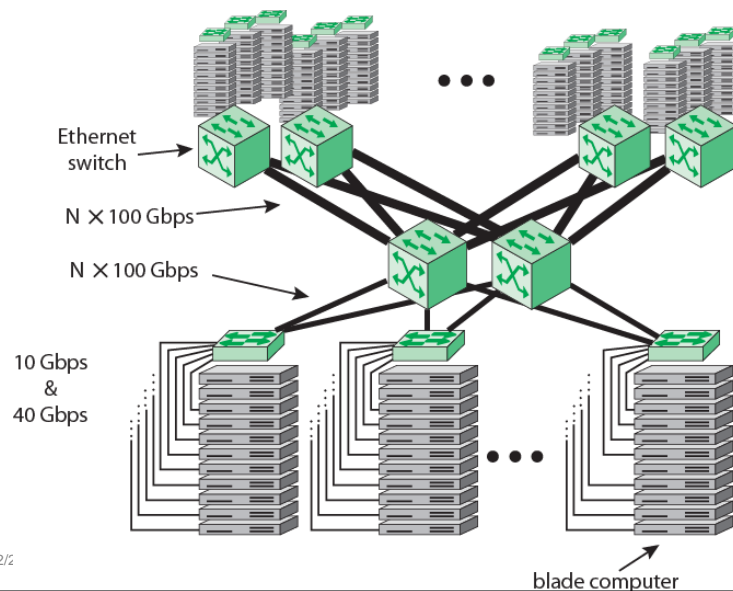
Xuan-Tu Tran &amp; Duy-Hieu Bui



19



## 100-Gbps Ethernet Configuration for Massive Blade Server Site



12/12/2

20



## Cluster <> SMP

- Cả hai đều hỗ trợ kiến trúc đa VXL theo yêu cầu thực tiễn
- SMP:
  - Dễ quản lý và kiểm soát hơn
  - Gần với hệ thống đơn VXL hơn
    - Chỉ khác chính ở phần lập lịch
    - Không gian vật lý bé hơn
    - Tiêu thụ năng lượng ít hơn
- Clustering:
  - Superior incremental & absolute scalability
  - Superior availability
    - Redundancy

12/12/2024

Xuan-Tu Tran &amp; Duy-Hieu Bui

21



## Nonuniform Memory Access (NUMA)

- Alternative to SMP & clustering
- Uniform memory access
  - All processors have access to all parts of memory
    - Using load & store
  - Access time to all regions of memory is the same
  - Access time to memory for different processors same
  - As used by SMP
- Nonuniform memory access
  - All processors have access to all parts of memory
    - Using load & store
  - Access time of processor differs depending on region of memory
  - Different processors access different regions of memory at different speeds
- Cache coherent NUMA
  - Cache coherence is maintained among the caches of the various processors
  - Significantly different from SMP and clusters

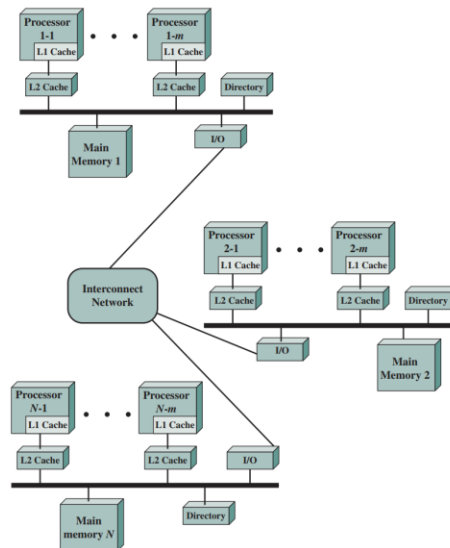
12/12/2024

Xuan-Tu Tran &amp; Duy-Hieu Bui

22



## CC-NUMA Organization



12/12/2024

Xuan-Tu Tran &amp; Duy-Hieu Bui

23



## NUMA Pros & Cons

- Effective performance at higher levels of parallelism than SMP
- No major software changes
- Performance can breakdown if too much access to remote memory
  - Can be avoided by:
    - L1 & L2 cache design reducing all memory access
      - Need good temporal locality of software
    - Good spatial locality of software
    - Virtual memory management moving pages to nodes that are using them most
- Not transparent
  - Page allocation, process allocation and load balancing changes needed
- Availability?

12/12/2024

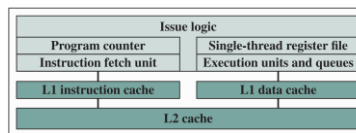
Xuan-Tu Tran &amp; Duy-Hieu Bui

24

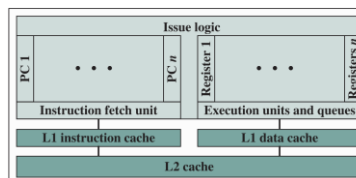


## Thực trạng VXL hiện nay

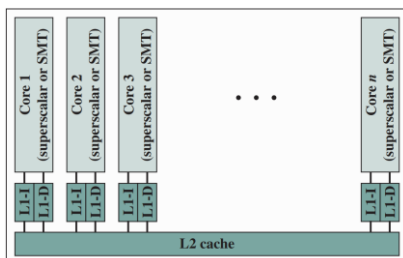
- Hiệu năng được cải thiện đáng kể
  - Do cải tiến kiến trúc/tổ chức
  - Tăng xung nhịp clock
- Nâng cao khả năng thi hành song song
  - Pipelining
  - Superscalar
  - Simultaneous multithreading (SMT)



(a) Superscalar



(b) Simultaneous multithreading



(c) Multicore

12/12/2024

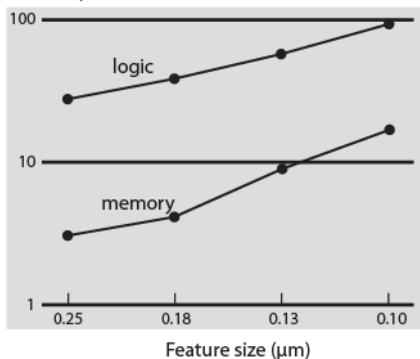
Xuan-Tu Tran & Duy-Hieu Bui

25



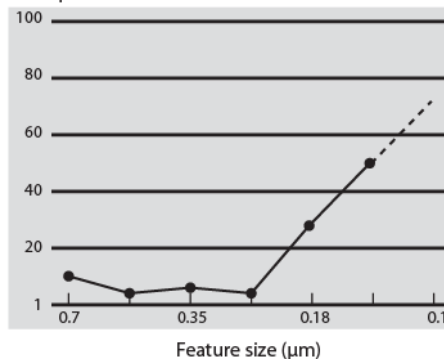
## Tương quan năng lượng và bộ nhớ

Power density  
(watts/cm<sup>2</sup>)



(a) Power density

cache percent  
of full chip area



(b) Chip area

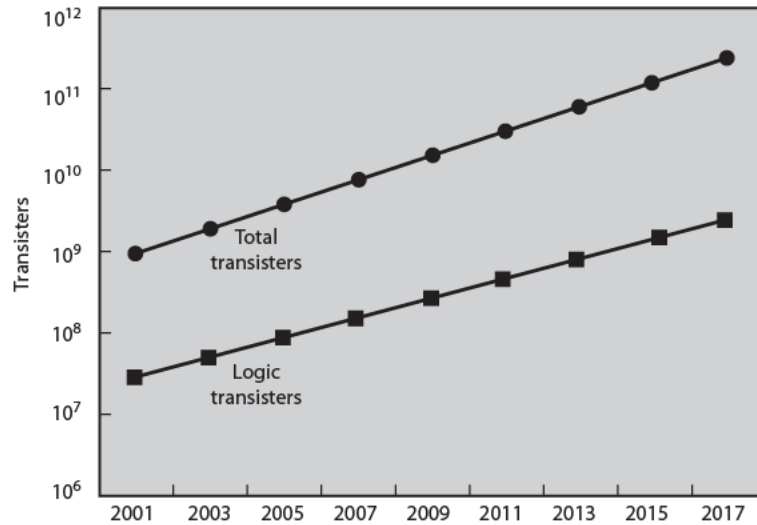
12/12/2024

Xuan-Tu Tran & Duy-Hieu Bui

26



## Số transistors trong CPU



12/12/2024

Xuan-Tu Tran &amp; Duy-Hieu Bui

27



## Độ phức tạp ngày càng tăng

- Power requirements grow exponentially with chip density and clock frequency
  - Can use more chip area for cache
    - Smaller
    - Order of magnitude lower power requirements
- By 2015
  - 100 billion transistors on 300mm<sup>2</sup> die
    - Cache of 100MB
    - 1 billion transistors for logic
- Pollack's rule:
  - Performance is roughly proportional to square root of increase in complexity
    - Double complexity gives 40% more performance
- Multicore has potential for near-linear improvement
- Unlikely that one core can use all cache effectively

12/12/2024

Xuan-Tu Tran &amp; Duy-Hieu Bui

28



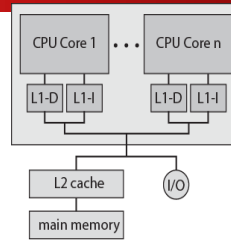
## Tổ chức đa lõi – multicore

### • Mỗi VXL (chip)

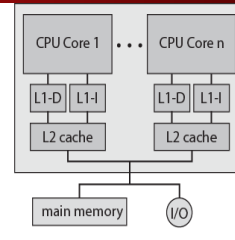
- Chứa một số lõi (core)
- Có nhiều mức cache
- Có vùng cache được chia sẻ chung cho các lõi

### • Minh họa:

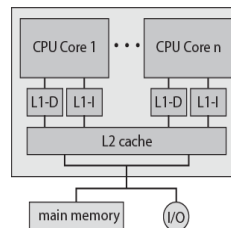
- (a) ARM11 MPCore
- (b) AMD Opteron
- (c) Intel Core Duo
- (d) Intel Core i7



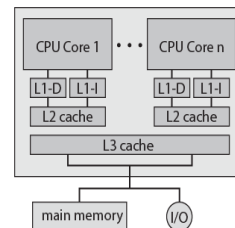
(a) Dedicated L1 cache



(b) Dedicated L2 cache



(c) Shared L2 cache



(d) Shared L3 cache

12/12/2024

Xuan-Tu Tran & Duy-Hieu Bui

29



## Intel x86 Multicore Organization - Core Duo (1)

- 2006
- Two x86 superscalar, shared L2 cache
- Dedicated L1 cache per core
  - 32KB instruction and 32KB data
- Thermal control unit per core
  - Manages chip heat dissipation
  - Maximize performance within constraints
  - Improved ergonomics
- Advanced Programmable Interrupt Controlled (APIC)
  - Inter-process interrupts between cores
  - Routes interrupts to appropriate core
  - Includes timer so OS can interrupt core

12/12/2024

Xuan-Tu Tran & Duy-Hieu Bui

30



## Intel x86 Multicore Organization - Core Duo (2)

- Power Management Logic
  - Monitors thermal conditions and CPU activity
  - Adjusts voltage and power consumption
  - Can switch individual logic subsystems
- 2MB shared L2 cache
  - Dynamic allocation
  - MESI support for L1 caches
  - Extended to support multiple Core Duo in SMP
    - L2 data shared between local cores or external
- Bus interface

12/12/2024

Xuan-Tu Tran &amp; Duy-Hieu Bui

31



## Intel x86 Multicore Organization - Core i7

- November 2008
- Four x86 SMT processors
- Dedicated L2, shared L3 cache
- Speculative pre-fetch for caches
- On chip DDR3 memory controller
  - Three 8 byte channels (192 bits) giving 32GB/s
  - No front side bus
- QuickPath Interconnection
  - Cache coherent point-to-point link
  - High speed communications between processor chips
  - 6.4G transfers per second, 16 bits per transfer
  - Dedicated bi-directional pairs
  - Total bandwidth 25.6GB/s

12/12/2024

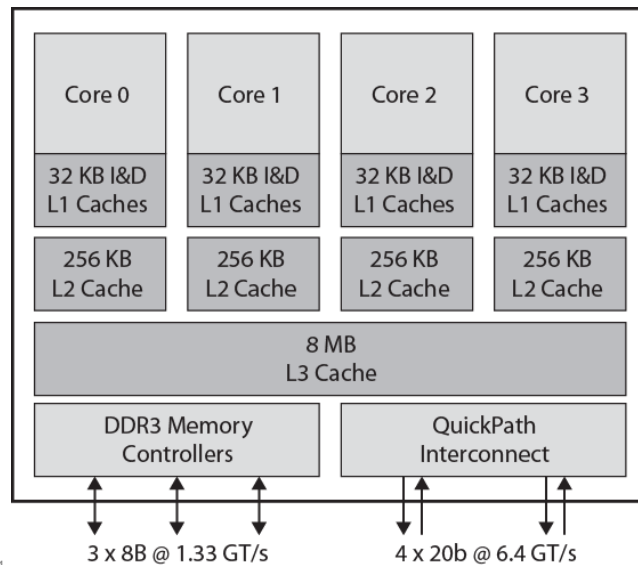
Xuan-Tu Tran &amp; Duy-Hieu Bui

32





## Intel Core i& Block Diagram



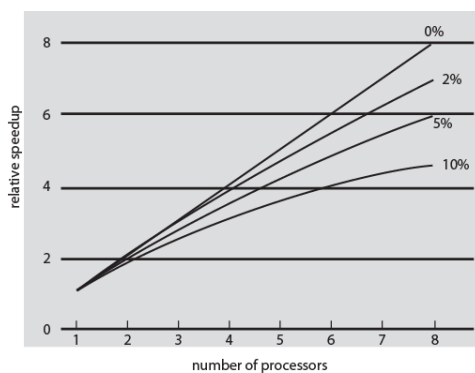
12/12/2024

Xuan-Tu Tran &amp; Duy-Hieu Bui

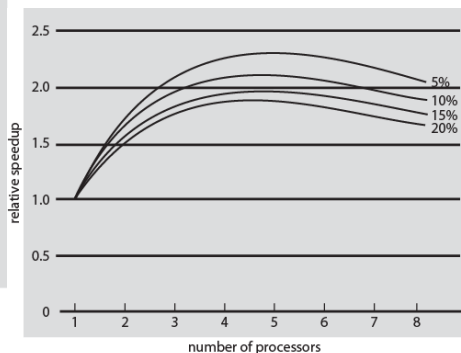
33



## Hiệu năng đa lõi



(a) Speedup with 0%, 2%, 5%, and 10% sequential portions



(b) Speedup with overheads

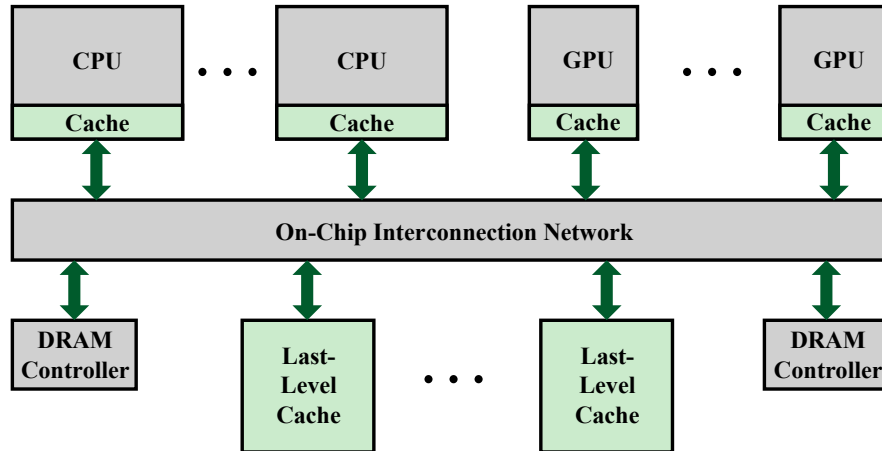
12/12/2024

Xuan-Tu Tran &amp; Duy-Hieu Bui

34



## Heterogeneous multicore



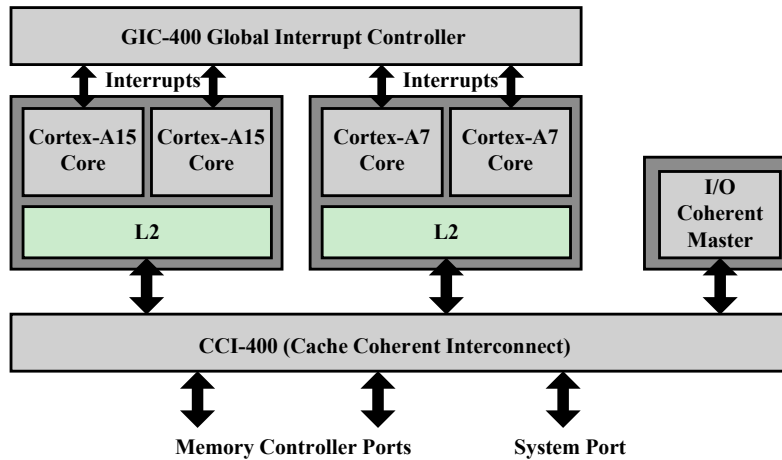
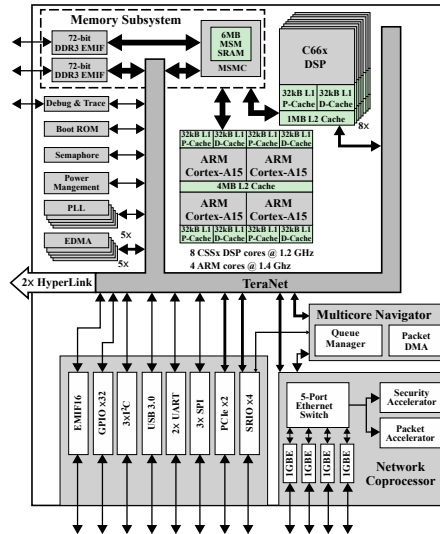
## Operating Parameters of AMD 5100K Heterogeneous Multicore Processor

	CPU	GPU
<b>Clock frequency (GHz)</b>	3.8	0.8
<b>Cores</b>	4	384
<b>FLOPS/core</b>	8	2
<b>GFLOPS</b>	121.6	614.4

FLOPS = floating point operations per second  
 FLOPS/core = number of parallel floating point operations that can be performed

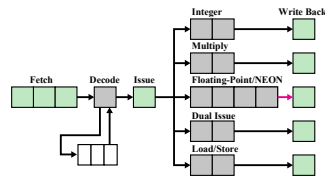


## Texas Instruments 66AK2H12 Heterogeneous MC

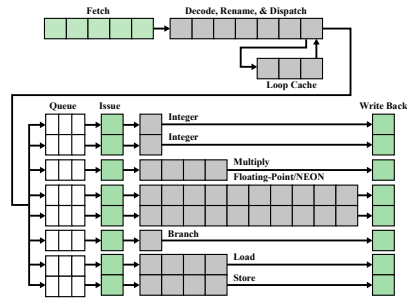




## Cortex-A7 and A15 pipeline architecture



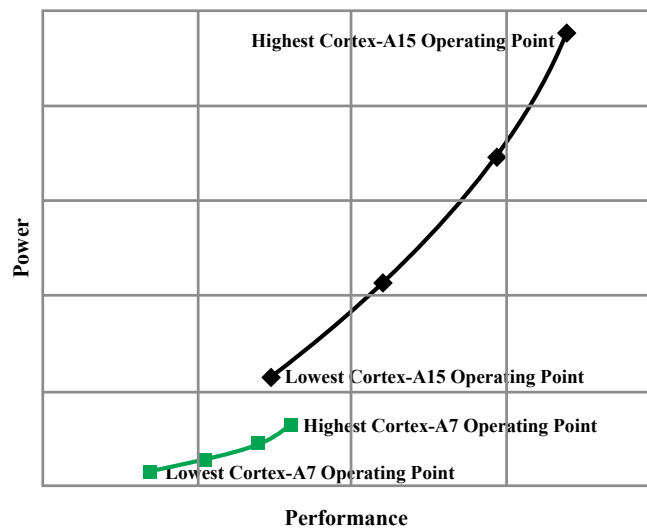
(a) Cortex A-7 Pipeline



(b) Cortex A-15 Pipeline

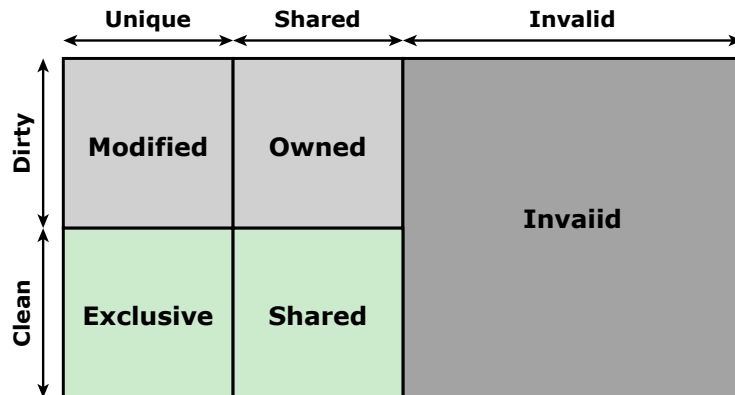


## Cortex-A7 and A15 Performance comparison





## ARM ACE Cache line state



## Snoop Protocol

(a) MESI

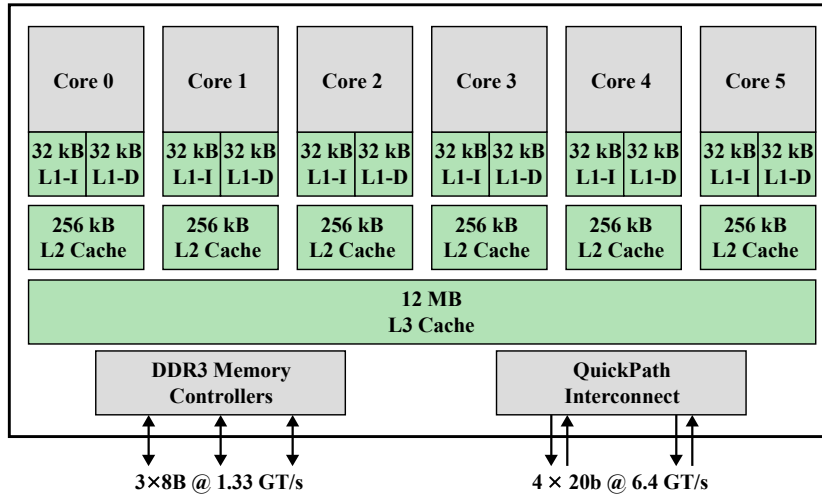
	Modified	Exclusive	Shared	Invalid
Clean/Dirty	Dirty	Clean	Clean	N/A
Unique?	Yes	Yes	No	N/A
Can write?	Yes	Yes	No	N/A
Can forward?	Yes	Yes	Yes	N/A
Comments	Must write back to share or replace	Transitions to M on write	Shared implies clean, can forward	Cannot read

(b) MOESI

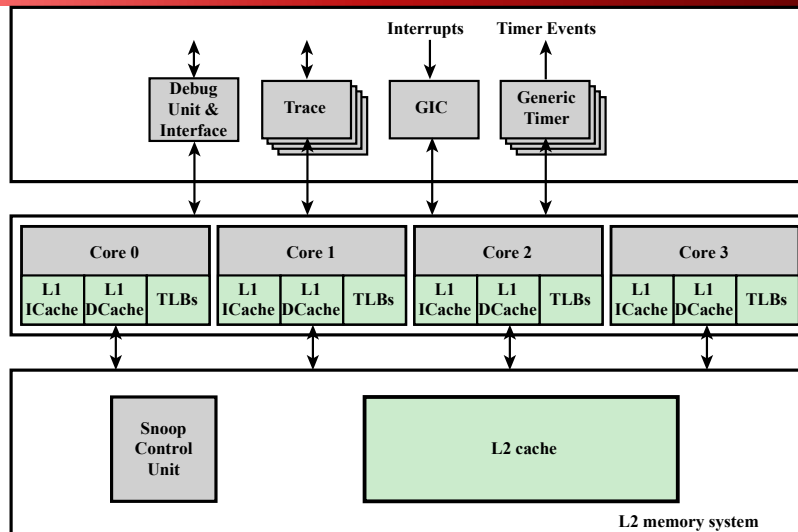
	Modified	Owned	Exclusive	Shared	Invalid
Clean/Dirty	Dirty	Dirty	Clean	Either	N/A
Unique?	Yes	Yes	Yes	No	N/A
Can write?	Yes	Yes	Yes	No	N/A
Can forward?	Yes	Yes	Yes	No	N/A
Comments	Can share without write back	Must write back to transition	Transitions to M on write	Shared, can be dirty or clean	Cannot read



## Intel Core i7-990x



## ARM Cortex-A15 MPCore





## Tổng kết

- Cần nắm vững bốn mô hình tổ chức đa CPU: SISD, SIMD, MISD và MIMD.
- Một số kiến trúc hệ thống tính toán hiệu năng cao điển hình : SMP và Cluster
- Khuynh hướng và những ưu điểm kiến trúc đa lõi (multicores)
  - Core i7
  - ARM11 MPCore