



VIETNAM NATIONAL UNIVERSITY HANOI (VNU)
INFORMATION TECHNOLOGY INSTITUTE

Computer Architecture

Lecture 3: Interconnection System

Duy-Hieu Bui, PhD

AIoT Research Laboratory

Email: hieubd@vnu.edu.vn

<https://duyhieubui.github.io>



Nội dung

1. Khái niệm chung
2. Tổng quan về BUS
3. Các đặc điểm của hệ thống liên kết
4. Quick Path InterConnect
5. PCIe



1. Hệ thống liên kết trong – Interconnection system

- Tất cả các thành phần trong máy tính phải được kết nối với nhau
- Các thành phần khác nhau sẽ có các kiểu liên kết khác nhau
 - Memory
 - Input/Output
 - CPU

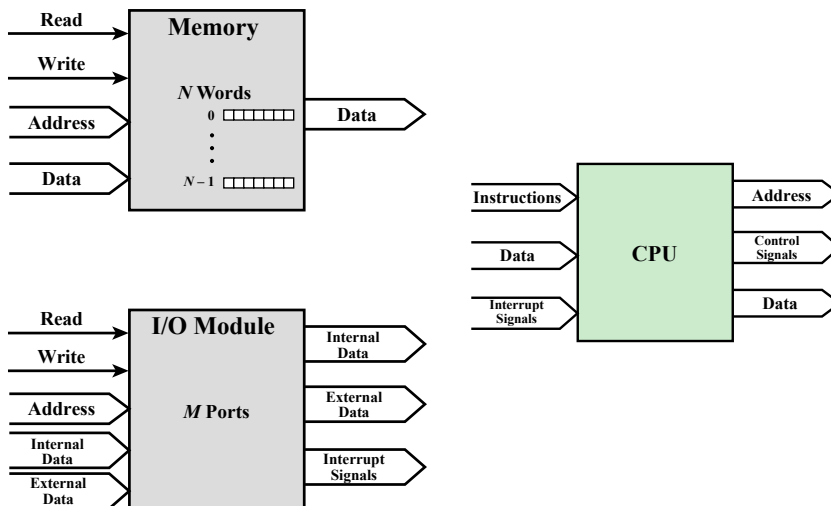
9/11/2024

Duy-Hieu Bui

3



In-Out



9/11/2024

Duy-Hieu Bui

4



Kết nối bộ nhớ

- Nhận và gửi dữ liệu
- Nhận địa chỉ xác định vị trí cần truy cập
- Nhận các tín hiệu điều khiển từ CPU
 - Read
 - Write
 - Timing

9/11/2024

Duy-Hieu Bui

5



Kết nối vào/ra (1)

- Tương tự như cách kết nối trong bộ nhớ
- Output
 - Nhận dữ liệu từ máy tính
 - Gửi dữ liệu đến thiết bị ngoại vi
- Input
 - Nhận dữ liệu từ thiết bị ngoại vi
 - Gửi dữ liệu đến máy tính

9/11/2024

Duy-Hieu Bui

6



Kết nối vào/ra (2)

- Nhận các tín hiệu điều khiển từ máy tính
- Gửi các tín hiệu điều khiển đến các thiết bị ngoại vi
 - Quay đĩa cứng để đọc dữ liệu
- Nhận địa chỉ từ máy tính
 - vd. số hiệu cổng xác định thiết bị
- Gửi các tín hiệu ngắt

9/11/2024

Duy-Hieu Bui

7



Kết nối CPU

- Đọc lệnh và dữ liệu
- Ghi lại dữ liệu kết quả tính
- Gửi tín hiệu điều khiển đến các bộ phận khác
- Nhận và xử lý các yêu cầu ngắt

9/11/2024

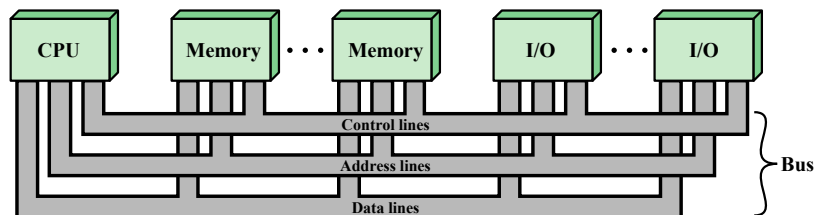
Duy-Hieu Bui

8



2. BUS

- Định nghĩa: A communication pathway connecting two or more devices
- Single and multiple BUS structures
 - PC: Control/Address/Data bus
 - DEC-PDP: Unibus
- Cấu trúc: 50 - 100 đường truyền tín hiệu, mỗi đường có một chức năng riêng:
 - Đường dữ liệu (data bus),
 - Đường địa chỉ (address bus),
 - Đường điều khiển (control bus).



9/11/2024

Duy-Hieu Bui

9



Chức năng

- Bus dữ liệu
 - Giữ vai trò chuyển dữ liệu (cả data lẫn instructions)
 - Độ rộng bus dữ liệu quyết định đến hiệu năng máy tính (8, 16, 32, 64)
- Bus địa chỉ
 - Xác định nguồn/đích của dữ liệu (chẳng hạn vị trí lệnh trong bộ nhớ chính)
 - Độ rộng bus xác định dung lượng tối đa bộ nhớ của hệ thống
 - e.g. 8080 has 16 bit address bus giving 64k address space
- Bus điều khiển
 - Kiểm soát và điều hòa thời gian thông tin
 - Memory read/write signal
 - Interrupt request
 - Clock signals

9/11/2024

Duy-Hieu Bui

10



Các tín hiệu điều khiển

Memory write	Ghi dữ liệu trên data bus vào vùng nhớ xác định = địa chỉ trên address bus
Memory read	Đọc dữ liệu từ địa chỉ xác định trên bus địa chỉ
I/O write	Ghi dữ liệu trên data bus vào cổng có địa chỉ xác định bởi address bus
I/O read	Đọc dữ liệu trên cổng có địa chỉ chỉ định trên address bus
Transfer ACK	Cho biết dữ liệu đã được đặt trên bus hoặc đã được nhận
Bus request	Cho biết 1 module cần có được quyền điều khiển bus
Bus grant	Cho biết module đề nghị điều khiển bus đã được chấp nhận
Interrupt request	Một interrupt đang treo
Interrupt ACK	Interrupt yêu cầu đã được chấp nhận
Clock	Sử dụng để đồng bộ hoá các thao tác
Reset	Khởi tạo lại tất cả các modules
...	

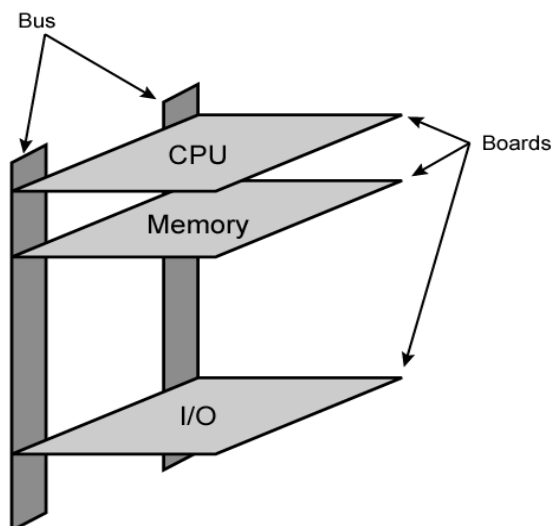
9/11/2024

Duy-Hieu Bui

11



Tổ chức bus



Càng nhiều thiết bị kết nối vào một bus, bus càng dài và hiệu năng càng giảm

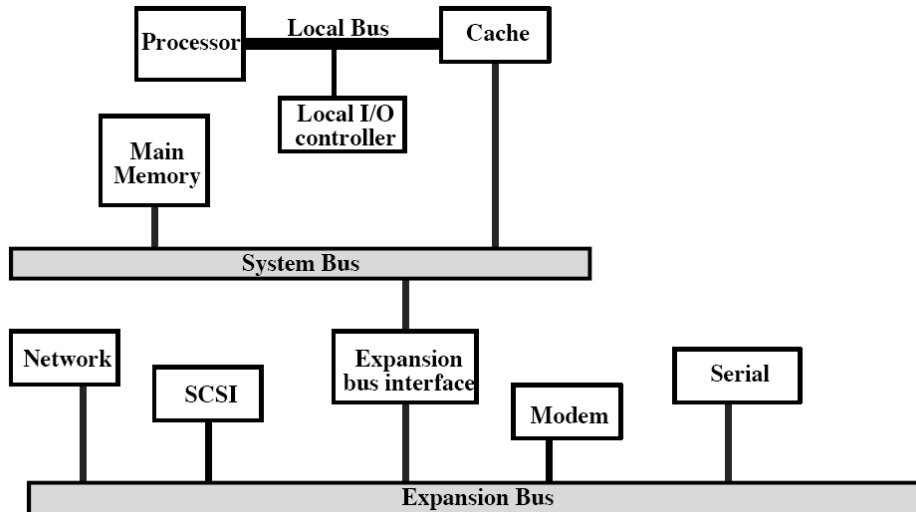
9/11/2024

Duy-Hieu Bui

12



Kiến trúc bus truyền thống



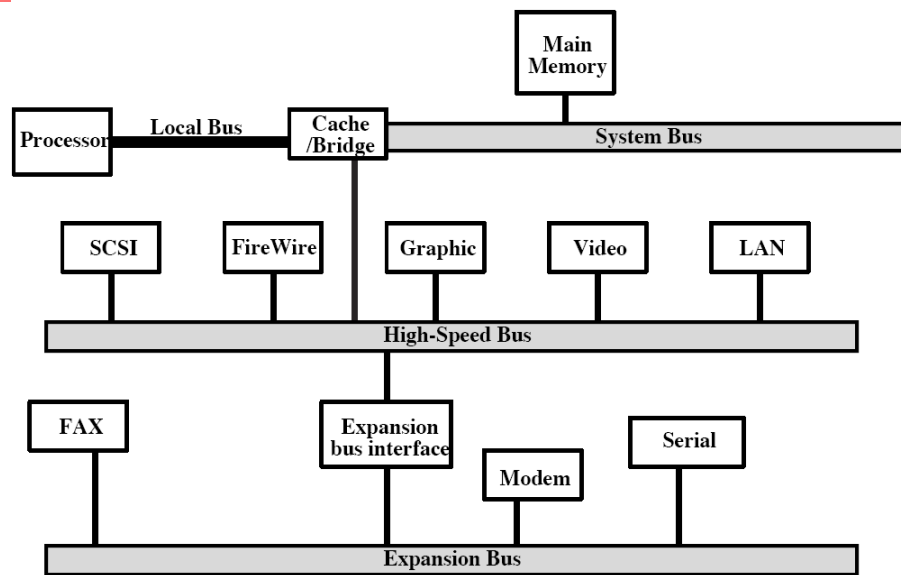
9/11/2024

Duy-Hieu Bui

13



High Performance Bus



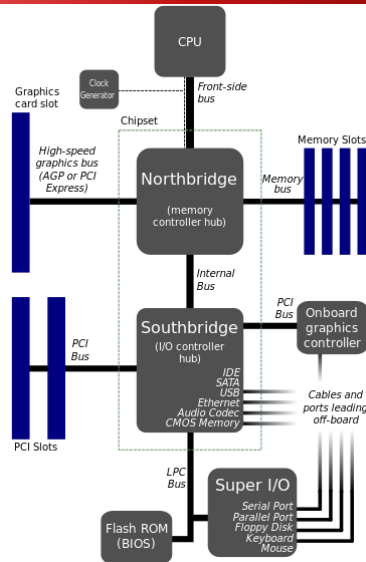
9/11/2024

Duy-Hieu Bui

14



Intel's computer system



9/11/2024

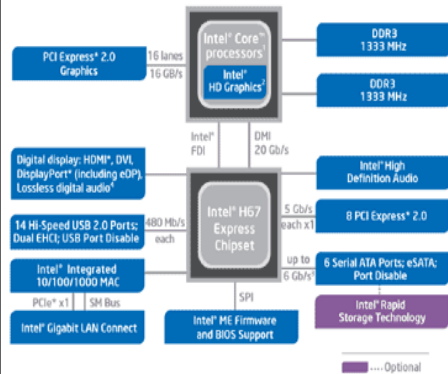
Duy-Hieu Bui

15



Ví dụ : Intel Core i

Intel® H67 Express Chipset Platform Block Diagram



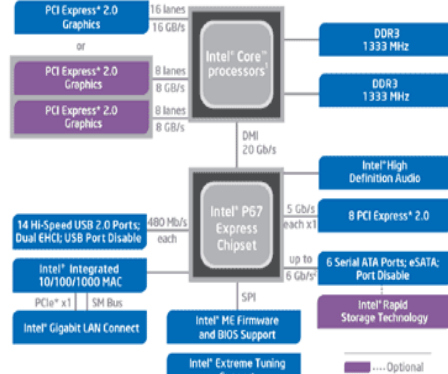
¹ Compatible with 2nd generation Intel® Core™ processor family

² Not available on all processors.

³ All SATA ports capable of 3 Gb/s. 2 ports capable of 6 Gb/s.

⁴ Available with Intel® HD Graphics only.

Intel® P67 Express Chipset Platform Block Diagram



¹ Compatible with 2nd generation Intel® Core™ processor family

² All SATA ports capable of 3 Gb/s. 2 ports capable of 6 Gb/s.

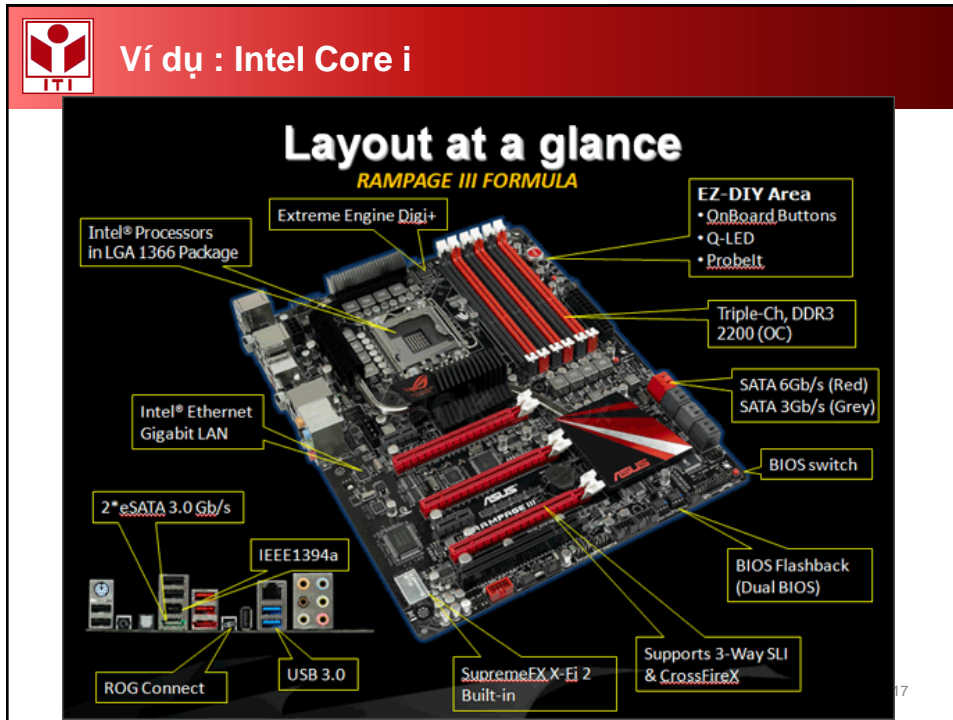
9/11/2024

Duy-Hieu Bui

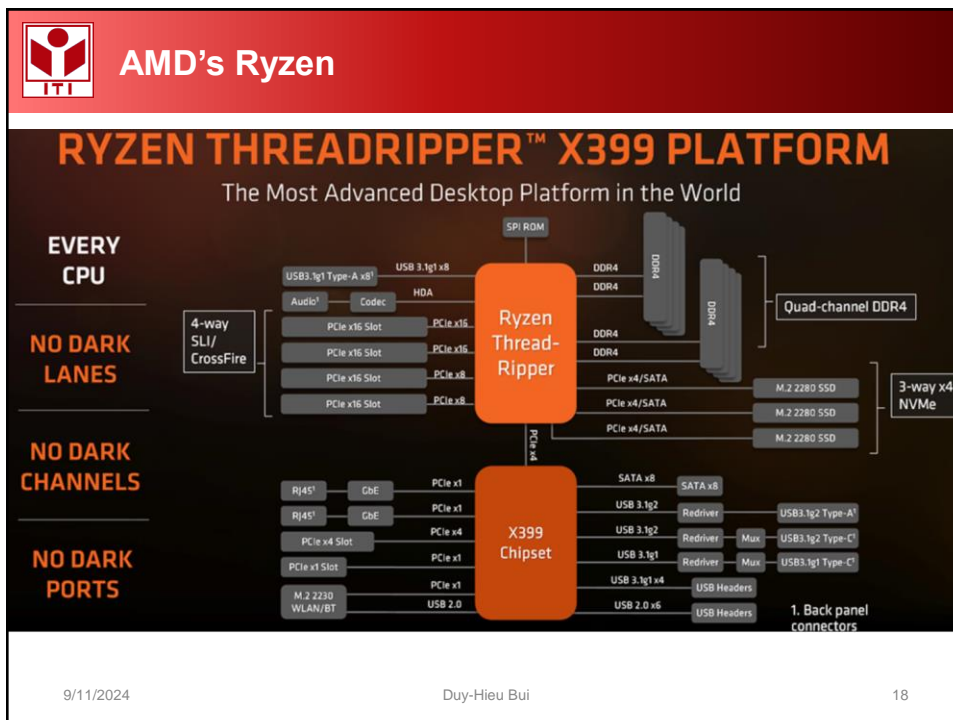
16



Ví dụ : Intel Core i



AMD's Ryzen





3. Các đặc điểm của hệ thống liên kết

- a. Kiểu bus
- b. Độ rộng bus
- c. Kiểu truyền dữ liệu
- d. Timing
- e. Methods of arbitration
- f. Hiệu năng

9/11/2024

Duy-Hieu Bui

19



a. Các kiểu bus

- Dedicated: Tách các đường bus theo chức năng
 - Separate data & address lines
- Multiplexed: chia sẻ các đường bus
 - Address valid or data valid control line
 - Advantage - fewer lines
 - Disadvantages
 - More complex control
 - Ultimate performance

9/11/2024

Duy-Hieu Bui

20



2 họ bus

- System bus (CPU - Memory) :
 - Ngắn
 - Nhanh
 - Các thành phần kết nối vào bus đã được xác định rõ trước khi thiết kế
- Extension bus (I/O) :
 - Dài hơn
 - Chậm hơn
 - Hỗ trợ nhiều thông lượng khác nhau

9/11/2024

Duy-Hieu Bui

21



Sơ đồ hoạt động

- Một giao dịch điển hình sử dụng bus gồm 3 bước:
 - Xin sử dụng bus
 - Gửi địa chỉ
 - Gửi dữ liệu
- Các kiểu giao dịch:
 - Kiểu ghi:
 - Xin sử dụng bus,
 - Truyền dữ liệu.
 - Kiểu đọc:
 - Xin sử dụng bus,
 - Gửi yêu cầu đến module đích,
 - Đợi dữ liệu.

9/11/2024

Duy-Hieu Bui

22



b. Độ rộng bus

- Lượng bits có thể gửi đi song song tại một thời điểm
- Bus càng rộng, thông lượng bus càng cao
- Độ rộng bus ảnh hưởng đến:
 - Multiplexed data/address line
 - Số truy cập bộ nhớ
 - Kích thước bộ nhớ
 - Hiệu năng của cả máy tính

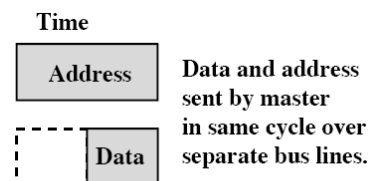
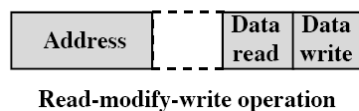
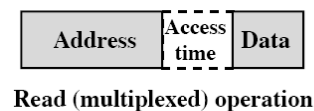
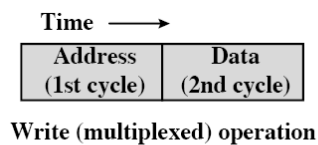
9/11/2024

Duy-Hieu Bui

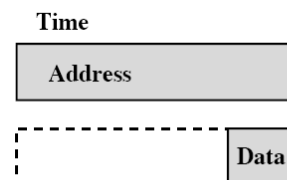
23



c. Kiểu truyền dữ liệu



Write (non-multiplexed) operation



Read (non-multiplexed) operation

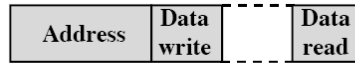
9/11/2024

Duy-Hieu Bui

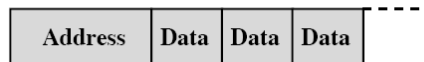
24



Kiểu truyền dữ liệu...



Read-after-write operation



Block data transfer

9/11/2024

Duy-Hieu Bui

25



d. Timing

- Timing: liên quan đến vấn đề kết hợp các sự kiện trên bus
 - Synchronous timing (system bus)
 - Asynchronous timing (extension bus)
 - Synchronous
 - Events determined by clock signals
 - Control Bus includes clock line
 - A single 1-0 is a (clock cycle) bus cycle
 - All devices can read clock line
 - Usually sync on leading edge
 - Usually a single cycle for an event
- ➔
- Cần xác định rõ giao thức truyền địa chỉ và dữ liệu
 - Truyền có tốc độ nhanh, điều khiển ít phức tạp hơn
 - Nơi phát và nhận phải cùng tần số hoạt động

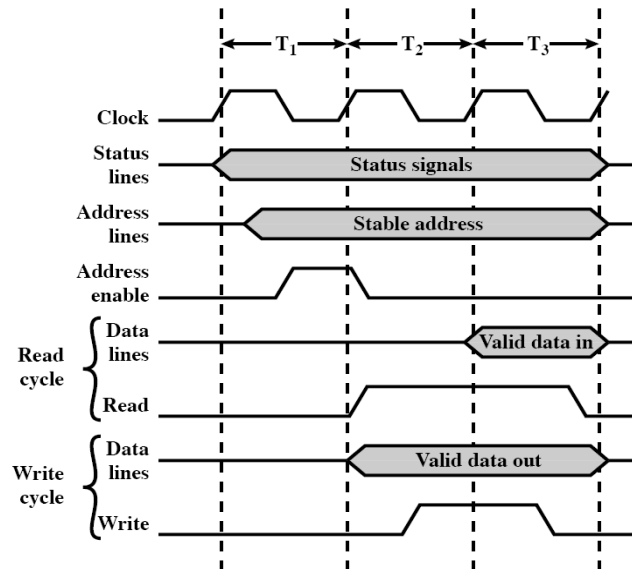
9/11/2024

Duy-Hieu Bui

26



Sơ đồ thời gian đồng bộ



9/11/2024

27



Thời gian không đồng bộ

- Không cần tham chiếu đến clock
- Trao đổi tín hiệu để xác định tiến trình truyền tin
- Tốc độ truyền chậm hơn, cần một cơ chế điều khiển phức tạp
- Cho phép truyền tin giữa các thành phần không đồng nhất

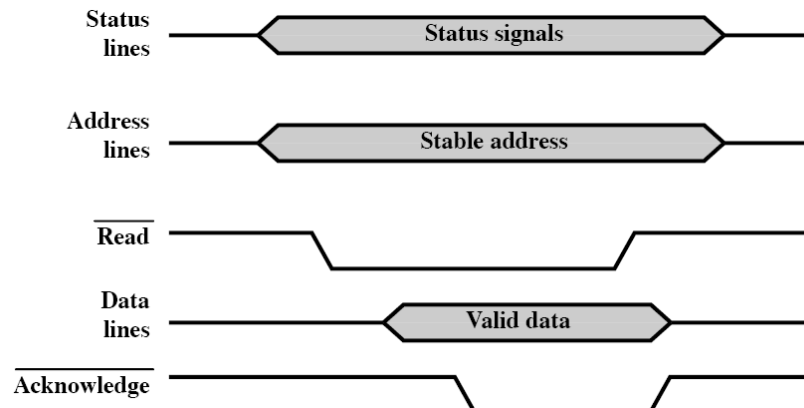
9/11/2024

Duy-Hieu Bui

28



Asynchronous Timing – đọc



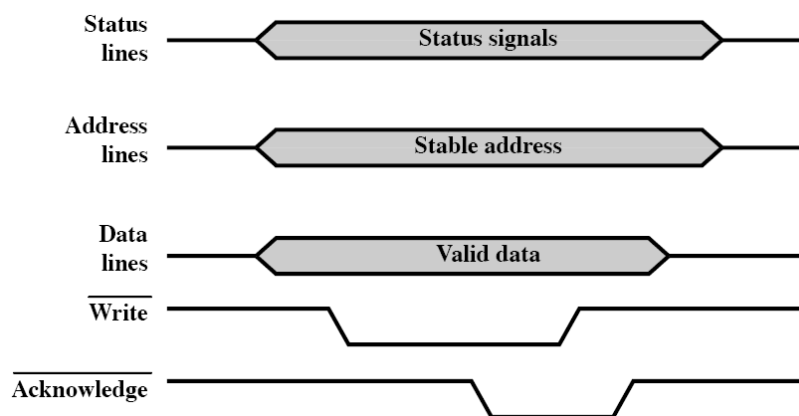
9/11/2024

Duy-Hieu Bui

29



Asynchronous Timing – Ghi



9/11/2024

Duy-Hieu Bui

30



e. Các kỹ thuật điều phối - Arbitration

- Có nhiều thiết bị liên kết trên đường bus (CPU, DMA controller, ...) → cần có điều phối việc sử dụng bus
 - *Bus master*: module có thể thực hiện một giao dịch
 - *Bus slave*: module không phải là master
- Chỉ có thể có một bus master tại 1 thời điểm => cần phải có các phương pháp điều phối (arbitration)
 - centralised
 - distributed

9/11/2024

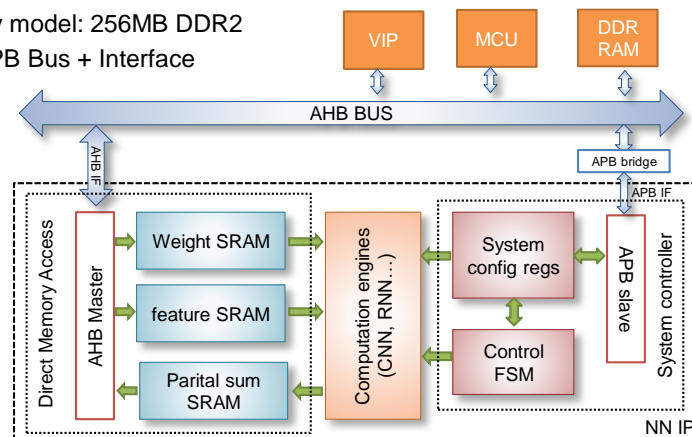
Duy-Hieu Bui

31



Leon3 with AMBA 2.0

- Development environment: GRLIB + Xilinx ML506
 - MCU Leon3
 - Memory model: 256MB DDR2
 - AHB/APB Bus + Interface



9/11/2024

Duy-Hieu Bui

32



Điều phối tập chung/ phân tán

- Centralised
 - Single hardware device controlling bus access
 - Bus Controller
 - Arbiter
 - May be part of CPU or separate
- Distributed
 - Each module may claim the bus
 - Control logic on all modules

9/11/2024

Duy-Hieu Bui

33



f. Hiệu năng bus

- Được xác định nhờ các tiêu chí sau:
 - Bandwidth
 - Latency
 - Độ dài vật lý của bus
 - Số thành phần có thể kết nối vào bus

9/11/2024

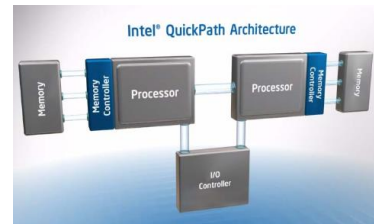
Duy-Hieu Bui

34



4. Quick Path Interconnect - QPI

- Chuẩn kết nối được giới thiệu từ 2008, hỗ trợ nhiều kết nối trực tiếp - Multiple direct connections
 - Loại bỏ phần điều phối (arbitrator), cho phép kết nối trực tiếp giữa các thành phần
 - Khắc phục được vấn đề quá tải điều phối khi xử lý kết nối P2P thông lượng cao
- Có kiến trúc phân tầng
- Có cơ chế truyền dữ liệu theo gói (packetized data transfer)



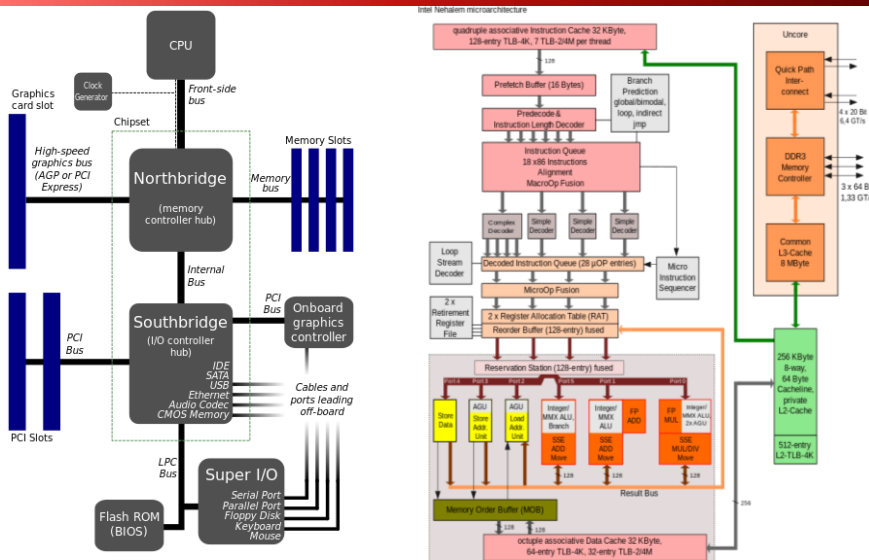
9/11/2024

Duy-Hieu Bui

35



Intel's architecture



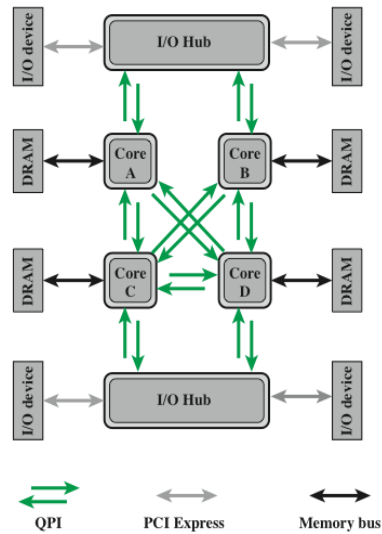
9/11/2024

Duy-Hieu Bui

36



Intel QPI : Multicore with QPI



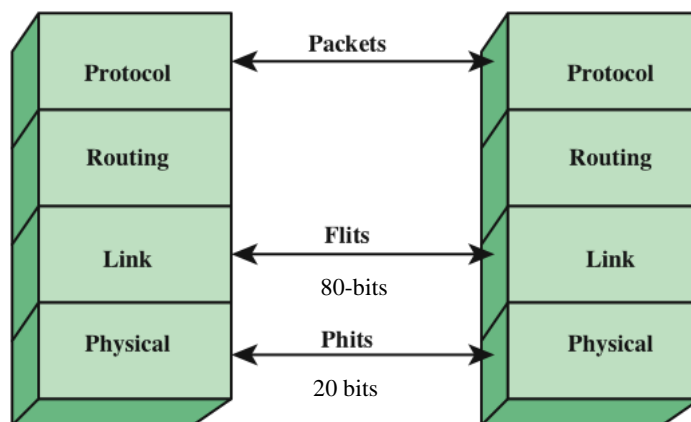
9/11/2024

Duy-Hieu Bui

37



QPI Layers



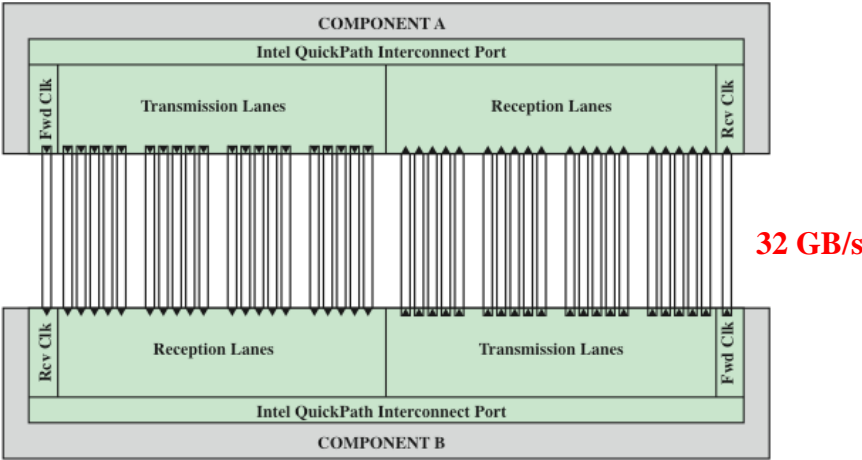
9/11/2024

Duy-Hieu Bui

38



Giao tiếp vật lý của chuẩn Intel QPI



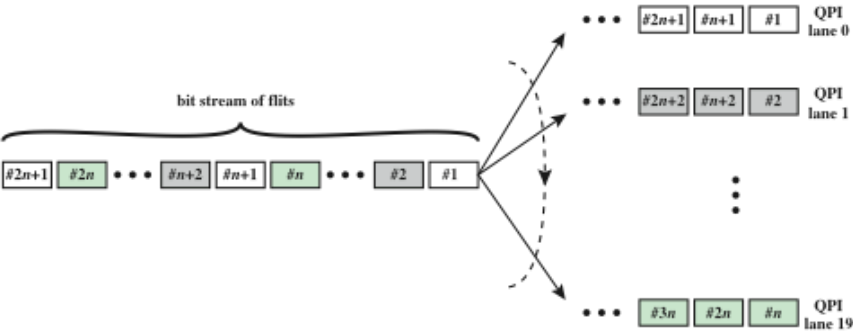
9/11/2024

Duy-Hieu Bui

39



Phân bố gói QPI



9/11/2024

Duy-Hieu Bui

40



5. PCIe

- Peripheral Component Interconnection (do Intel đề xuất)
 - 32 or 64 bit (50 lines)
 - PCI Special Interest Group (SIG): nhóm nghiên cứu hỗ trợ phát triển và đảm bảo tương thích chuẩn PCI
- PCI Express (PCIe): chuẩn mở rộng PCI để hỗ trợ QPI

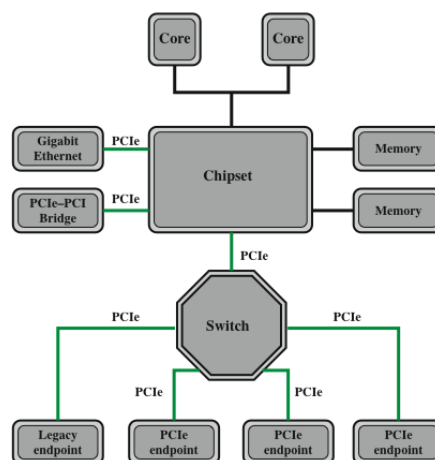
9/11/2024

Duy-Hieu Bui

41



PCIe configuration



9/11/2024

Duy-Hieu Bui

42

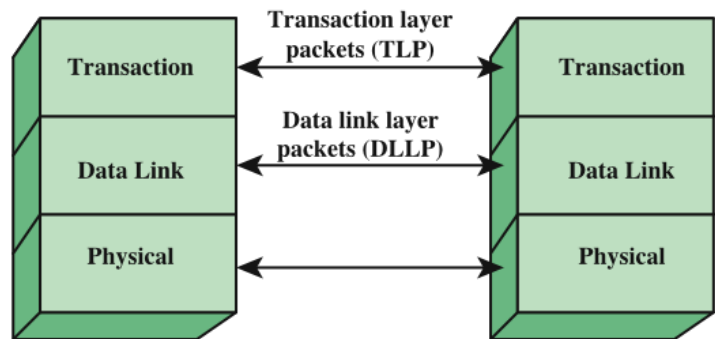


Figure 3.25 PCIe Protocol Layers

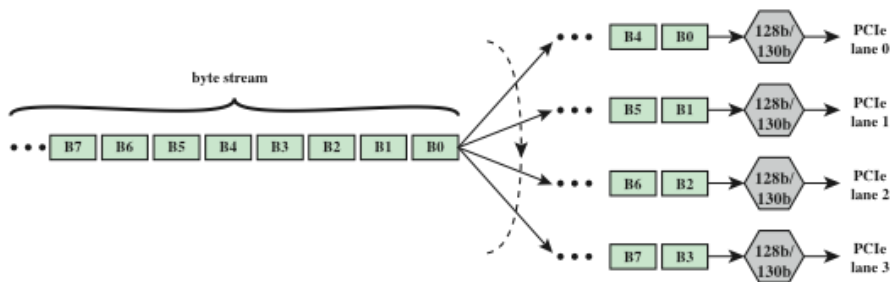


Figure 3.26 PCIe Multilane Distribution



PCIe Transmit and Receive Block Diagrams

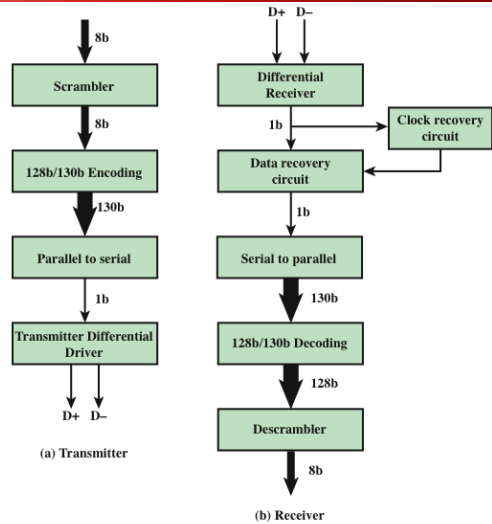


Figure 3.27 PCIe Transmit and Receive Block Diagrams
Duy-Hieu Bui

9/11/2024

45



PCIe TLP Transaction Types

Address Space	TLP Type	Purpose
Memory	Memory Read Request	Transfer data to or from a location in the system memory map.
	Memory Read Lock Request	
	Memory Write Request	
I/O	I/O Read Request	Transfer data to or from a location in the system memory map for legacy devices.
	I/O Write Request	
Configuration	Config Type 0 Read Request	Transfer data to or from a location in the configuration space of a PCIe device.
	Config Type 0 Write Request	
	Config Type 1 Read Request	
	Config Type 1 Write Request	
Message	Message Request	Provides in-band messaging and event reporting.
	Message Request with Data	
Memory, I/O, Configuration	Completion	Returned for certain requests.
	Completion with Data	
	Completion Locked	
	Completion Locked with Data	

9/11/2024

Duy-Hieu Bui

46



Tổng kết

- Khái niệm chung về thành phần liên kết, truyền thông trong máy tính
- Hệ thống BUS trong máy tính
- Các đặc điểm quan trọng của mỗi hệ thống BUS
- QPI & PCIe

9/11/2024

Duy-Hieu Bui

47



Tài liệu tham khảo thêm

- Chương 3 của tài liệu [1] (Stallings)
- www.pcguide.com/ref/mbsys/buses/
- Làm các bài tập ở phần 3

9/11/2024

Duy-Hieu Bui

48

