|  |  |
| --- | --- |
| **Logo  Description automatically generated** | **Univerzitet u Beogradu**  **Elektrotehnički fakultet** |

**SISTEM ZA VIZUELNU REPREZENTACIJU BLOKČEJN TEHNOLOGIJE**

**DIPLOMSKI RAD**

Kandidat: Profesor:

Dimitrije Knežević 244/2017 prof. dr Žarko Stanisavljević

Beograd

decembar 2022.

**SADRŽAJ**

[1.UVOD 2](#_Toc122173694)

[2.TEORIJSKA OSNOVA BLOCKCHAIN-A 3](#_Toc122173695)

[2.1. DEFINICIJA 4](#_Toc122173696)

[2.2. ISTORIJA 4](#_Toc122173697)

[2.3. Motivacija i ciljevi rada 8](#_Toc122173698)

[3.Projektovanje procesora i simulatora 10](#_Toc122173699)

[3.1. blok–šema procesora 10](#_Toc122173700)

[3.2. stepen if pipeline procesora 10](#_Toc122173701)

[3.2.1. Jedinica NewPC 11](#_Toc122173702)

[3.2.2. Jedinica PCache 12](#_Toc122173703)

[3.2.3. Jedinica Instruction Memory 14](#_Toc122173704)

[3.2.4. Pipeline registar RID 14](#_Toc122173705)

[3.3. stepen id pipeline procesora 14](#_Toc122173706)

[3.3.1. Jedinica DecodID 15](#_Toc122173707)

[4.Zaključak 15](#_Toc122173708)

[5.LITERATURA 18](#_Toc122173709)

**SLIKE**

[Slika 1: Termin blockchain u naglom porastu u prethodnih nekoliko godina - Google Ngram Viewer 3](file:///C:\Users\kneze\Desktop\Diplomski\Dimitrije%20Knezevic%20Diplomski%20Rad.docx#_Toc122173710)

# UVOD

Blokčejn (eng. *blockchain)* je trenutno jedan od najaktuelnijih izraza (eng. *buzzword*) u IT svetu (Slika 1). Iako sama tehnologija postoji već 30-ak godina, u poslednje vreme je došla u pažnju šire javnosti najviše zahvaljujući kriptovalutama (eng. *cryptocurrency*). Kriptovalute su trenutno najšira primena *blockchain*-a, ali ne i jedina. Kako se svet sve više digitalizuje tako će i moguće primene *blockchain*-a rasti, i već postoje pokušaji primene ove tehnologije u različim sferama – od poljoprivrede do politike.

Slika . Termin *blockchain* u naglom porastu u prethodnih nekoliko godina



Međutim, zahvaljujući prevelikoj pažnji koju su i klasični mediji i društvene mreže poklonili *blockchain*-u (Slika 1), a pritom bez razumevanja načina na koji on funkcioniše i pozadinskih mehanizama, entuzijasti pomenute tehnologije precenjuju trenutni domen njene korisnosti. Stoga, cilj ovog rada je da se demistifikuje princip rada *blockchain*-a i složenih mehanizama na kojima se on zasniva, objasni koji problemi se time rešavaju, a koji se stvaraju i tako doprinese boljem razumevanju mogućih primena ove tehnologije.

Postoji puno različitih implementacija *blockchain*-a, tako da je autor odlučio da vizuelno prikaže glavne karakteristike i mehanizame koje su zajedničke za sve verzije *blockchain*-a, i na nekim mestima pomene druge moguće verzije implementacije i pokaže njihove prednosti i mane. Ovo sve je urađeno u vidu web aplikacije na primeru imaginarne kriptovalute, ali je naravno prenosivo i na sve druge oblasti u kojima bi *blockchain* mogao da se koristi, jer se radi sa alfanumeričkim podacima (imajući u vidu da se i multimedijalni sadržaji takođe mogu pretvoriti u alfanumeričke podatke).

U drugom poglavlju data je kratka istorija *blockchain*-a, opis problema koji on pokušava da reši i teorijska osnova na kojoj se zasniva. Detaljniji vizuelni prikaz i objašnjenje svih mehanizama koji se koriste u implementaciji *blockchain*-a će biti provučeni kroz ceo rad.

Slika . Reklama za aplikaciju Crypto koju je videlo više od milijardu ljudi tokom svetskog prvenstva u fudbalu 2022. god.



Treće poglavlje opisuje jezike i okvire (eng. *framework*) koji su korišćeni u realizaciji sistema za vizuelnu reprezentaciju *blockchain*-a.

Četvrto poglavlje služi za prolazak kroz ceo sistem web aplikacije, gde će se detaljnije razmatrati svaka komponenta *blockchain*-a i njena implementacija. Struktura će biti takva da se kreće od osnovnih pojmova i onda se daljim rešavanjem mogućih problema postepeno uvode ostali mehanizmi. Posebno će se razmatrati *blockchain* kao struktura podataka, a posebno mrežni deo, tj. *blockchain* mrežni protokol.

U petom poglavlju se daje zaključak u vidu rezimea celog sistema i daljih koraka za njegovo unapređenje, kao i kratak osvrt na *blockchain* kao samu tehnologiju.

# TEORIJSKA OSNOVA BLOCKCHAIN-A

KAO STRUKTURA PODATAKA

*Blockchain* je struktura podataka (i protokol) koji predstavlja digitalnu implementaciju distribuirane glavne knjige (eng. *ledger*). *Ledger* je trajna kolekcija svih novčanih transakcija (mogu se pratiti i druge stvari) u hronološkom redosledu i koristi se već hiljadama godina, još od kada su ljudi prvobitno počeli da trguju. Ove transakcije su se kroz istoriju beležile na svemu od glinenih tablica do papira, a jedini značajniji pomak u ovoj oblasti pre *blockchain*-a je bila kompjuterizacija koja je prvobitno samo značila prenos sa papira u digitalnu formu.

*Blockchain* tehnologija je omogućila kreiranje elektronskog sistema za transfer novca bez potrebe za trećim licem koje bi proveravalo i odobravalo transakcije (npr. banke). Krajnji korisnici mogu da prebacuju novac iz svojih digitalnih novčanika (eng. *wallet*), a da istovremeno ostanu anonimni i imaju pristup celom *ledger*-u gde su zabeležene sve njihove transakcije i transakcije svih drugih korisnika koji koriste istu kriptovalutu.

U ovom odeljku ćemo proći kroz teoriju mehanizama koje blockchain koristi, a detaljnije ćemo videti kako oni funkcionišu i kako se kombinuju u poglavlju X.

KRIPTOGRAFSKE HEŠ FUNKCIJE

Neophodan element svake verzije implementacije *blockchain*-a je kriptografska heš funckija (eng. *cryptographic hash function – CHF*). *CHF* je jednosmerna funkcija (ne može se izračunati ulaz funkcije na osnovu izlaza) koja od ulaza proizvoljne dužine daje izlaz fiksne dužine. Ulaz može biti bilo šta, pa čak i multimedijalni sadržaj (iako neefikasan), jer se ulaz prvo pretvara u binarni oblik dok je izlaz uvek binarni. Vrednost koju dobijamo na izlazu heš funkcije se zove heš vrednost (ili heš kod).

Jednosmernost je najbitnija odlika *CHF*. Ove funkcije imaju veoma široku primenu u kriptografiji, internet bezbednosti, kompresiji i optimizaciji, i telekomunikacijama. Jednostavan primer je čuvanje lozinki na nekom web sajtu: Lozinke ne bi trebalo da se čuvaju u originalnom obliku (eng. *plain text*) u bazi podataka već da se čuvaju samo njihove heš vrednosti. Na taj način, čak i ako neautorizovano lice uspe da dođe do baze podataka, sa njom nikad neće moći da pristupi nalozima korisnika, jer ne postoji način da od heširanih vrednosti dođe do originalnih lozinki koje su potrebne da se unesu na ulazu sistema. Sa druge strane, autorizovan korisnik uvek može da pristupi svom nalogu sa validnom ulaznom lozinkom, jer će heširana vrednost lozinke uvek biti ista za isti ulaz.

Naravno, ovo nije savršen bezbednosni mehanizam. Zbog toga što je izlaz uvek identične veličine, a ulaz proizvoljne, uvek će se više ulaza preslikavati u jedan isti izlaz. Na primer, to znači da bi korisnici tehnički mogli da pristupe svom nalogu i sa pogrešnom lozinkom koja daje istu heš vrednost kao i originalna lozinka, međutim šanse za ovo su matematički veoma male.

Upotreba *CHF* kod blockchain-a je sledeća: 1) Podaci iz trenutnog bloka se heširaju i ta heš vrednost se čuva u posebnom polju. 2) Heš vrednost iz prethodnog bloka je jedan od ulaznih podataka sledećeg bloka i na taj način se zapravo blokovi ulančavaju, stoga i naziv *blockchain* (lanac blokova). Pošto svaki blok ukazuje na svog prethodnika baš pomoću ove heš vrednosti, ukoliko bi se neki blok unutar lanca izmenio, ili ukoliko bi se dodao potpuno novi blok između već dva postojeća, morale bi ponovo da se računaju sve heš vrednosti blokova od tog mesta pa do najnovijeg bloka u lancu.

Slika . Jedan od mogućih načina korišćenja *CHF*-a za povezivanje blokova unutar *blockchain*-a



U stvarnim implementacijama dosta često postoje dva polja u koja se zasebno smeštaju ostali heširani podaci. Na primer može se iskoristiti Merkleovo stablo heševa (Slika 4) za transakcije u bloku, a da se iz prethodnog bloka koristi samo finalna heš vrednost Merkleovog stabla umesto svih transakcija radi dodatne sigurnosti i provere (Slika 3) [2]. U autorovoj implementaciji iskorišćen je idejno sličan, ali jednostavniji mehanizam heširanja svih podataka prethodnog bloka u samo jedno polje.

Slika . Način funkcionisanja Merkleovog stabla



MAGIČNI BROJ

Magični broj (eng. *magic number*) predstavlja jedinstven identifikator *blockchain*-a. Svaki blok unutar jednog lanca mora da ima isti magični broj, nezavisno od toga na kojoj mašini se nalazi. Na primer *Bitcoin*-ov magični broj je 0xD9B4BEF9 (tj. 3652501241 u decimalnom obliku), dok je magični broj našeg izmišljenog *blockchain*-a X.

BROJ VERZIJE

Ukoliko je planirano da se način implementacije blockchain-a menja tokom vremena, potrebno je ubaciti i broj verzije *blockchain*-a (eng. *version number*) na kojoj je trenutni blok nastao. Buduće verzije implementacije *blockchain*-a moraju da omoguće kompatibilnost unazad (eng. *backwards compatibility*) sa prethodnim verzijama unutar istog lanca. U autorovom rešenju ne postoji ovo polje, jer nije od važnosti za razumevanje suštine funckionisanja *blockchain*-a.

VREMENSKA OZNAKA

Vremenska oznaka (eng. *timestamp*) je još jedan veoma bitan deo *blockchain*-a koji služi za vremensko datiranje stvaranja bloka i potvrdu da sadržaj bloka (transakcije, potpisi dokumenata, itd.) nije nastao nakon naznačene vremenske oznake unutar bloka. Pruža i dodatnu sigurnost u vidu potvrđivanja redosleda blokova (ukoliko se krećemo od najnovijeg ka najstarijem bloku unutar lanca, sve vremenske oznake moraju biti u opadajućem redosledu). U autorovoj implementaciji radi jednostavnosti je korišćen autoinkrementirajući identifikacioni broj bloka koji ima sličnu svrhu.

SADRŽAJ bloka

Svaki blok (osim u nekim slučajevima prvog – *genesis* bloka) pored svih ostalih pomoćnih podataka mora sadržati i neku informaciju u sebi. U autorovom primeru sadržaj bloka su transakcije između korisnika izmišljene kriptovalute.

U stvarnim implementacijama najčešći sadržaj i jesu transakcije kriptovaluta, ali postoje i druge vrste sadržaja: ostale ekonomske radnje (npr. novčane transakcije, kupovina i prodaja deonica, osiguranje, ...), identifikovanje i autentifikacija objekata ili korisnika, praćenje trenutnog vlasništva objekata, decentralizovani registri podataka, brojanje glasova, itd.. Međutim, bitno je napomenuti da je veliki broj *blockchain* aplikacija koje implementiraju prethodne vrste sadržaja još uvek u eksperimentalnoj fazi ili fazi razvoja.

U opštem slučaju, sadržaj bloka može biti bilo kakva informacija ili skup informacija, ali za većinu sistema nema potrebe čuvati podatke u *blockchain* strukturi jer je neefikasna za pretraživanje i nema potrebe za javnim decentralizovanim uvidom u podatke.

NEPONOVLJIVI BROJ I TEŽINA (MOŽDA SKLONITI)

KAO MREŽNI PROTOKOL

qwewqe

ISTORIJA

Iako se *blockchain* kao termin koristi tek od skoro, njegova istorija počinje pre 40 godina. Trezorni sistem (eng. *vault system*) je tehnologija nalik *blockchain*-u koja se prvi put pominje još 1982. godine u doktorskoj disertaciji pod nazivom “Computer Systems Established, Maintained, and Trusted by Mutually Suspicious Groups” od strane autora Dejvida Čauma (eng. *David Chaum*) [1]. Dejvid se smatra pionirom kriptografije i tehnologija koje čuvaju privatnost i izumiteljem digitalnog novca. U svojoj disertaciji dao je kod pomoću kog bi se implementirao protokol kao i skoro sve elemente *blockchain*-a koje danas koristi *Bitcoin*, čak 27 godina pre nego što je on uopšte i izumljen.

Sledeći veliki korak u razvoju *blockchain*-a daju 1991. god. kriptografi Stjuart Hejber (eng. *Stuart Haber*) i Skot Storneta (eng. *Scott Stornetta*). Prvobitna upotreba ove verzije *blockchain*-a nije imala veze sa novcem, već su njegovi tvorci zamislili da se on koristi za dokazivanje autentičnosti digitalnih dokumenata korišćenjem vremenskih oznaka (eng. *timestamp*) i kriptografije. Oni su prvi implementirali Merkleova stabla u ove svrhe, a *New York Times* još od 1995. god. koristi njihovu ideju za dokazivanje autentičnosti digitalnih dokumenata heširanjem (Slika 3).

Dalji doprinos razvoju *blockchain*-a dali su u svojim radovima iz polja kriptografije 1996. Ros Anderson (eng. Ross Anderson), a potom 1998. Brus Šnajer (eng. Bruce Schneier) i Džon Kelsi (eng. John Kelsey).

1998. god. Nik Šabo (eng. *Nick Szabo*) daje teorijsku osnovu za jednu od prvih kriptovaluta ikada zvanu *bit gold*. Iako nikad nije zapravo bila implementirana, u teoriji ona koristi dosta mehanizama koje i današnje stvarne kriptovalute koriste. Nik je takođe dao teorijsku osnovu za pametne ugovore (eng. *smart contracts*) koje danas koriste novije verzije kriptovaluta.

Slika . New York Times koristi Merkleovo stablo heširanih digitalnih dokumenata kao dokaz njihove autentičnosti



2000. god. Stefan Konst (eng. *Stefan Konst*) objavljuje u naučnom radu način rada kriptografski ulančanih lanaca podataka i daje svoje ideje za implementaciju istog.

Konačno 2008. god. objavljen je rad koji čini prekretnicu u ovom polju od strane anonimnog lica ili grupe ljudi pod pseudonimom Satoši Nakamoto (eng. *Satoshi Nakamoto*). Naziv rada je “Bitcoin: A peer-to-peer electronic cash system” i u njemu je opisan *blockchain* kao protokol i decentralizovana distribuirana baza podataka koja omogućava korišćenje danas najpoznatije kriptovalute *Bitcoin*.

2009. god. Nakamoto implementira prvi moderan *blockchain* koji je opisao u svom radu prethodne godine. Satoši je u svom radu zasebno koristio reči *block* i *chain*, a termin *blockchain* se pojavio tek oko 2014. godine.

Danas se Satošijeva verzija *blockchain*-a naziva *Blockchain 1.0*. On je unapredio prvobitnu Dejvid Čaumovu zamisao koristeći mehanizam koji se zove dokaz radom (eng. *Proof of work*) i dodao parametar težine (eng. *difficulty*) kako bi ograničio količinu kriptovalute koja ulazi u cirkulaciju.

Na Slici 4 prikazan je izgled koda prvog bloka *Bitcoin*-ovog *blockchain*-a. Prvi blok u lancu se zove blok postanka (eng. *genesis block*) i on u većini *blockchain* implementacija ima unapred zadate vrednosti promenljivih u kodu (eng. *hardcoded*). Zanimljiv detalj je da je Nakamoto ubacio poruku u dve promenljive (coinbase i potpis koje ćemo objasniti u poglavlju *x*) koja glasi “The Times 03/Jan/2009 Chancellor on brink of second bailout for banks” referišući jedan od naslova na naslovnoj stranici čuvenih britanskih novina *The Times*. Postoje razne spekulacije oko značenja ove poruke, ali je sigurno da je ta poruka služila, između ostalog, kao dokaz da blok nije nastao pre 3. januara 2009. godine.

Slika . Sadržaj *genesis block*-a *Bitcoin*-a sa obeleženom skrivenom porukom



Nakon Satošijevog rada koji je dao teorijsku osnovu za kriptovalute, tržište je preplavljeno različitim implementacijama *blockchain*-a i kriptovalutama vezanim za iste. Sledeći veliki skok se desio 2014. god. nastankom nove verzije *blockchain*-a – *Blockchain 2.0*. Ono što je razlikovalo novu verziju od stare jeste upotreba pametnih ugovora, koji su sada mogli da se ubace u blokove u okviru *blockchain*-a. Prva kriptovaluta (i danas druga najpoznatija, odmah iza *Bitcoin*-a) koja je implementirala *Blockchain 2.0* je bila *Ethereum*. Pametni ugovori su omogućili programerima da implementiraju kompleksnu logiku i razvijaju čitave aplikacije u okviru postojećih *blockchain* platformi.

*Blockchain 2.0* je između ostalog omogućio i kreiranje nekoliko popularnih, mada ne i pravno jasno definisanih entiteta i procedura:

* Decentralizovana autonomna organizacija (eng. *decentralized autonomous organization - DAO*) – Organizacija bez centralnog nadležnog tela koje ne odgovara nikome i uglavnom se bavi posredovanjem kriptovaluta.
* Prva ponuda novčićima (eng. *initial coin offering - ICO*) – Metod prvobitnog izlaska na tržište nekog preduzeća, sličan prvoj javnoj ponudi, koji se u ovom slučaju sastoji od kupovine novčića (eng. *coin*) ili tokena popularnim kriptovalutama (npr. *Bitcoin*-om ili *Ethereum*-om) od strane vlasnika budućih deonica. Dodatni novčani prihodi se najčešće koriste da finansiraju tehnologije i platforme kojima bi vlasnici tokena prvi (ili jedini) imali pristup.
* Nezamenljivi tokeni (eng. *non-fungible tokens - NFTs*) – Jedinstveni tokeni (često u obliku neke slike ili audio zapisa) koje vlasnici skupljaju u kolekcije.

Trenutno poslednji korak u evoluciji blockchain-a predstavlja *Blockchain 3.0* koji se trenutno i dalje razvija. Ova verzija nema tako jasno određenu definiciju, međutim konsenzus jeste da je primenljivija u mnogo više oblasti nego prethodne verzije koje su bile ograničene na isključivo ekonomsku i finansijsku primenu. Mane trenutnih verzija blockchain-a su održivost, skalabilnost, isplativost, a postoji i dosta prostora za dalju decentralizaciju i povećanje sigurnosti. Želja *Blockchain*-a *3.0* jeste da poboljša sve prethodno pomenute nedostatke i da omogući neprimetno uključivanje korporativnih aplikacija i baza podataka u decentralizovane sisteme radi sigurnosti i transparentnosti.

Danas se biografija diplomiranog inženjera računarske tehnike i informatike, ne može zamisliti bez predmeta iz oblasti arhitekture i organizacije računara. Na Elektrotehničkom fakultetu u Beogradu postoji grupa predmeta, koja sistematski pokrivaju sve celine od značaja iz ove oblasti. U skladu sa savremenim načinima učenja, već nekoliko godina unazad, na Elektrotehničkom fakultetu u Beogradu, pored predavanja i vežbi na tabli, postoji i praktični deo predmeta, koji se obično izvodi ili kao samostalni projekat ili kao laboratorijske vežbe [1]. Kada govorimo o predmetima iz oblasti arhitekture i organizacije računara, to su obično laboratorijske vežbe na kojima studenti korišćenjem simulatora na praktičnim primerima mogu da provere koncepte, koje su učili na predavanjima. Iako je ovakvo izvođenje nastave u skladu sa IEEE preporukama [2], još jedan stav, koji se iznosi u ovim preporukama je da bi studentima trebalo omogućiti i da sami učestvuju u vežbama na kreativan način, a ne da samo pasivno prate tok vežbe.

Na Elektrotehničkom fakultetu u Beogradu razvijen je veliki broj simulatora sa kojima je u potpunosti pokriveno gradivo, koje se izlaže na predmetima iz oblasti arhitekture i organizacije računara. Sa druge strane, svi ovi simulatori su tzv. simulatori fiksnih računarskih sistema, koji studentima ne omogućavaju da upotrebe svoju kreativnost, već ih ostavlja da prate tok izvršavanja simulacije i da proveravaju naučene koncepte. Kako bi se ispoštovale najnovije preporuke IEEE, koje zahtevaju da student na aktivan način koristi simulatore i da mu se omogući da koristi kreativnost, autor je postavio cilj da razvije jedan simulator, koji bi omogućio pomenuto.

Da bi simulator bio u skladu sa pomenutim preporukama, potrebno je da se iskoristi neki od simulatora konfigurabilnih računarskih sistema, kao alat za realizaciju simulatora u kome bi studenti mogli da upotrebe svoju kreativnost. Zatim je potrebno izabrati pogodnu strukturu, dovoljno složenu, a istovremeno i sa pogodnim elementima na kojima bi studenti mogli da iskažu svoju kreativnost. Autor se odlučio za *pipeline* procesor. Kod *pipeline* procesora se istovremeno može izvršavati više različitih instrukcija, podelom instrukcija na faze u izvršavanju i preklapanjem različitih faza, tako da je sam osnovni model jednostavan. Iako je ovo jako korisno, ovakva organizacija procesora dovodi do situacija u kojima za neku instrukciju ne može da se izvrši faza predviđena stepenom *pipeline*-a i to se naziva hazard. Postoje strukturalni hazardi, hazardi podataka i upravljački hazardi. Za svaki od ovih problema postoje tehnike za rešavanje, koje omogućavaju različite realizacije rešenja i koje povećavaju složenost osnovnog modela, čineći pipeline procesor jednom od najsloženijih struktura. U savremenim procesorima se ovakva organizacija koristi za poboljšanje performansi računara.

Nakon izbora odgovarajuće strukture, autor je imao zadatak da izabere i odgovarajući alat u kome je najpogodnije realizovati simuator. Da bi došao do najpogodnijeg alata, autor je napravio pregled postojećih simulatora iz oblasti arhitekture i organizacije računara, sa posebnim osvrtom na postojeće simulatore *pipeline* procesora. Nakon toga izabran je alat, koji je u fazi razvoja na Elektrotehničkom fakultetu u Beogradu, pod nazivom *IgoVSoEDS* [3] [4] [5] [6]. Ovaj alat je već u upotrebi u nastavi na Elektrotehničkom fakultetu u Beogradu na nižim godinama, gde se koristi za pravljenje jednostavnijih struktura. Autor je dobio zadatak da nakon korišćenja ovog alata, da svoju procenu alata, da proveri koliko je pogodan za razvoj složenih struktura, kao i da iznese uočene prednosti i nedostatke.

U drugoj glavi daje se motivacija i predlog jednog rešenja. Najpre se daje motivacija za izradu rada, sa nacrtom planiranih ciljeva. Zatim se razmatra procesor sa *pipeline* organizacijom [7] i situacije koje čine *pipeline* procesor složenom strukturom, sa posebnim osvrtom na delove koji mogu biti lako izmenljivi, kao što je keš za predikciju skokova [8]. Daje se i pregled postojećih simulatora iz oblasti arhitekture i organizacije računara [9], kako bi se prikazale mogućnosti tih simulatora, sa posebnim osvrtom na postojeće simulatore *pipeline* procesora [10], kako bi se napravio pregled podržanih mogućnosti i kako bi se mogla dati procena realizovanog simulatora u skladu sa tim. Na kraju se daje predlog rešenja postavljenog problema.

U trećoj glavi je prikazana arhitektura i organizacija *pipeline* procesora, koji je realizovan. Najpre se razmatra arhitektura procesora, a zatim organizacija. Kompletna arhitektura i organizacija preuzeta je iz literature [11] uz saglasnost autora.

U četvrtoj glavi je prikazan alat koji je korišćen za izradu *pipeline* simulatora, kao i način korišćenja alata za projektovanje digitalnih struktura. Naziv alata iskorišćenog u realizaciji simulatora je *Interaktivni generator vizuelnih simulatora elektronskih digitalnih struktura* (*IGoVSoEDS*). Opis alata preuzet je iz literature [3] uz dozvolu autora.

U petoj glavi prikazan je način projektovanja procesora, uporedo sa prikazom projektovanja simulatora pomoću korišćenog alata. Ovakav način prikaza projektovanja procesora, daje mogućnost da se na konkretnom primeru projektovanja verifikuje korišćeni alat, kao i sam procesor. Šema je preuzeta iz literature [11] uz dozvolu autora i dopunjena u potrebnoj meri kako bi bilo moguće realizovati simulator u korišćenom alatu. Ovo podrazumeva da su sve komponente realizovane do nivoa prekidačkih mreža.

U šestoj glavi prikazuje se način korišćenja simulatora, odnosno funkcionalne mogućnosti simulatora. Najpre je prikazan način korišćenja alata za izvršavanje simulacija. Nakon toga opisan je rad simulatora kroz simulacije koje pokrivaju najveći deo specifičnosti *pipeline* procesora, tj. veliki broj različitih hazarda podataka i upravljačkih hazarda, kao i primene raznovrsnih tehnika za njihovo otklanjanje.

U sedmoj glavi daje se zaključak, kao kritički osvrt na ispunjenje ciljeva postavljenih na početku ovog rada, kao i rezime svega urađenog. Takođe se daje i procena korišćenog alata i iznose se uočene prednosti i nedostatci.

U ovoj glavi daje se motivacija i predlog jednog rešenja. Najpre se daje motivacija za izradu rada, sa nacrtom planiranih ciljeva. Zatim se razmatra procesor sa *pipeline* organizacijom i situacije koje čine *pipeline* procesor složenom strukturom, sa posebnim osvrtom na delove koji mogu biti lako izmenljivi, kao što je keš za predikciju skokova. Daje se i pregled postojećih simulatora iz oblasti arhitekture i organizacije računara, kako bi se prikazale mogućnosti tih simulatora, sa posebnim osvrtom na postojeće simulatore *pipeline* procesora, kako bi se napravio pregled podržanih mogućnosti i kako bi se mogla dati procena realizovanog simulatora u skladu sa tim. Na kraju se daje predlog rešenja postavljenog problema.

Motivacija i ciljevi rada

U nastavi iz oblasti arhitekture i organizacije računara na Elektrotehničkom fakultetu u Beogradu već dugi niz godina koriste se simulatori računarskih sistema, koji pomažu studentima da vide kako funkcionišu sistemi, koje uče na predavanjima. Razvijeni su simulatori, koji pokrivaju sve teme koje se obrađuju u nastavi i to su simulatori fiksnih računarskih sistema. Ovaj praktičan pristup izvođenju nastave je u skladu sa preporukama IEEE [2], u kojima osim pomenutog, stoji i preporuka da studenti ne bi trebalo da samo pasivno posmatraju šta se događa u simulatorima, već da bi im trebalo omogućiti da upotrebe svoju kreativnost. Kao odgovor na ovakav zahtev, mogu se upotrebiti simulatori konfigurabilnih računarskih sistema.

Da bi kreativnost studenata zaista mogla da dođe do izražaja, potrebno je napraviti neku od složenijih struktura iz oblasti arhitekture i organizacije računara, ali koja ima delova, koji se mogu realizovati na različite načine, a u samoj strukturi menjati jednostavno (*test bed*).

Jedna od veoma složenih struktura iz oblasti arhitekture i organizacije računara, koja odgovara prethodno pomenutom je procesor sa *pipeline* organizacijom. Ovakva organizacija procesora podrazumeva paralelno izvršavanje više instrukcija, pa samim tim i poboljšanje performansi računarskih sistema. U današnjim procesorima, ovakva organizacija se masovno koristi, kako bi se ubrzao rad procesora.

*Pipeline* organizacija podrazumeva da se izvršavanje operacije može razbiti na više logičkih celina, koje se nazivaju fazama (čitanje instrukcije, formiranje adresa operanada, čitanje operanada, izvršavanje operacije, itd…). Zatim za svaku od faza postoji posebna kombinaciona mreža i prihvatni registar, koji se koriste za izvršavanje te faze. Na taj način u zavisnosti od broja faza možemo imati veći broj instrukcija, koje se istovremeno izvršavaju u procesoru, tako što se nalaze u različitim fazama izvršavanja. Tipični *pipeline* ima pet faza izvršavanja: IF (*instruction fetch*), ID (*instruction decode and register fetch*), EX (*execute and effective address calculation*), MEM (*memory access and branch completion*) i WB (*write back*). Po redosledu izvršavanja faza instrukcije mogu se razlikovati statički i dinamički *pipeline*. Ako je redosled izvršavanja faza instrukcije uvek isti, takav *pipeline* naziva se statički (linearni). Ako se redosled stepeni kroz koje instrukcija prolazi može razlikovati od instrukcije do instrukcije, takav *pipeline* naziva se dinamički (nelinearni). U zavisnosti od toga kako se upravlja slanjem informacija iz stepena u stepen *pipeline*‑a, mogu se razlikovati asinhroni i sinhroni *pipeline*. U asinhronom *pipeline*‑u tok podataka između susednih stepeni kontroliše se *handshaking* protokolom. U sinhronom *pipeline*‑u upis u prihvatne registre svih stepeni realizuje se na isti signal takta. U nastavku rada biće razmatran sinhroni statički *pipeline* procesor. Ovakva organizacija procesora dovodi do situacija u kojima za neku instrukciju ne može da se izvrši faza predviđena redosledom izvršavanja, zbog međusavisnosti instrukcija, koje se javljaju uvođenjem ovakve organizacije, i to se naziva hazard. Postoje strukturalni hazardi, hazardi podataka i upravljački hazardi. Za svaki od ovih hazarda postoje tehnike za eliminisanje ili uklanjanje posledica, koje omogućavaju različite realizacije rešenja i koje u mnogome povećavaju složenost, čineći *pipeline* procesor jednom od najsloženijih struktura.

Nakon svega pomenutog, može se postaviti cilj ovog rada, a to je:

* napraviti pregled koncepata procesora *pipeline* organizacije, radi izbora odgovarajuće strukture za pravljenje simulatora,
* napraviti pregled postojećih simulatora računarskih sistema, sa posebnim osvrtom na simulatore *pipeline* procesora, radi izbora alata za rad i radi prikaza karakterističnih mogućnosti postojećih simulatora,
* realizovati simulator *pipeline* procesora u nekom od simulatora konfigurabilnih računarskih sistema, ali tako da se neki delovi mogu lako realizovati na različite načine (*test bed*) i
* dati analizu mogućnosti alata korišćenog za realizaciju.

# Projektovanje procesora i simulatora

U ovoj glavi prikazan je način projektovanja procesora, uporedo sa prikazom projektovanja simulatora pomoću korišćenog alata. Ovakav način prikaza projektovanja procesora, daje mogućnost da se na konkretnom primeru projektovanja verifikuje korišćeni alat, kao i sam procesor. Sve komponente su realizovane do nivoa prekidačkih mreža.

blok–šema procesora

U ovom odeljku data je blok‑šema procesora. Slika 27 prikazuje jedinice posmatranog procesora i najvažnije veze između njih. Šema se sastoji iz pet *pipeline* registara koji razdvajaju stepene procesora i u kojima se čuva sve što je potrebno za izvršavanje narednog stepena procesora i pet stepeni procesora, koji predstavljaju pet faza u izvršavanju instrukcije: IF, ID, EX, MEM, WB.

Diagram, schematic

Description automatically generated

Slika 27. Dopunjena blok‑šema procesora

stepen if pipeline procesora

Stepen IF (instruction fetch) *pipeline* procesora sastoji se od sledećih jedinica: New PC, PCache, Instruction Memory. *Pipeline* registar koji razdvaja stepene IF i ID označen je sa Rid. U sledećim sekcijama opisane su ove jedinice.

Jedinica NewPC

Programski brojač PC i jedinica NewPC, koja vrši izbor nove vrednosti programskog brojača, prikazani su na slici 28. 32‑bitni registar PC kao signal takta koristi signal CLK1 generisan u jedinici Stall. Jedinica NewPC sastoji se od multipleksera MPNEWPC i MPOPC, sabirača ADD, kodera prioriteta CD i pratećih logičkih kola. Multiplekser MPNEWPC je 32‑bitni multiplekser 8/1, pri čemu se koristi 5 od 8 ulaza. Izlaz ovog multipleksera se na sledeći signal takta upisuje u registar PC. Koder prioriteta CD generiše upravljačke signale za multiplekser MPNEWPC. To je koder 8/3, pri čemu se koristi 5 od 8 ulaza. Neiskorišćeni ulazi kodera CD fiksirani su na 0. Što je veća oznaka ulaza u koder to je viši prioritet tog ulaza. Multiplekser MPOPC je 32‑bitni multiplekser 2/1, koji propušta na ulaz sabirača ADD vrednost registra PC ili polja RMEM.PC, u zavisnosti od signala TNT. Sabirač ADD inkrementira izlaznu vrednost tog multipleksera za 1.

Ukoliko je signal PREKID aktivan a signal RMEM.TRAP neaktivan (pokreće se opsluživanje prekida koji nije izazvan instrukcijom **trap**), na izlaz multipleksera MPNEWPC propušta se adresa prekidne rutine i na sledeći signal takta upisuje u programski brojač. Ulaz 3 kodera CD biće aktivan ako se pokreće opsluživanje prekida izazvanog instrukcijom **trap** (aktivni su signali PREKID i RMEM.TRAP), ili ako se u stepenu MEM nalazi instrukcija bezuslovnog skoka (aktivno je polje RMEM.JUMP), ili instrukcija uslovnog skoka za koju je predviđanje bilo *not taken* a ishod je *taken* (NTT). (Prognoza ishoda skoka prikazana je vrednošću polja RMEM.CHIT, a stvarni ishod skoka vrednošću polja RMEM.COND.) Tada se na izlaz multipleksera MPNEWPC propušta vrednost RMEM.ALUOUT; to je odredišna adresa uslovnog ili bezuslovnog skoka ili instrukcije **trap**. Može se primetiti da mehanizam prekida zahteva vrlo malo dodatnog hardvera u ovoj jedinici, jer se pokretanje prekidne rutine sa stanovišta ove jedinice izvodi na isti način kao bezuslovni skokovi.

Ako je polje RMEM.CHIT aktivno a RMEM.COND neaktivno, to znači da je u stepenu MEM instrukcija uslovnog skoka za koju je predviđanje bilo *taken* a ishod je *not taken* (TNT). U registar PC treba upisati adresu instrukcije koja se nalazi u stepenu MEM (RMEM.PC) uvećanu za 1. Ako je aktivan signal CHIT, tj. ako u kešu za predikciju postoji ulaz za instrukciju određenu vrednošću registra PC, na izlaz multipleksera MPNEWPC propušta se vrednost pročitana iz keša za predikciju, PPC – prognozirana odredišna adresa skoka.

Za slučaj da nijedan od ulaza višeg prioriteta nije aktivan, što odgovara sekvencijalnom izvršavanju programa, ulaz 0 kodera CD fiksiran je na aktivnu vrednost. Tada je neaktivan signal TNT, multiplekser MPOPC propušta vrednost registra PC. Sabirač ADD inkrementira tu vrednost za 1, a multiplekser MPNEWPC propušta tu inkrementiranu vrednost.

Diagram, schematic

Description automatically generated

Slika 28. Registar *PC* i jedinica *NewPC*

Pravila na osnovu kojih je određen redosled ulaza u koder CD i multiplekser MPNEWPC su sledeća: 1) Koder CD mora davati prednost skokovima i prekidima u odnosu na sekvencijalno izvršavanje programa. U suprotnom bi, umesto da u njega bude upisana npr. odredišna adresa skoka, programski brojač samo bio inkrementiran. 2) Prognozirana odredišna adresa skoka (PPC) mora imati prednost u odnosu na sekvencijalno izvršavanje programa. 3) Instrukcija **trap** sa stanovišta jedinice NewPC ekvivalentna je instrukcijama bezuslovnog skoka. 4) Prekid, izvršena instrukcija skoka (bezuslovni ili uslovni sa pogrešnom predikcijom) i **trap** moraju imati viši prioritet od prognozirane odredišne adrese skoka (PPC) jer se u tim situacijama ispira *pipeline*. 5) Prekid koji nije izazvan instrukcijom **trap** mora imati viši prioritet od instrukcija skoka, jer se može javiti prilikom izvršavanja tih instrukcija. U suprotnom bi umesto adrese prekidne rutine u programski brojač bila upisana odredišna adresa skoka. 6) Međusobni prioritet instrukcija skoka i instrukcije **trap** nije bitan jer se ne mogu istovremeno naći dve takve instrukcije u stepenu MEM.

Jedinica PCache

Jedinica PCache (slika 29) je keš za predikciju odredišta i ishoda uslovnih skokova. Osim same keš memorije, ova jedinica sadrži 32‑bitni multiplekser 2/1 MPPCac čiji izlaz se vodi na adresni ulaz keša. Jedinica PCache koristi signale NTT i TNT generisane u jedinici NewPC.

Ako je predviđanje ishoda skoka bilo *taken* a ishod je *not taken*, potrebno je poništiti ulaz u keš memoriji. Zato se signal TNT koristi za invalidaciju ulaza na adresi RMEM.PC. Ako je predviđanje ishoda skoka bilo *not taken* a ishod je *taken*, potrebno je kreirati novi ulaz u keš memoriji. Signal NTT koristi se za upis u keš, a adresa ulaza u kešu takođe je RMEM.PC. U RAM deo keša upisuje se odredišna adresa skoka iz polja RMEM.ALUOUT. Ako nisu aktivni signali TNT ni NTT, proverava se da li u keš memoriji postoji ulaz koji odgovara vrednosti registra PC. Ako se ostvari pogodak u kešu, biće aktivan signal CHIT (*cache hit*), a prognozirano odredište skoka naći će se na izlazu RAM dela keša – PPC (*predicted PC*).

Diagram, schematic

Description automatically generated

Slika 29. Jedinica *PCache*

Na slici 30 prikazana je jedna od mogućih realizacija keš memorije. Prikazana realizacija predstavlja keš memoriju sa direktnim preslikavanjem, koja ima TAG, BADD i DATA deo. Svi delovi su realizovani uz pomoć modula MEM, koji je prikazan na slici 31.

Diagram, schematic

Description automatically generated

Slika 30. Jedinica *CACHE*

Diagram, schematic

Description automatically generated

Slika 31. Jedinica *MEM*

Jedinica Instruction Memory

Jedinica Instruction Memory (memorija za instrukcije) je analogna jedinici Data Memory. Kao adresa u memoriji za instrukcije se koristi vrednost registra PC. 32‑bitni izlazni podatak nosi oznaku IR; odgovarajući delovi tog podatka upisuju se u polja opcode, rd, rs1, rs2 i IMM *pipeline* registra RID. Signal za čitanje iz memorije za instrukcije je stalno aktivan. Upis u memoriju za instrukcije je izvan opsega ove knjige.

Pipeline registar RID

*Pipeline* registar RID sadrži 64 bita. Signal takta za taj registar je CLK1, a signal za brisanje , koje generiše jedinica Stall. Polja od kojih se sastoji *pipeline* registar RID opisana su u tabeli 4. IR je oznaka za izlazni podatak jedinice Instruction Memory, pročitan sa adrese određene vrednošću programskog brojača.

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| Polje | Broj bita | Biti | Izvor | Opis |
| VALID | 1 | 0 | Fiksno 1 | Sadržaj *pipeline* registra je validan |
| CHIT | 1 | 1 | PCache | Predikcija ishoda uslovnog skoka |
| PC | 32 | 2‑33 | Registar PC | Vrednost programskog brojača |
| rs1 | 5 | 34‑38 | IR17..13 | Adresa prvog izvorišnog registra |
| rs2 | 5 | 39‑43 | IR12..8 | Adresa drugog izvorišnog registra |
| IMM | 8 | 44‑51 | IR7..0 | Neposredni argument |
| opcode | 7 | 52‑58 | IR29..23 | Kod operacije |
| rd | 5 | 59‑63 | IR22..18 | Adresa odredišnog registra |

Tabela 4. Opis polja koja sačinjavaju *pipeline* registar *RID*

stepen id pipeline procesora

U procesorima klasične organizacije dekodovanje operacija najčešće obavlja jedna jedinica, koja na osnovu koda operacije generiše potrebne upravljačke signale. Međutim, kod *pipeline* procesora pri takvom načinu dekodovanja uz svaku instrukciju bi se u *pipeline* registrima morali voditi svi upravljački signali generisani pri dekodovanju operacije. Zato se u posmatranom procesoru dekodovanje vrši jednim delom u stepenu ID a drugim u stepenu EX.

Stepen ID (instruction decode and register fetch) *pipeline* procesora sastoji se od sledećih jedinica: DecodId, Registers, Extend. *Pipeline* registar koji razdvaja stepene ID i EX označen je sa Rex. U sledećim sekcijama opisane su ove jedinice.

Jedinica DecodID

Jedinica DecodID (slika 32) vrši dekodovanje operacija u stepenu ID. Pri tome generiše upravljačke signale potrebne u fazi ID i upravljačke signale potrebne na početku faze EX, takve da bi generisanje tih signala u fazi EX moglo zahtevati produženje periode signala takta. Pošto treba da generiše mali broj signala, jedinica DecodID realizovana je kao kombinaciona mreža koja prepoznaje odgovarajuće vrednosti kodova operacije.

Diagram, schematic

Description automatically generated

Slika 32. Jedinica *DecodID*

# Zaključak

U zaključku se daje kritički osvrt na ispunjenje ciljeva postavljenih u ovom radu. Analizira se šta je urađeno i daju se predlozi šta bi još moglo biti urađeno.

Napravljen je pregled koncepata procesora *pipeline* organizacije. Ova struktura je izabrana, kao često korišćena organizacija u savremenim procesorima, koja služi za poboljšanje njihovih performansi. Dat je kompletan opis svih koncepata *pipeline* organizacije, na koncizan i sažet način, pogodan za njihovo razumevanje. Objašnjeni su hazardi, koji ovu strukturu čine složenom, kao i tehnike za njihovo razrešavanja. Prikazane su i različite mogućnosti realizacije nekih elemenata, kao što je hardver za predikciju skoka.

Napravljen je pregled postojećih simulatora računarskih sistema, sa posebnim osvrtom na simulatore *pipeline* procesora. Pregled je kratak i bez mnnogo detalja, ali su pokriveni svi dominantni simulatori u upotrebi za svrhu nastave, a i za komercijalne upotrebe. Prikaz postojećih simulatora *pipeline* procesora, poslužio je kao odrednica za izbor odgovarajućeg alata za realizaciju simulatora.

Realizovan je simulator *pipeline* procesora u alatu *IGoVSoEDS*, ali tako da se neki delovi mogu lako realizovati na različite načine (*test bed*). Realizovani simulator *pipeline* procesora je potpuno verodostojan i ispravno funkcioniše. Takođe, ovaj simulator je realizovan najpre na blokovskom nivou, pa zatim sve do nivoa prekidačke mreže, s tim da alat *IGoVSoEDS* dozvoljava da se bilo koji od blokova realizuje na bilo koji drugi način, kao poseban modul i da se jednostavno zameni umesto postojećeg. Na taj način se postiže efekat *test bed*-a za dalja istraživanja studenata. Ono što je autor uočio kao manu, jeste da, iako složena struktura i iako modularno realizovan, *pipeline* procesor ima jedan blok (keš za predikciju skoka), koji ima smisla realizovati na druge načine. Za sve ostale blokove, nije veliki izazov isprobavati druge realizacije, jer su funkcionalnosti ovih blokova utvrđene postaljenom arhitekturom i organizacijom procesora. Naravno, kreativnim studentima bi ovakva situacija mogla biti podstrek, da umesto na nivou modula, izvrše promene i u organizaciji, isprobavajući tako različite varijante prikazanog modela *pipeline* procesora.

Na kraju, autor nakon upotrebe *IGoVSoEDS* alata, može dati njegovu procenu, kao i prednosti i nedostatke ovog alata. Opšti utisak autora je da je alat veoma dobar za realizaciju, kako jednostavnijih, tako i složenijih struktura. Takođe, alat je prilično jednostavan za upotrebu i ima dosta detaljno i dobro napisano uputstvo, koje pokriva sve mogućnosti ovog alata. Nedostaci alata, koje je uočio autor, mogu se podeliti u dve grupe: konceptualni i tehnički nedostatci. Pod konceptualnim nedostatcima podrazumevaju se funkcionalnosti, koje nedostaju, a koje bi bile korisne, dok se pod tehničkim nedostatcima podrazumevaju greške u izvršavanju programa i ograničenja, koja otežavaju korišćenje. Autor je uočio sledeće konceptualne nedostatke:

* ne postoji tabelarni pregled važnijih signala (trebalo bi obezbediti neki sličan vremenskom dijagramu signala), u koji bi se mogli dodati željeni signali i vrednosti registara, koje korisnik želi da prati,
* ne postoji podrška za dovođenje izlaza jednog kola na ulaz drugog, ukoliko je već izlaz drugog kola doveden na ulaz prvog (npr. kao kod flip-flopova) i nema rešenja za ovakvu situaciju,
* nema podrške za rotiranje elemenata na šemi, što je jako korisno kod ovakve vrste simulatora,
* nema podrške za pomeranje grupe elemenata.

Autor je uočio sledeće tehničke nedostatke:

* širina ulaza za podatke memorije je ograničena na maksimalno 16 bita, što može predstavljati otežavajuću okolnost u određenim situacijama,
* takođe, širina adresnog ulaza memorije je fiksirana na 16 bita i zbog ovakvih ograničenja, autor je morao da improvizuje memorije većeg kapaciteta, koristeći postojeće.
* na izlazu memorijskog modula se pojavljuje sadržaj sa adrese dovedene na adresni ulaz, na sledeći signal takta, što je dovelo do poteškoća u korektnom izvršavanju primera (morala se veštački dovoditi prava vrednost na izlaz),
* nema podrške za postavljanje Undefined signala na IN port modula, što je logično kod pravljenja složenijih struktura, ali isto tako i moguće rešiti zaobilaznim putem.

Pored ove dve grupe nedostataka, koje imaju veze sa samim simulatorom, postoji još jedan, koji je vezan za programsku realizaciju simulatora. Naime, kada se dogodi neka greška u projektovanju šeme ili izvršavanju simulacije, simulator ispiše poruku o grešci, koja je čisto tehničke prirode i nerazumljiva je običnom korisniku, ali još važnije, simulator se nakon toga samo ugasi, bez mogućnosti da korisnik sačuva svoj prethodni rad, što je jako loše, jer kod ovakvih vrsta programa, korisnik retko razmišlja o tome da često sačuva svoj rad, pa može doći do gubitka podataka i vraćanja korak u nazad u realizaciji nekog projekta.

Kada govorimo o dobrim stranama, to je već pomenuta jednostavnost u korišćenju, zatim dobar korisnički interfejs, sa dobrim rasporedom najčešće korišćenih komandi. Takođe, jako dobra strana je biblioteka sa osnovnim logičkim elementima, kao i mogućnost dodavanja novih modula u biblioteku. Zatim, u šemama je moguće prikazivati module sa ili bez portova, ali ipak povezivati "nevidljivim" vezama ovakve module, kao što se to obično radi u šemama logičkih struktura, kada je preveliki broj linija na šemi. Takođe, moguće je ograničiti pregled na nivou blokova, sa mogućnošću dozvole ili zabrane ulaženja u strukturu nekog bloka, pa se na taj način može napraviti simulator sa specifičnom namerom da demonstrira koncepte i/ili realizaciju koncepata. Prostorna uređenost je odlična, tako da jako složene šeme, mogu biti prikazane veoma jasno i pregledno. Simulacija se izvodi veoma jednostavno i po subjektivnom utisku autora precizno i korektno. Autor je uspeo da izvrši simulacije, koje su dale ispravne rezultate na procesoru, koji je realizovan u okviru ovog rada, kao što je i opisano ranije.

Krajnja ocena autora je da je korišćeni alat jako dobar i da uz ispravljanje nekih ili svih nedostataka može postati još bolji. Želja autora je da napravljeni simulator *pipeline* procesora, pomogne studentima da lakše shvate koncepte *pipeline* organizacije i da eksperimentišući sa ovim simulatorom dođu do novih ideja za poboljšanje performansi procesora.

# LITERATURA

|  |  |
| --- | --- |
| [1] | A. T. Sherman, F. Javani, H. Zhang and E. Golaszewski, "On the Origins and Variations of Blockchain Technologies," *IEEE Security & Privacy,* vol. 17, no. 1, pp. 72-77, 2019. |

1. D. Oberhaus, “The World’s Oldest Blockchain Has Been Hiding in the New York Times Since 1995”, Vice, Dostupno na: <https://www.vice.com/en/article/j5nzx4/what-was-the-first-blockchain> (Poslednji put pristupljeno decembra 2022.)

2. W. Stallings, “A Blockchain Tutorial”, The Internet Protocol Journal, Dostupno na: <http://ipj.dreamhosters.com/wp-content/uploads/2017/12/ipj20-3.pdf> (Poslednji put pristupljeno decembra 2022.)

3. Alan T. Sherman, Farid Javani, Haibin Zhang, Enis Golaszewski, “On the Origins and Variations of Blockchain Technologies”, Dostupno na: <https://ieeexplore.ieee.org/document/8674176> (Poslednji put pristupljeno decembra 2022.)

4. qwe

5. qwe

6. qwe