### 1 仿真软件版本：

|  |  |
| --- | --- |
| 工程环境 | Vivado2018.3 |
| 仿真环境 | Modelsim DE-64 10.6c |

### 2 仿真方法：

fft算法基线版本以基2 DIF FFT蝶形运算实现（如图1所示）

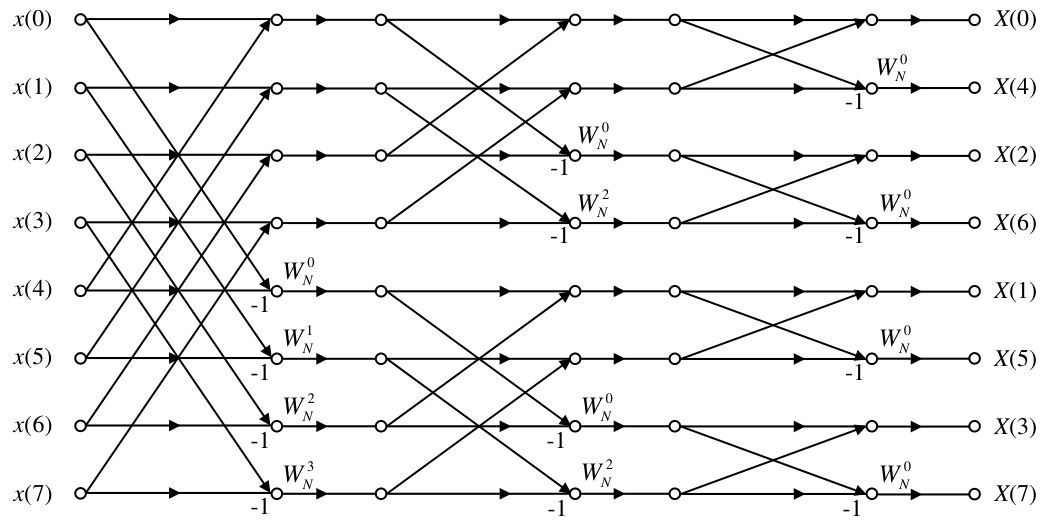


图1 基2 DIF FFT蝶形运算示意图

为验证FFT计算结构的有效性，采用matlab软件生成波形作为原始输入，matlab文件为基线版本目录下2\_TestData各组数据文件夹中的dif\_fft.m通过运行程序，生成三个激励txt文件。

其中data\_before\_fft.txt为输入测试数据，是经matlab采样波形后放大1000倍后取整的64bit位宽二进制数，由高32位的数据实部二进制补码和低32位数据虚部二进制补码拼接而成（虚部全为0）。out\_real.txt和out\_imag.txt为经过fft算法后的理想输出值（已作取整处理），后续会在testbench中和计算的实际值进行对比。以上三个文件会自动生成在仿真目录中，用户需在tb文件tb\_sdf\_fft\_1024\_top.v中修改对应目录位置，即可在仿真环境中调用这三个文件。

基线版本采用vivado2018.3进行工程搭建，采用Modelsim DE-64 10.6c进行功能仿真，将经过fft运算后得到的结果与调用readmemb函数读取的理想输出结果作差值对比，由于输入已放大1000倍，判断当差值超过200时进行警告。同时tb文件将输出实部虚部的结果生成两个txt文件（同样需要在tb文件中修改生成目录）test\_real\_out.txt和test\_imag\_out.txt，可再次调用matlab文件，将基2-DIF-FFT理想输出结果的频谱图和由流水线产生结果画出的频谱图作对比。

### 3 仿真结果

**第一组：**采用作为输入，matlab中设置采样率为1kHz，得到采样点数1024的数据，经过仿真测试，modelsim中输出结果和理想结果之差没有超过200的（如图2所示），经matlab计算信噪比为72.3449。matlab FFT计算频谱图和设计流水线FFT计算的频谱图如图3所示。

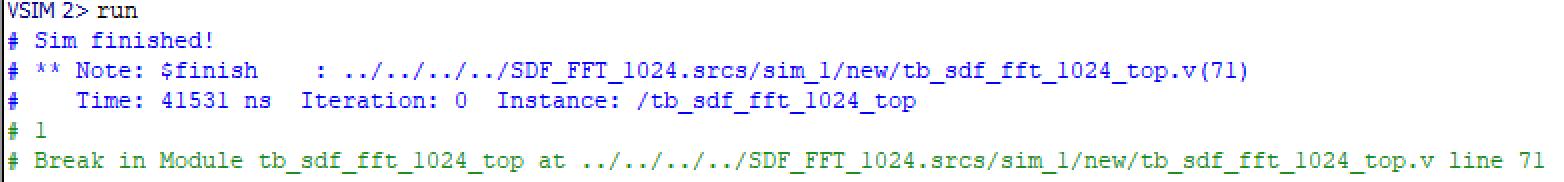


图2 第一组仿真结果

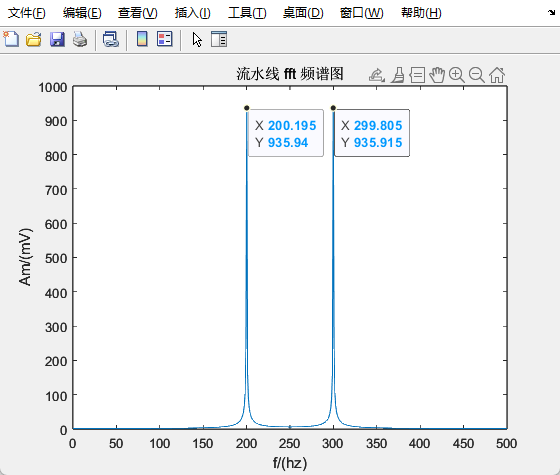
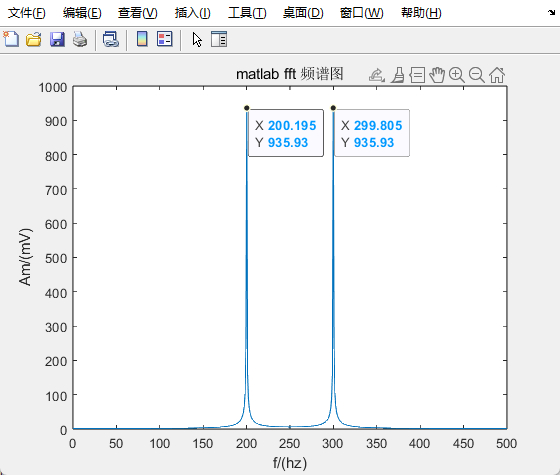


图3 第一组matlab FFT计算频谱图（左）、流水线 FFT计算频谱图（右）

**第二组：**采用作为输入，matlab中设置采样率为1MHz，得到采样点数1024的数据，经过仿真测试，modelsim中的输出结果和理想结果之差没有超过200的（如图4所示），经matlab计算信噪比为72.3449。matlab FFT计算频谱图和设计流水线FFT计算的频谱图如图5所示。

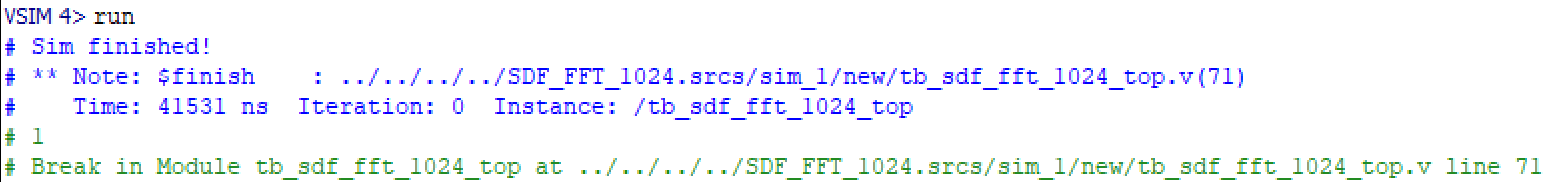


图4 第二组仿真结果

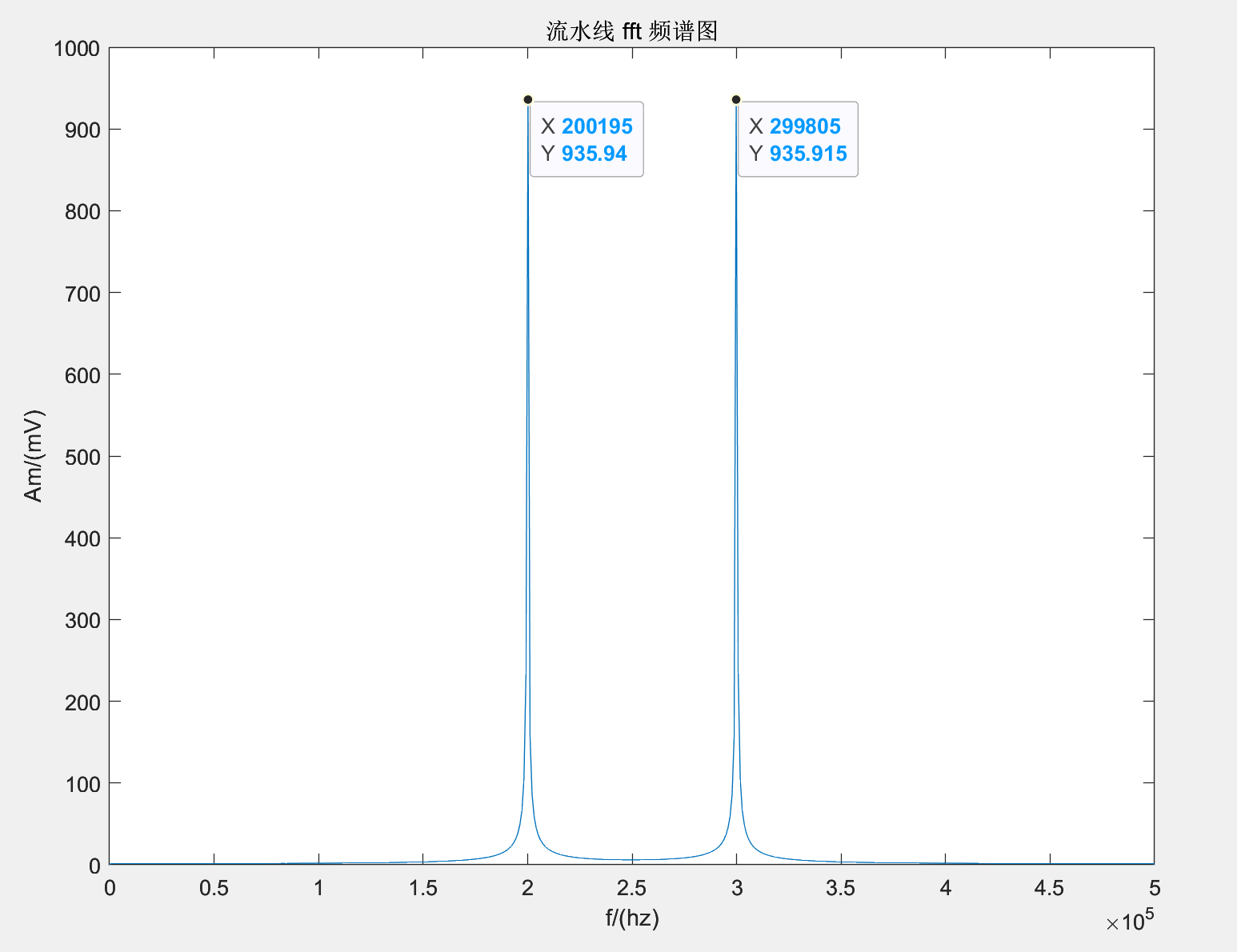
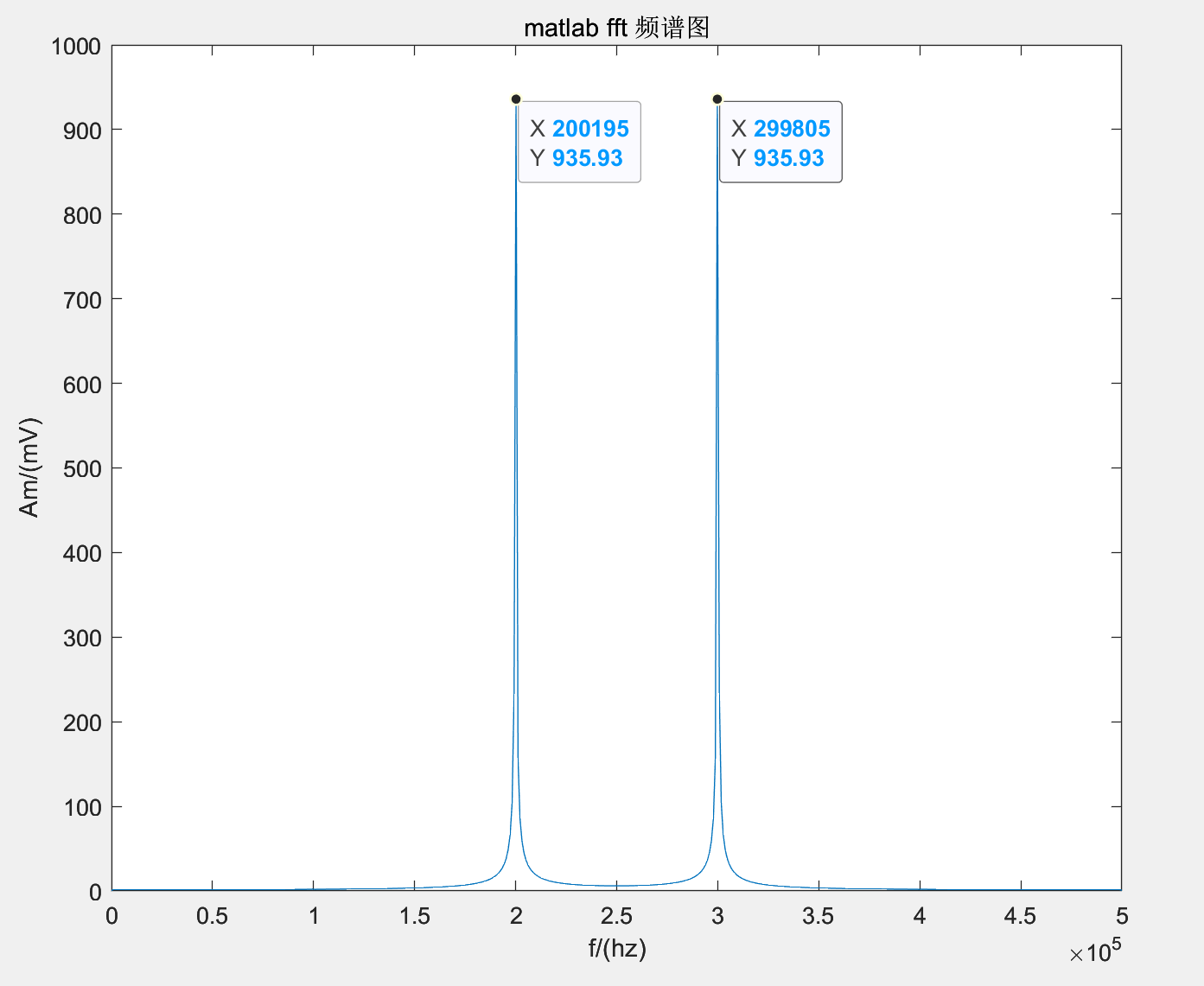


图5 第二组matlab FFT计算频谱图（左）、流水线 FFT计算频谱图（右）

**第三组：**采用作为输入，matlab中设置采样率为100kHz，得到采样点数1024的数据，经过仿真测试，modelsim中输出结果和理想结果之差仅有一个超过200的（如图6所示），经matlab计算信噪比为73.8015。matlab FFT计算频谱图和设计流水线FFT计算的频谱图如图7所示。

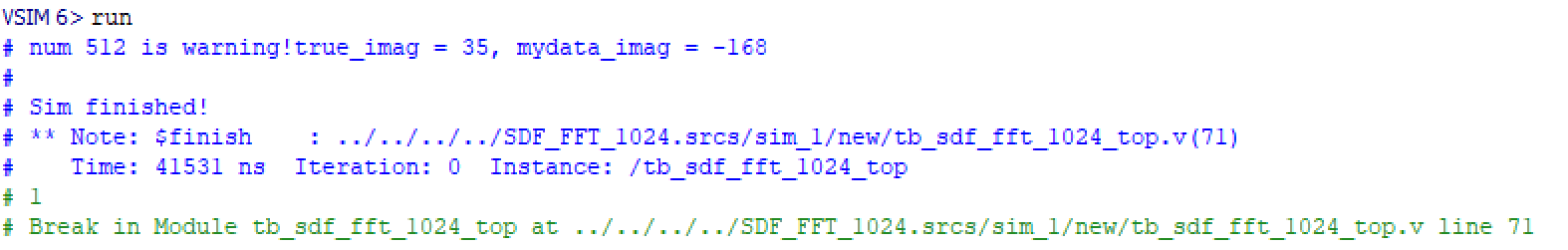


图6 第三组仿真结果

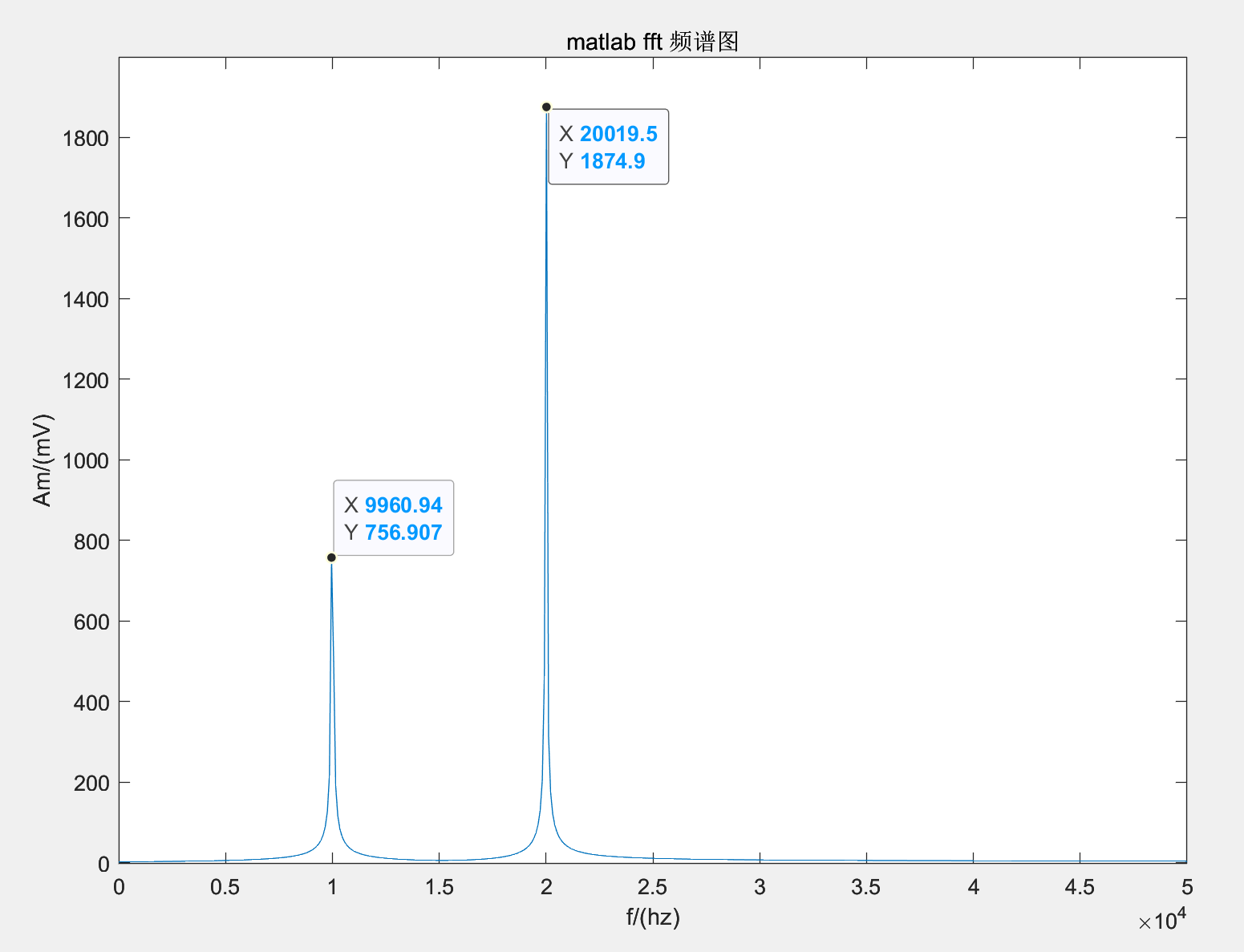
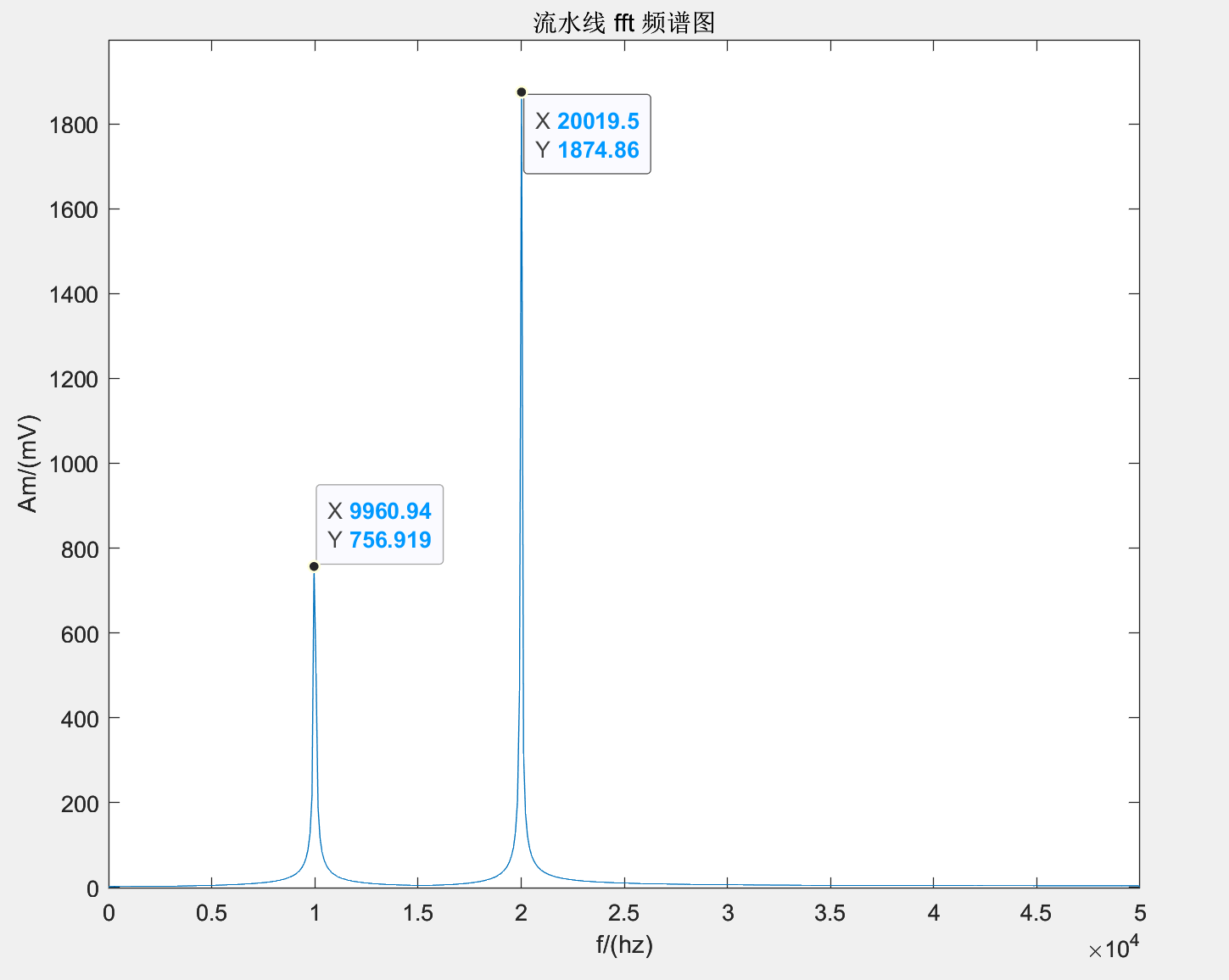
 

图7 第三组matlab FFT计算频谱图（左）、流水线 FFT计算频谱图（右）

### 4 性能参考数据

选用ZYNQ7020芯片进行性能测试，关键性能参考数据如表1。

表1 关键性能参考数据

|  |  |
| --- | --- |
| 参数 | 数据 |
| 时钟频率 | 25MHz |
| 硬件平台型号 | Zynq 7020 |
| 总功耗 | 0.301W |
| 理论计算时间 | 2057个时钟周期，即82.28us |
| LUTs | 6444 |
| Registers | 1337 |
| BRAM | 5 |
| DSPs | 160 |

#### 4.1 功耗

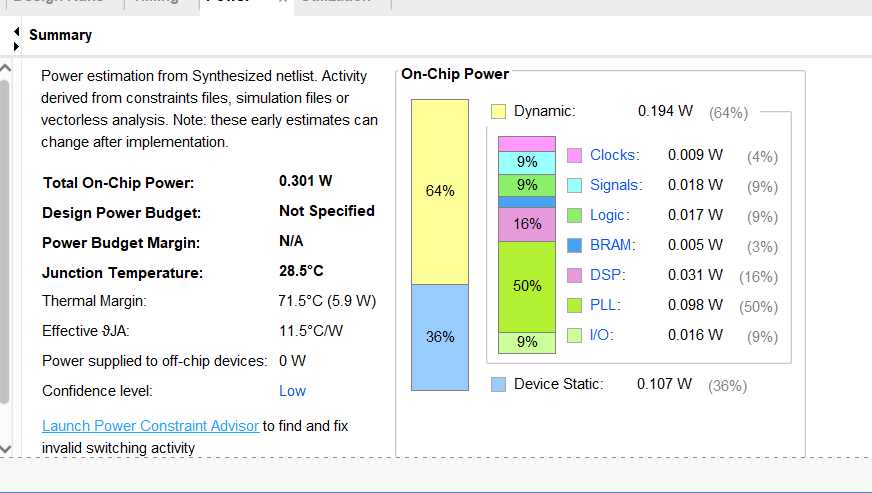


图8功耗情况

#### 4.2 FFT 计算时间及时序

通过 Vivado软件中的仿真结果获得 FFT 计算所需的时钟周期数，测试分别采用1路计算，即仅有1组1024点数据输入，时钟周期为20ns，仿真结果可得，从输入数据50ns开始，至输出数据结束41190ns，共需要个时钟周期，如图9、10所示

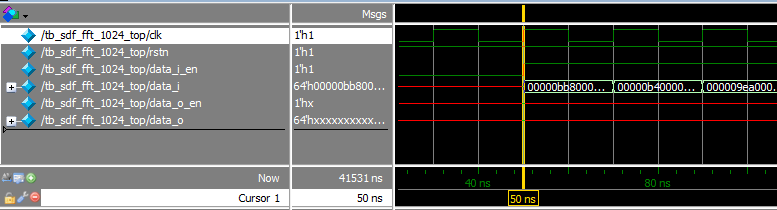


图9输入开始时间

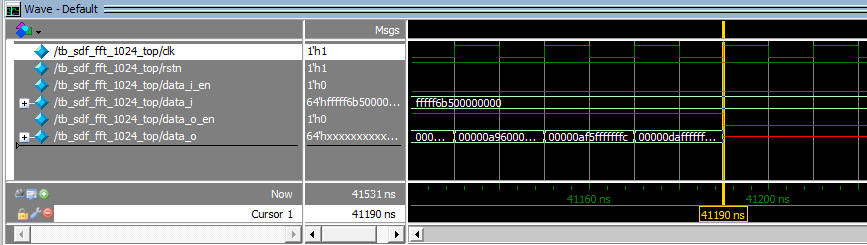


图10 输出结束时间

时序测试采用25MHz时钟进行综合，关键路径延时如图11所示

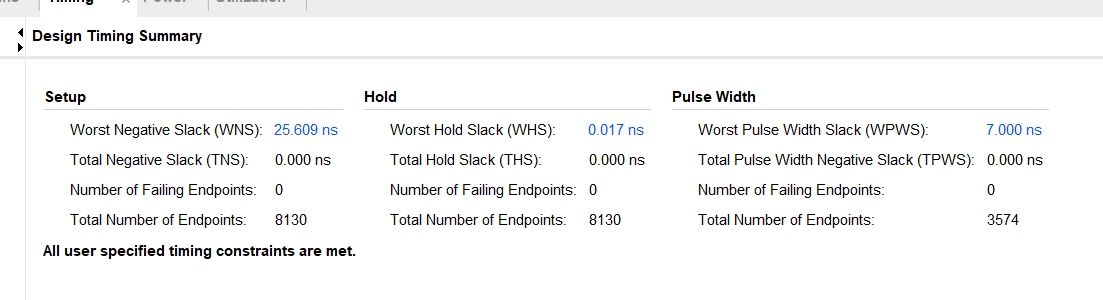


图11 关键路径延时

#### 4.3 资源消耗

通过Vivado软件综合获取流水线FFT计算结构的资源利用率，在ZYNQ7020上的资源消耗及利用率如图12、13所示。

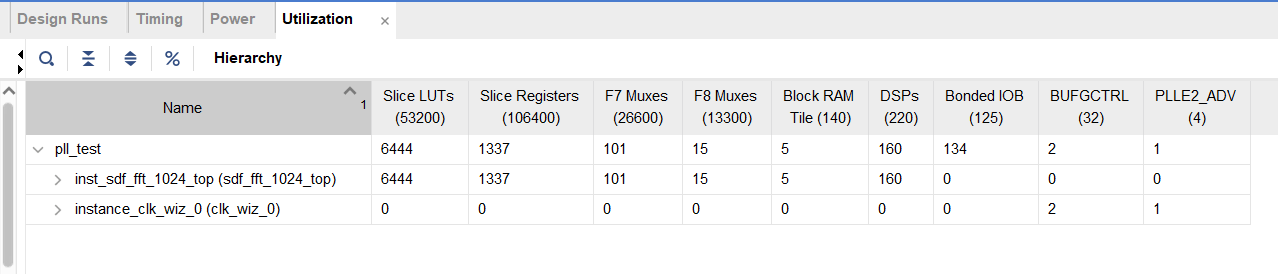


图12 ZYNQ7020资源消耗

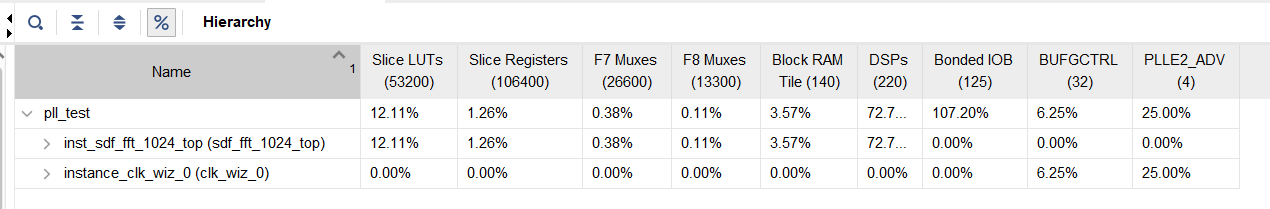


图13 ZYNQ7020资源利用率