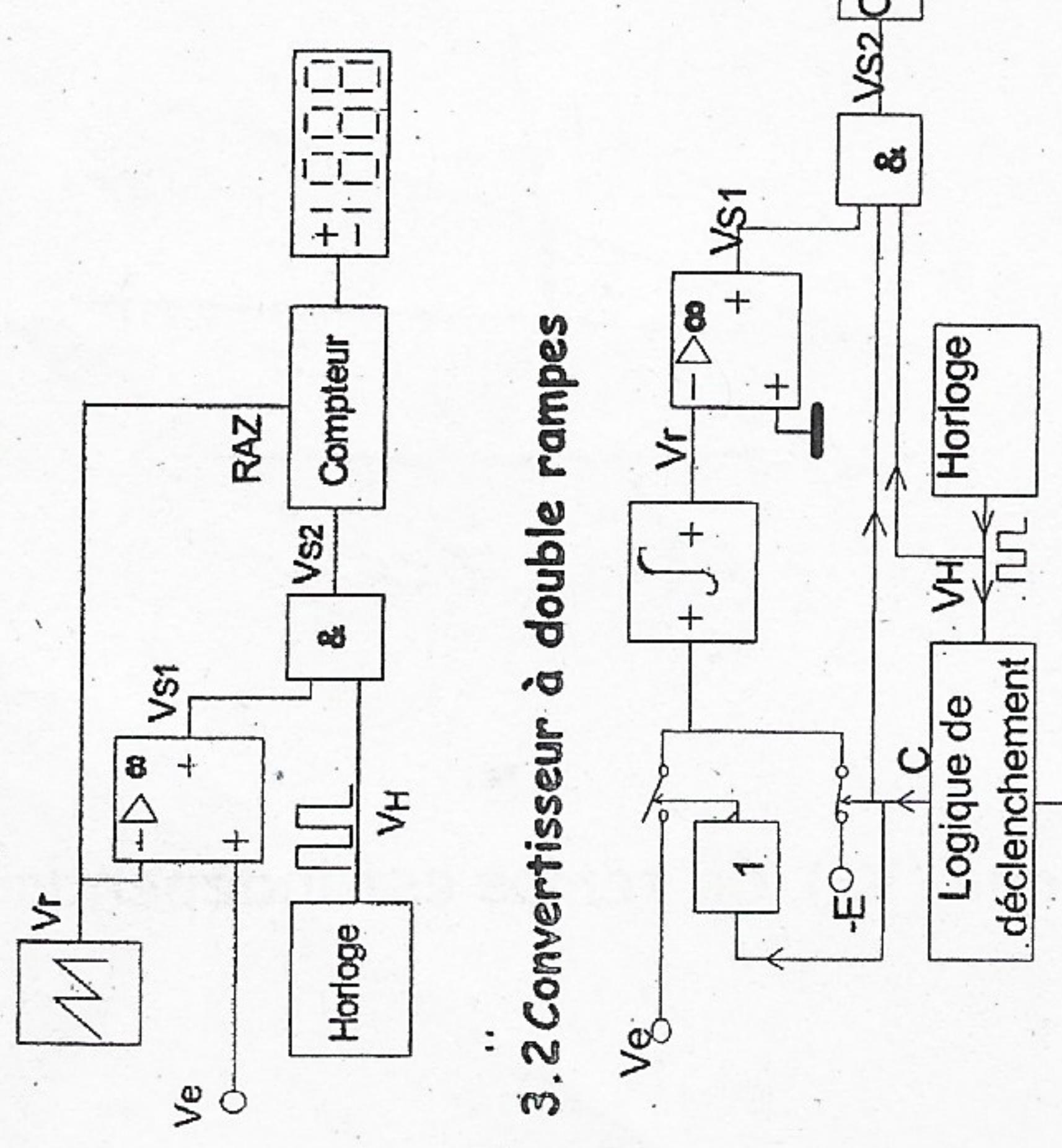


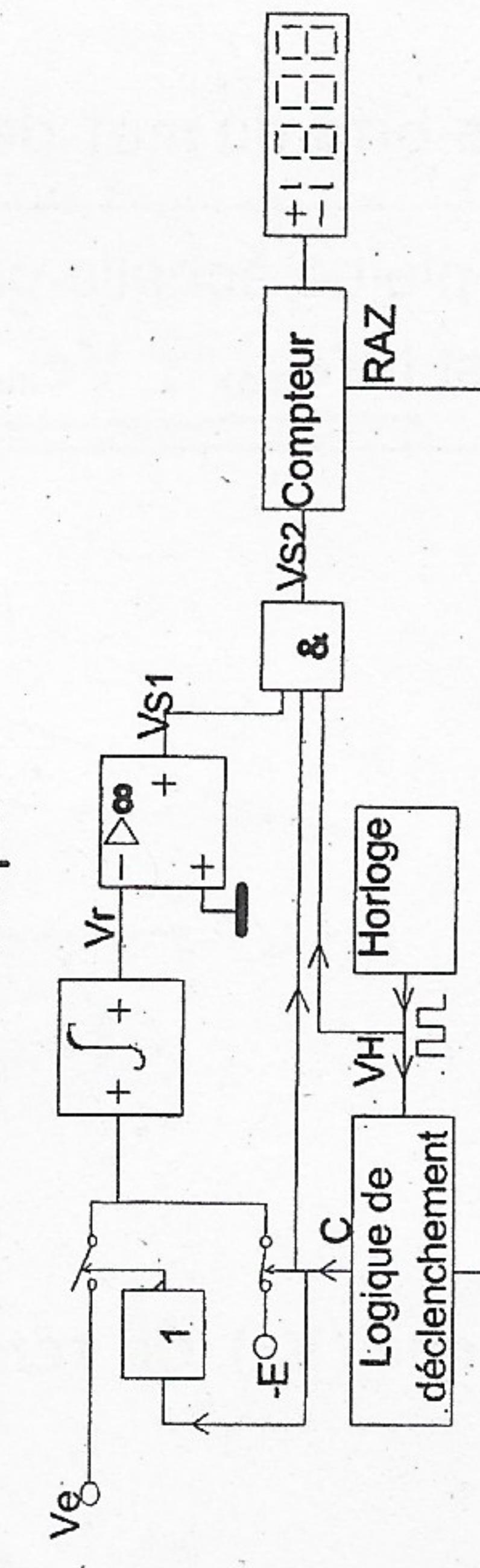
Exemples de C.A.N.

3.1 Convertisseur simple et doubles rampes

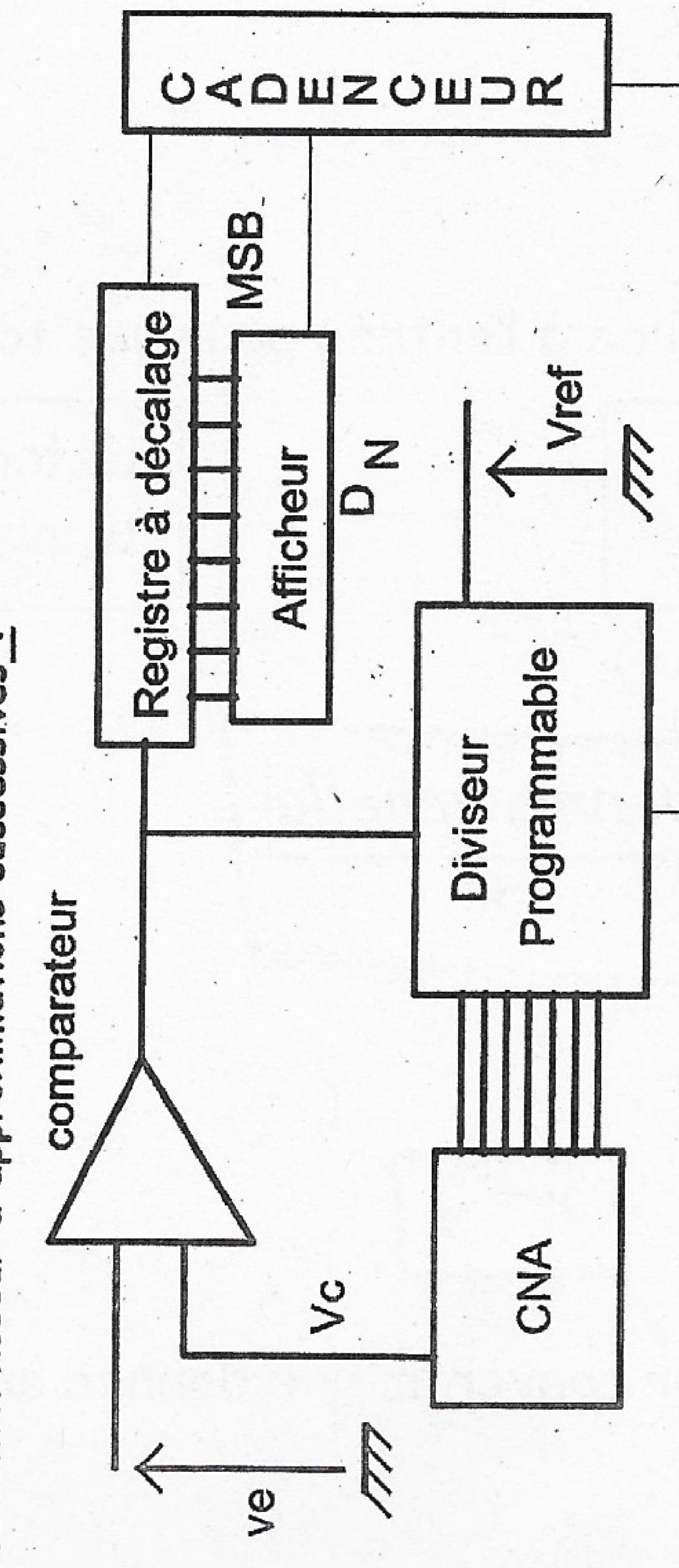
Il utilise le principe de la conversion tension-durée.



3.2 Convertisseur à double rampes



3.3 Convertisseur à approximations successives :



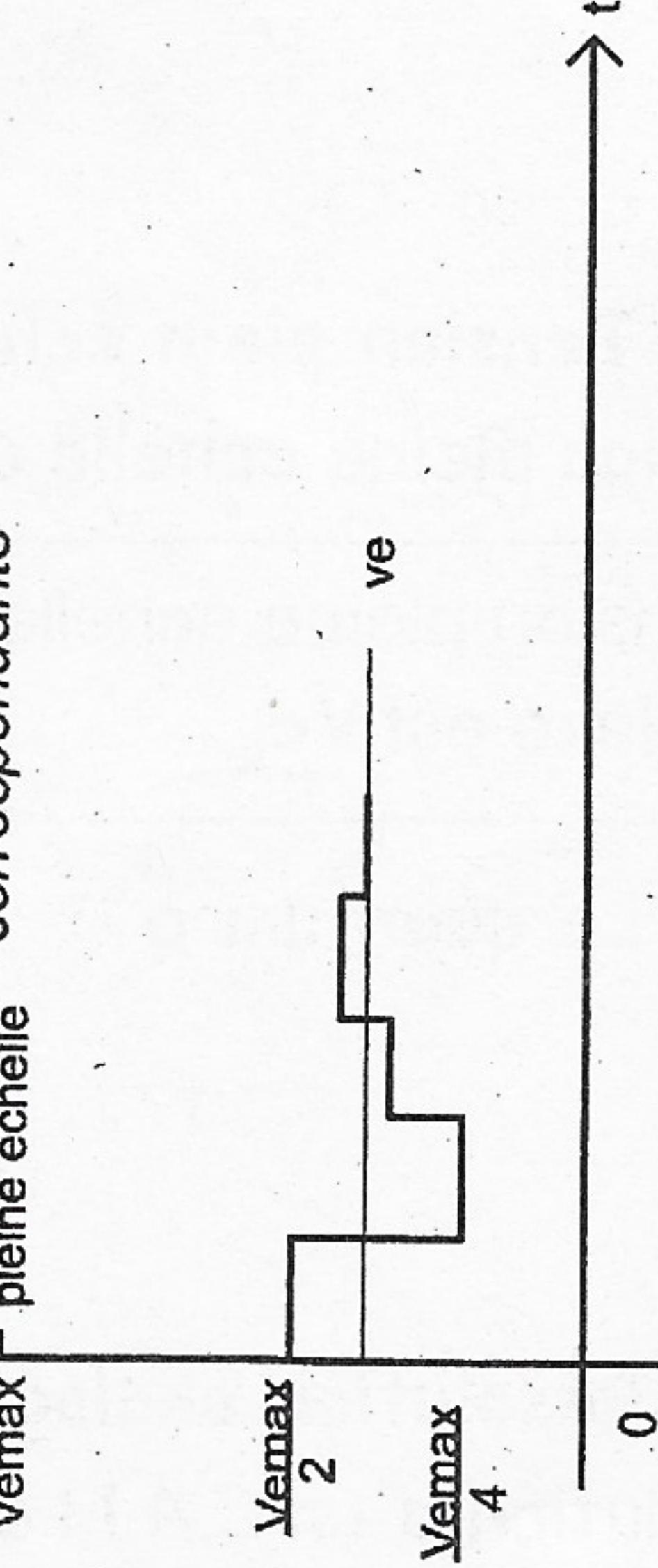
Au départ V_c est la moitié de la pleine échelle.

En fonction du résultat de la comparaison, le diviseur programmable envoie sur le CNA un donnée numérique telle que V_c découpera l'incertitude restante en deux.

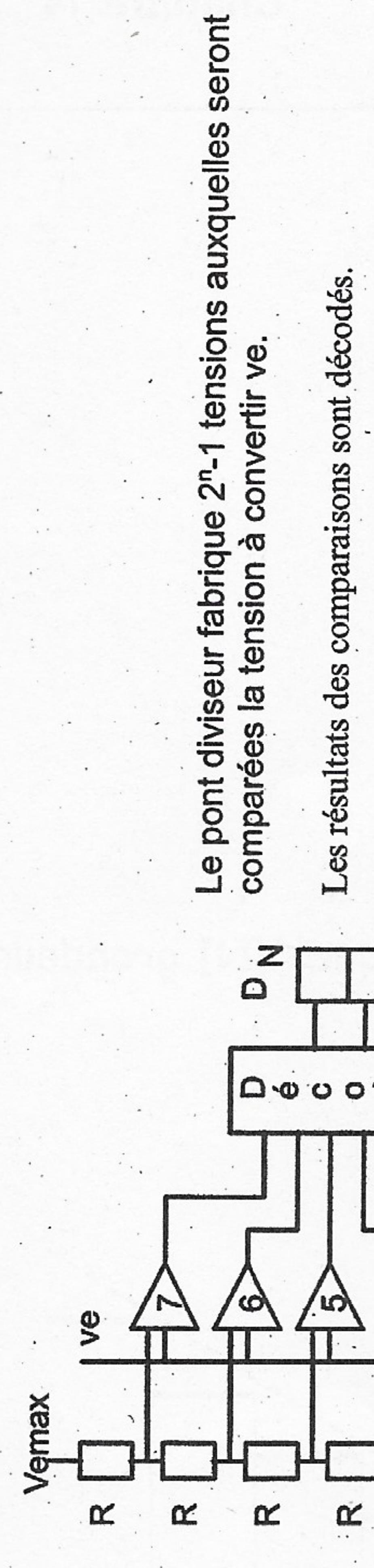
Lorsque le comparateur répond $v_e > V_c$ un « 1 » logique est délivré, au registre à décalage qui fournira la donnée après les n tests et au diviseur programmable afin qu'il calcule la nouvelle donnée pour V_c . Si $v_e < V_c$ c'est un « 0 » logique qui sera délivré. Le premier bit fourni est le MSB et le dernier LSB.

Ce convertisseur est plus rapide que les précédents et est très bon marché.

Oscilloscogrammes



Convertisseur flash ou parallèle :



Le pont diviseur fabrique 2^{n-1} tensions auxquelles seront comparées la tension à convertir v_e .

Les résultats des comparaisons sont décodés.

La sortie donne en binaire le n° du comparateur de rang le plus élevé qui a répondu $v_e > v_c$. (v_c tensions fournies par le pont diviseur). Cette donnée est tout simplement D_N

Ce convertisseur et très rapide mais onéreux

Le tableau ci-dessous donne quelques exemples de structures de C.A.N avec leurs caractéristiques essentielles.

Technique	Résolution	Vitesse	Avantages	Inconvénients
Flash	8 bits	250 Msps à 1 Gsp	► Extrêmement rapide ► Large bande passante	► Forte consommation ► Très coûteux ► Erreurs erratiques
Approximations successives	10 à 16 bits	70 à 250 ksp	► Haute résolution ► Haute précision ► Basse consommation ► Peu de composants externes	► Faible bande passante ► Faible vitesse ► Stabilité obligatoire de la tension d'entrée
Double rampe	Supérieure à 18 bits	Inférieure à 50 ksp	► Haute résolution ► Haute immunité au bruit ► Basse consommation	► Très lent
Pipeline	12 à 16 bits	1 à 80 Msps	► Haute vitesse ► Basse consommation ► Correction d'erreurs sur le circuit	► Horloge de rapport cyclique fixe à 50 % ► Fréquence minimum requise
Sigma-Delta	Supérieure à 16 bits	Supérieure à 100 ksp	► Haute résolution ► Très large bande passante ► Filtrage numérique sur le circuit	► Echantillonner - bloquer externe ► Vitesse limitée