

KINTEX UltraScale

开发平台

用户手册

AXKU040 开发板



一、 文档版本控制

文档版本	修改内容记录
REV1.0	创建文档

目 录

一、 文档版本控制	2
一、 开发板简介	4
二、 FPGA 芯片	7
三、 DDR3 DRAM	8
四、 QSPI Flash	13
五、 时钟配置	14
六、 USB 转串口	16
七、 SFP 光纤接口	16
八、 HDMI 视频输出	18
九、 千兆以太网接口	20
十、 FMC 扩展口	22
十一、 SD 卡槽	35
十二、 SMA 接口	36
十三、 温度传感器	38
十四、 JTAG 调试口	38
十五、 LED 灯	39
十六、 按键	40
十七、 电源	41
十八、 风扇	43
十九、 结构尺寸图	44

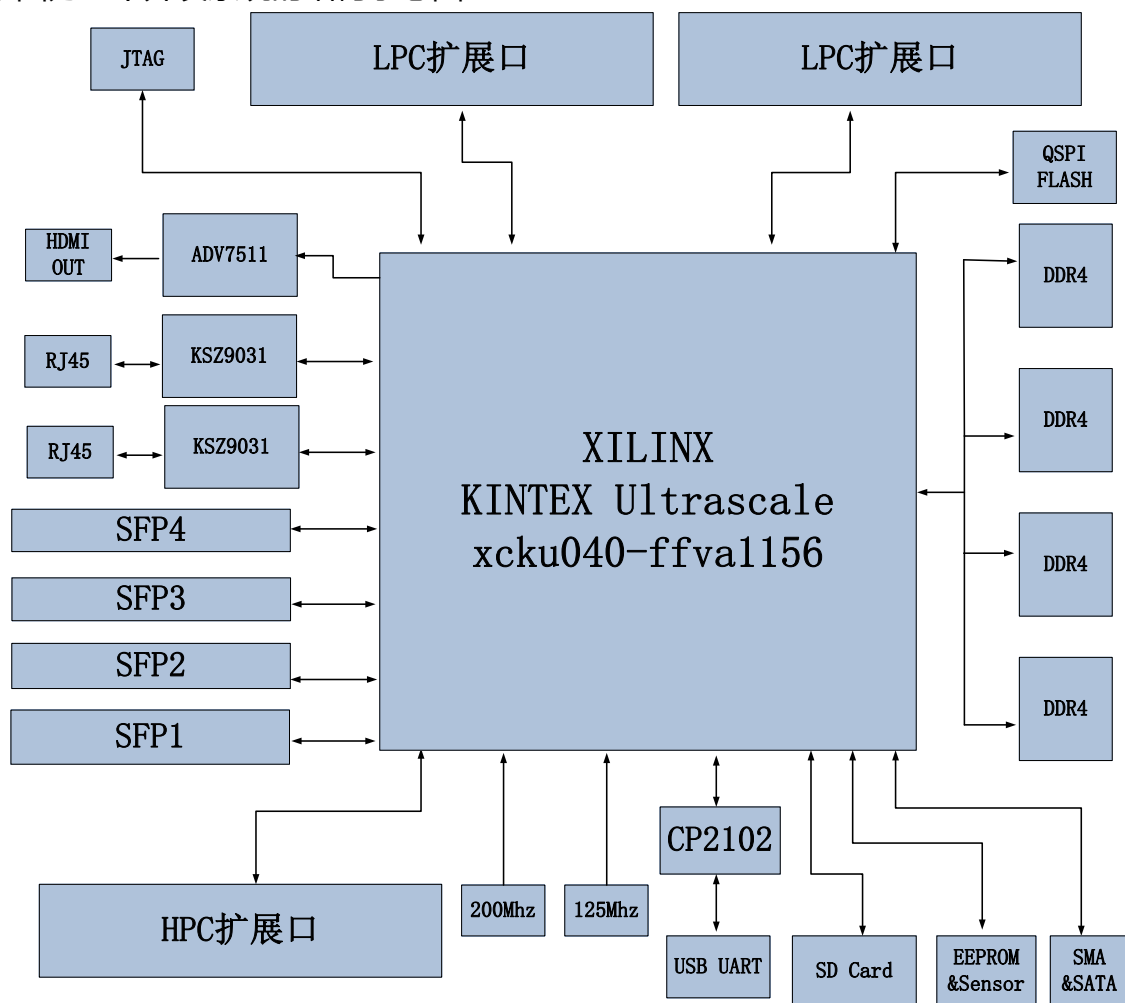
一、 开发板简介

AXKU040 由芯驿电子科技（上海）有限公司 提供基于 XILINX 开发平台 KINTEX UltraScale 架构的一款开发板，满足用户各种高速数据交换，数据存储，视频传输处理以及工业控制的要求，是一款“专业级”的 FPGA 开发平台。为高速数据传输和交换，数据处理的前期验证和后期应用提供了可能。相信这样的一款产品非常适合从事 FPGA 开发的学生、工程师等群体。为了让您对此开发平台可以快速了解，我们编写了此用户手册。

AXKU040 开发板挂载了 4 片 1GB 的高速 DDR4 SDRAM 芯片，FPGA 芯片配置使用 1 片 128Mb 的 QSPI FLASH 芯片。

外围电路方面我们为用户扩展了丰富的接口：4 路 10G SFP+ 光纤接口、3 个 FMC 扩展接口、1 路 UART 串口接口、1 路 SD 卡接口、1 路 HDMI 输出、2 路网口、SMA 和 SATA 接口等等。

下图为整个开发系统的结构示意图：



通过这个示意图，我们可以看到，我们这个开发平台所能含有的接口和功能。

- Xilinx KINTEX UltraScale 芯片 XCKU040。

- DDR4

带有四片大容量的 1GB 字节 (共 4GB) 高速 DDR4 SDRAM。可作为 FPGA 的数据存储，图像分析缓存，数据处理。

- QSPI FLASH

一片 128Mbit 的 QSPI FLASH 存储芯片，可用作 FPGA 芯片配置文件和用户数据的存储；

- 4 路 SFP+ 光纤接口

FPGA 的 GTH 收发器的 4 路高速收发器连接到 4 个光模块的发送和接收，实现 4 路高速的光纤通信接口。每路的光纤数据通信接收和发送的速度高达 12.5Gb/s。

- USB Uart 接口

1 路 Uart 转 USB 接口，用于和电脑通信，方便用户调试。串口芯片采用 Silicon Labs CP2102GM 的 USB-UART 芯片，USB 接口采用 MINI USB 接口。

- HDMI 视频输出

1 路 HDMI 视频输出接口，我们选用了 ANALOG DEVICE 公司的 ADV7511 HDMI 编码芯片，最高支持 1080P@60Hz 输出，支持 3D 输出。

- 千兆以太网接口

2 路 10/100M/1000M 以太网 RJ45 接口，用于和电脑或其它网络设备进行以太网数据交换。网络接口芯片采用 Micrel 公司的 KSZ9031 工业级 GPHY 芯片。

- FMC 扩展口

3 个标准的 FMC 的扩展口 其中有 2 个 LPC 扩展口 ,1 个 HPC 扩展口。可以外接 XILINX 或者我们黑金的各种 FMC 模块(HDMI 输入输出模块 ,双目摄像头模块 ,高速 AD 模块等等)。

- Micro SD 卡座

1 路 Micro SD 卡座，用于 FPGA 对 SD 卡的数据读写和存储。

- SMA 接口和 SATA 接口

6 路 SMA 外接接口和 2 路 SATA 接口，引脚连接上收发器上，用于外接高速的输入输出信号，

- 温湿度传感器和 EEPROM

板载一片温湿度传感器芯片 LM75，用于检测板子周围环境的温度和湿度。

板载一片 EEPROM，用于 IIC 总线的通信和存储一些客户自定义信息

- JTAG 调试口

1 个 10 针 2.54mm 标准的 JTAG 口 ,用于 FPGA 程序的下载和调试 ,用户可以通过 XILINX 下载器对 FPGA 进行调试和下载。

- 时钟

板载一个 200Mhz 的差分晶振，给 FPGA 系统提供稳定的时钟源；

板载一个 125Mhz 的差分晶振，为光纤提供参考时钟。

板载一个 156.25Mhz 的差分晶振，给收发器参考时钟。

- LED 灯

6 个发光二极管 LED, 1 个电源指示灯；1 个 DONE 配置指示灯；4 个用户指示灯。

- 按键

2 个用户按键，1 个复位按键，连接到 FPGA 的普通 IO。

二、FPGA 芯片

开发板使用的是 Xilinx 公司的 KINTEX UltraScale 芯片，型号为 XCKU040-2FFVA1156I。速度等级为 2，温度等级为工业级。此型号为 FFVA1156 封装，1156 个引脚，引脚间距为 1.0mm。Xilinx KINTEX UltraScale 的芯片命名规则如下图 2-1 所示：

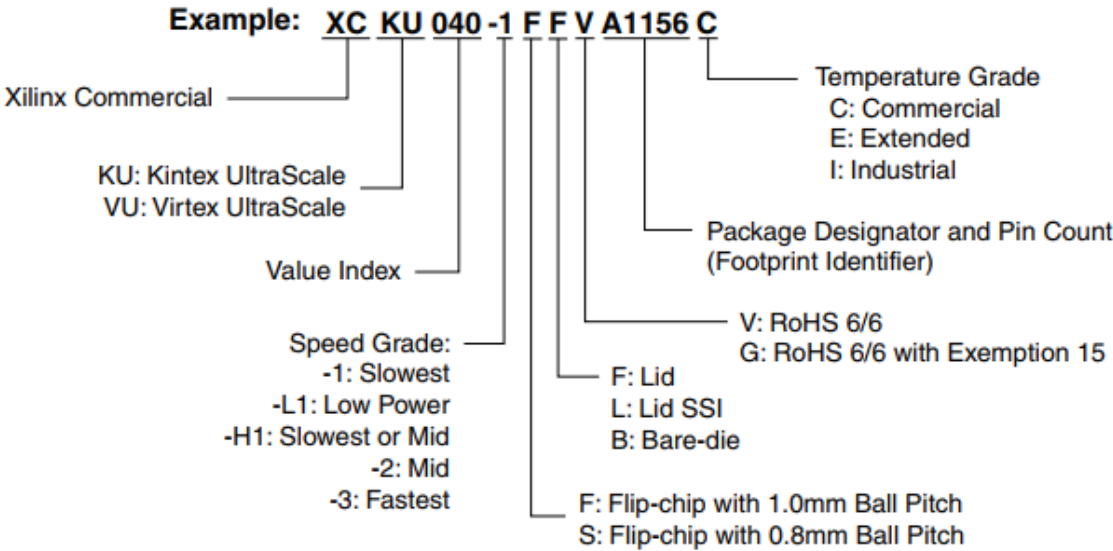


图2-1 KINTEX UltraScale FPGA型号命名规则定义

其中 FPGA 芯片 XCKU040 的主要参数如下所示：

名称	具体参数
逻辑单元 Logic Cells	530,250
查找表(CLB LUTs)	242,400
触发器(CLB flip-flops)	484,800
Block RAM (Mb) 大小	21.1
DSP 处理单元 (DSP Slices)	1,920
PCIe Gen3 x8	3
GTH Transceiver	20 个 , 16.3Gb/s max
速度等级	-2
温度等级	工业级

FPGA 供电系统

XCKU040 FPGA 电源有 V_{CCINT} , V_{CCBRAM} , V_{CCAUX} , V_{CCAUX_IO} , V_{CCO} , $V_{MGTAVCC}$, $V_{MGTAVTT}$, $V_{MGTVCCAUX}$, $V_{MGTAVTTRCAL}$, V_{CCADC} 。 V_{CCINT} 为 FPGA 内核供电引脚,需接 0.95V ; V_{CCBRAM} 为 FPGA Block RAM 的供电引脚接 0.95V ; V_{CCAUX} 和 V_{CCAUX_IO} 为 FPGA 辅助供电引脚, 接 1.8V ; V_{CCO} 为 FPGA 的各个 BANK 的电压,包含 BANK0,BANK44~48, BANK64~68。 $V_{MGTAVCC}$ 为 FPGA 内部 GTH 和 GTY 收发器的供电电压, 接 1.0V ; $V_{MGTAVTT}$ 为 GTH 的发送和接收的端接电压, 接 1.2V。 $V_{MGTAVTTRCAL}$ 为收发器电阻校准电压,接 1.2V ; V_{CCADC} 为 XADC 供电电压,接 1.8V。

XCKU040 FPGA 系统要求上电顺序如下图 2-2

Power-On/Off Power Supply Sequencing

The recommended power-on sequence is V_{CCINT}/V_{CCINT_IO} , V_{CCBRAM} , V_{CCAUX}/V_{CCAUX_IO} , and V_{CCO} to achieve minimum current draw and ensure that the I/Os are 3-stated at power-on. The recommended power-off sequence is the reverse of the power-on sequence. If V_{CCINT}/V_{CCINT_IO} and V_{CCBRAM} have the same recommended voltage levels, they can be powered by the same supply and ramped simultaneously. V_{CCINT_IO} must be connected to V_{CCINT} . If V_{CCAUX}/V_{CCAUX_IO} and V_{CCO} have the same recommended voltage levels, they can be powered by the same supply and ramped simultaneously. V_{CCAUX} and V_{CCAUX_IO} must be connected together. When the current minimums are met, the device powers on after the V_{CCINT}/V_{CCINT_IO} , V_{CCBRAM} , V_{CCAUX}/V_{CCAUX_IO} , and V_{CCO} supplies have all passed through their power-on reset threshold voltages. The device must not be configured until after V_{CCINT} is applied.

V_{CCADC} and V_{REF} can be powered at any time and have no power-up sequencing recommendations.

The recommended power-on sequence to achieve minimum current draw for the GTH or GTY transceivers is V_{CCINT} , $V_{MGTAVCC}$, $V_{MGTAVTT}$ OR $V_{MGTAVCC}$, V_{CCINT} , $V_{MGTAVTT}$. There is no recommended sequencing for $V_{MGTVCCAUX}$. Both $V_{MGTAVCC}$ and V_{CCINT} can be ramped simultaneously. The recommended power-off sequence is the reverse of the power-on sequence to achieve minimum current draw. If these recommended sequences are not met, current drawn from $V_{MGTAVTT}$ can be higher than specifications during power-up and power-down.

图 2-2

三、 DDR4 DRAM

AXKU040开发板上配有四片Micron(美光) 的1GB的DDR4芯片,型号为 MT40A512M16LY-062EIT。四片DDR4 SDRAM组成64bit的总线宽度。因为4片DDR4芯片连接到FPGA , DDR4 SDRAM的最高工作时钟可达1200Mhz , 四片DDR4存储系统直接连接到了FPGA的BANK44, BANK45 , BANK46的接口上。DDR4 SDRAM的具体配置如下表3-1 所示。

表3-1 DDR4 SDRAM配置

位号	芯片型号	容量	厂家
U45,U47,U48,U49	MT40A512M16LY-062EIT	512M x 16bit	Micron

DDR4 的硬件设计需要严格考虑信号完整性,我们在电路设计和 PCB 设计的时候已经充分考虑了匹配电阻/终端电阻,走线阻抗控制,走线等长控制,保证 DDR4 的高速稳定的工作。

FPGA 和 DDR4 DRAM 的硬件连接方式如图 3-1 所示:

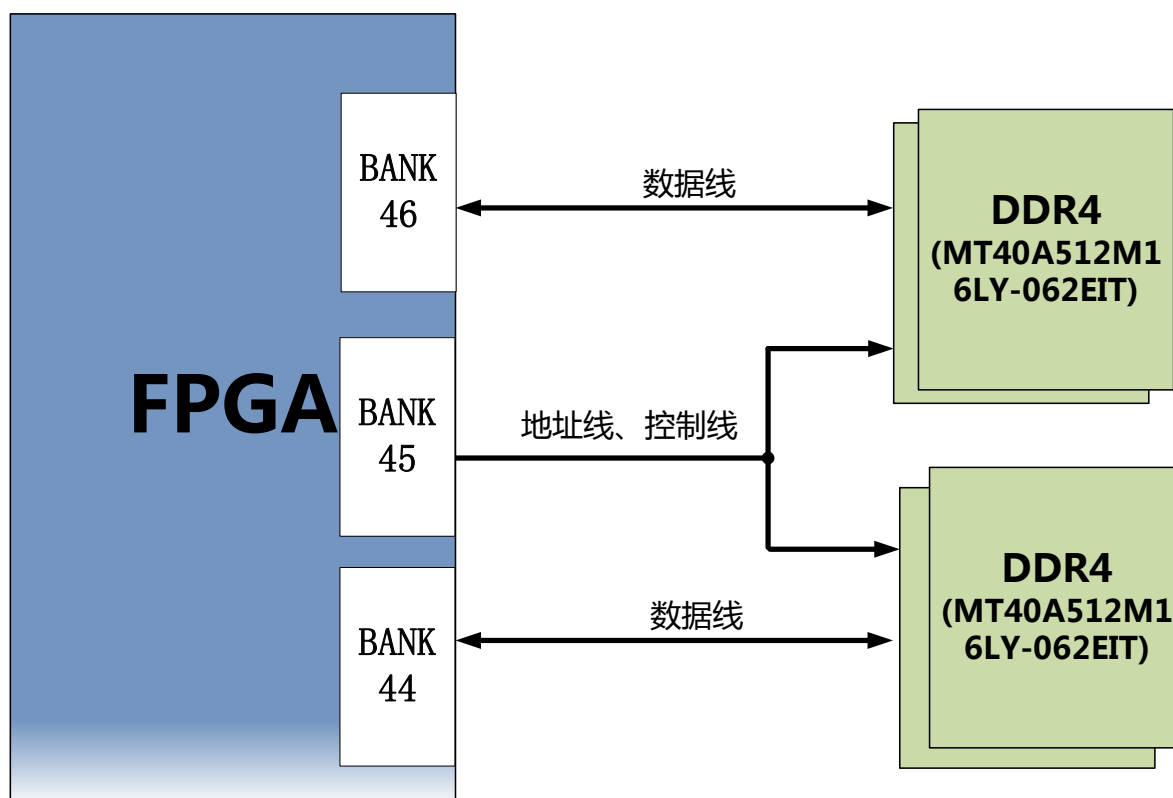


图3-1 DDR4 DRAM原理图部分

4 片 DDR4 DRAM 引脚分配：

信号名称	FPGA 引脚名	FPGA 引脚号
PL_DDR4_DQ0	IO_L3N_T0L_N5_AD15N_44	AE20
PL_DDR4_DQ1	IO_L2N_T0L_N3_44	AG20
PL_DDR4_DQ2	IO_L2P_T0L_N2_44	AF20
PL_DDR4_DQ3	IO_L5P_T0U_N8_AD14P_44	AE22
PL_DDR4_DQ4	IO_L3P_T0L_N4_AD15P_44	AD20
PL_DDR4_DQ5	IO_L6N_T0U_N11_AD6N_44	AG22
PL_DDR4_DQ6	IO_L6P_T0U_N10_AD6P_44	AF22
PL_DDR4_DQ7	IO_L5N_T0U_N9_AD14N_44	AE23
PL_DDR4_DQ8	IO_L8N_T1L_N3_AD5N_44	AF24
PL_DDR4_DQ9	IO_L11P_T1U_N8_GC_44	AJ23
PL_DDR4_DQ10	IO_L8P_T1L_N2_AD5P_44	AF23
PL_DDR4_DQ11	IO_L12N_T1U_N11_GC_44	AH23
PL_DDR4_DQ12	IO_L9N_T1L_N5_AD12N_44	AG25
PL_DDR4_DQ13	IO_L11N_T1U_N9_GC_44	AJ24

PL_DDR4_DQ14	IO_L9P_T1L_N4_AD12P_44	AG24
PL_DDR4_DQ15	IO_L12P_T1U_N10_GC_44	AH22
PL_DDR4_DQ16	IO_L14P_T2L_N2_GC_44	AK22
PL_DDR4_DQ17	IO_L17P_T2U_N8_AD10P_44	AL22
PL_DDR4_DQ18	IO_L15N_T2L_N5_AD11N_44	AM20
PL_DDR4_DQ19	IO_L17N_T2U_N9_AD10N_44	AL23
PL_DDR4_DQ20	IO_L14N_T2L_N3_GC_44	AK23
PL_DDR4_DQ21	IO_L18N_T2U_N11_AD2N_44	AL25
PL_DDR4_DQ22	IO_L15P_T2L_N4_AD11P_44	AL20
PL_DDR4_DQ23	IO_L18P_T2U_N10_AD2P_44	AL24
PL_DDR4_DQ24	IO_L20P_T3L_N2_AD1P_44	AM22
PL_DDR4_DQ25	IO_L23P_T3U_N8_44	AP24
PL_DDR4_DQ26	IO_L20N_T3L_N3_AD1N_44	AN22
PL_DDR4_DQ27	IO_L21N_T3L_N5_AD8N_44	AN24
PL_DDR4_DQ28	IO_L24P_T3U_N10_44	AN23
PL_DDR4_DQ29	IO_L23N_T3U_N9_44	AP25
PL_DDR4_DQ30	IO_L24N_T3U_N11_44	AP23
PL_DDR4_DQ31	IO_L21P_T3L_N4_AD8P_44	AM24
PL_DDR4_DQ32	IO_L2P_T0L_N2_46	AM26
PL_DDR4_DQ33	IO_L6P_T0U_N10_AD6P_46	AJ28
PL_DDR4_DQ34	IO_L2N_T0L_N3_46	AM27
PL_DDR4_DQ35	IO_L6N_T0U_N11_AD6N_46	AK28
PL_DDR4_DQ36	IO_L5P_T0U_N8_AD14P_46	AH27
PL_DDR4_DQ37	IO_L5N_T0U_N9_AD14N_46	AH28
PL_DDR4_DQ38	IO_L3P_T0L_N4_AD15P_46	AK26
PL_DDR4_DQ39	IO_L3N_T0L_N5_AD15N_46	AK27
PL_DDR4_DQ40	IO_L9N_T1L_N5_AD12N_46	AN28
PL_DDR4_DQ41	IO_L12N_T1U_N11_GC_46	AM30
PL_DDR4_DQ42	IO_L8P_T1L_N2_AD5P_46	AP28
PL_DDR4_DQ43	IO_L11N_T1U_N9_GC_46	AM29
PL_DDR4_DQ44	IO_L9P_T1L_N4_AD12P_46	AN27
PL_DDR4_DQ45	IO_L12P_T1U_N10_GC_46	AL30
PL_DDR4_DQ46	IO_L11P_T1U_N8_GC_46	AL29
PL_DDR4_DQ47	IO_L8N_T1L_N3_AD5N_46	AP29
PL_DDR4_DQ48	IO_L14P_T2L_N2_GC_46	AK31

PL_DDR4_DQ49	IO_L18P_T2U_N10_AD2P_46	AH34
PL_DDR4_DQ50	IO_L14N_T2L_N3_GC_46	AK32
PL_DDR4_DQ51	IO_L15N_T2L_N5_AD11N_46	AJ31
PL_DDR4_DQ52	IO_L15P_T2L_N4_AD11P_46	AJ30
PL_DDR4_DQ53	IO_L17P_T2U_N8_AD10P_46	AH31
PL_DDR4_DQ54	IO_L18N_T2U_N11_AD2N_46	AJ34
PL_DDR4_DQ55	IO_L17N_T2U_N9_AD10N_46	AH32
PL_DDR4_DQ56	IO_L21P_T3L_N4_AD8P_46	AN31
PL_DDR4_DQ57	IO_L24P_T3U_N10_46	AL34
PL_DDR4_DQ58	IO_L23N_T3U_N9_46	AN32
PL_DDR4_DQ59	IO_L20P_T3L_N2_AD1P_46	AN33
PL_DDR4_DQ60	IO_L23P_T3U_N8_46	AM32
PL_DDR4_DQ61	IO_L24N_T3U_N11_46	AM34
PL_DDR4_DQ62	IO_L21N_T3L_N5_AD8N_46	AP31
PL_DDR4_DQ63	IO_L20N_T3L_N3_AD1N_46	AP33
PL_DDR4_DM0	IO_L1P_T0L_N0_DBC_44	AD21
PL_DDR4_DM1	IO_L7P_T1L_N0_QBC_AD13P_44	AE25
PL_DDR4_DM2	IO_L13P_T2L_N0_GC_QBC_44	AJ21
PL_DDR4_DM3	IO_L19P_T3L_N0_DBC_AD9P_44	AM21
PL_DDR4_DM4	IO_L1P_T0L_N0_DBC_46	AH26
PL_DDR4_DM5	IO_L7P_T1L_N0_QBC_AD13P_46	AN26
PL_DDR4_DM6	IO_L13P_T2L_N0_GC_QBC_46	AJ29
PL_DDR4_DM7	IO_L19P_T3L_N0_DBC_AD9P_46	AL32
PL_DDR4_DQS0_P	IO_L4P_T0U_N6_DBC_AD7P_44	AG21
PL_DDR4_DQS0_N	IO_L4N_T0U_N7_DBC_AD7N_44	AH21
PL_DDR4_DQS1_P	IO_L10P_T1U_N6_QBC_AD4P_44	AH24
PL_DDR4_DQS1_N	IO_L10N_T1U_N7_QBC_AD4N_44	AJ25
PL_DDR4_DQS2_P	IO_L16P_T2U_N6_QBC_AD3P_44	AJ20
PL_DDR4_DQS2_N	IO_L16N_T2U_N7_QBC_AD3N_44	AK20
PL_DDR4_DQS3_P	IO_L22P_T3U_N6_DBC_AD0P_44	AP20
PL_DDR4_DQS3_N	IO_L22N_T3U_N7_DBC_AD0N_44	AP21
PL_DDR4_DQS4_P	IO_L4P_T0U_N6_DBC_AD7P_46	AL27
PL_DDR4_DQS4_N	IO_L4N_T0U_N7_DBC_AD7N_46	AL28
PL_DDR4_DQS5_P	IO_L10P_T1U_N6_QBC_AD4P_46	AN29
PL_DDR4_DQS5_N	IO_L10N_T1U_N7_QBC_AD4N_46	AP30

PL_DDR4_DQS6_P	IO_L16P_T2U_N6_QBC_AD3P_46	AH33
PL_DDR4_DQS6_N	IO_L16N_T2U_N7_QBC_AD3N_46	AJ33
PL_DDR4_DQS7_P	IO_L22P_T3U_N6_DBC_AD0P_46	AN34
PL_DDR4_DQS7_N	IO_L22N_T3U_N7_DBC_AD0N_46	AP34
PL_DDR4_A0	IO_L18N_T2U_N11_AD2N_45	AG14
PL_DDR4_A1	IO_L23N_T3U_N9_45	AF17
PL_DDR4_A2	IO_L20P_T3L_N2_AD1P_45	AF15
PL_DDR4_A3	IO_L16N_T2U_N7_QBC_AD3N_45	AJ14
PL_DDR4_A4	IO_L19N_T3L_N1_DBC_AD9N_45	AD18
PL_DDR4_A5	IO_L15P_T2L_N4_AD11P_45	AG17
PL_DDR4_A6	IO_L23P_T3U_N8_45	AE17
PL_DDR4_A7	IO_L11N_T1U_N9_GC_45	AK18
PL_DDR4_A8	IO_L24P_T3U_N10_45	AD16
PL_DDR4_A9	IO_L13P_T2L_N0_GC_QBC_45	AH18
PL_DDR4_A10	IO_L19P_T3L_N0_DBC_AD9P_45	AD19
PL_DDR4_A11	IO_L24N_T3U_N11_45	AD15
PL_DDR4_A12	IO_L14P_T2L_N2_GC_45	AH16
PL_DDR4_A13	IO_L10N_T1U_N7_QBC_AD4N_45	AL17
PL_DDR4_BA0	IO_L18P_T2U_N10_AD2P_45	AG15
PL_DDR4_BA1	IO_L10P_T1U_N6_QBC_AD4P_45	AL18
PL_DDR4_BG0	IO_L16P_T2U_N6_QBC_AD3P_45	AJ15
PL_DDR4_WE_B	IO_L9N_T1L_N5_AD12N_45	AL15
PL_DDR4_RAS_B	IO_L8N_T1L_N3_AD5N_45	AM19
PL_DDR4_CAS_B	IO_L8P_T1L_N2_AD5P_45	AL19
PL_DDR4_CKE	IO_L14N_T2L_N3_GC_45	AJ16
PL_DDR4_ACT_B	IO_L21N_T3L_N5_AD8N_45	AF18
PL_DDR4_CLK_N	IO_L22N_T3U_N7_DBC_AD0N_45	AE15
PL_DDR4_CLK_P	IO_L22P_T3U_N6_DBC_AD0P_45	AE16
PL_DDR4_CS_B	IO_L21P_T3L_N4_AD8P_45	AE18
PL_DDR4_OTD	IO_L17P_T2U_N8_AD10P_45	AG19
PL_DDR4_PAR	IO_L20N_T3L_N3_AD1N_45	AF14
PL_DDR4_RST	IO_L15N_T2L_N5_AD11N_45	AG16

四、 QSPI Flash

开发板配有一片 128MBit 大小的 Quad-SPI FLASH 芯片，型号为 N25Q128A，它使用 3.3V CMOS 电压标准。由于 QSPI FLASH 的非易失特性，在使用中，它可以存储 FPGA 的配置 Bin 文件以及其它的用户数据文件。QSPI FLASH 的具体型号和相关参数见表 4-1。

位号	芯片类型	容量	厂家
U14	N25Q128A	128Mbit	Numonyx

表4-1 QSPI Flash的型号和参数

QSPI FLASH 连接到 FPGA 芯片的 BANK0 的专用管脚上，其中时钟管脚连接到 BANK0 的 CCLK0 上，其它数据信号分别连接到 BANK0 的 D00~D03 和 FCS 管脚上。图 4-2 为 QSPI Flash 和 FPGA 芯片的连接示意图。

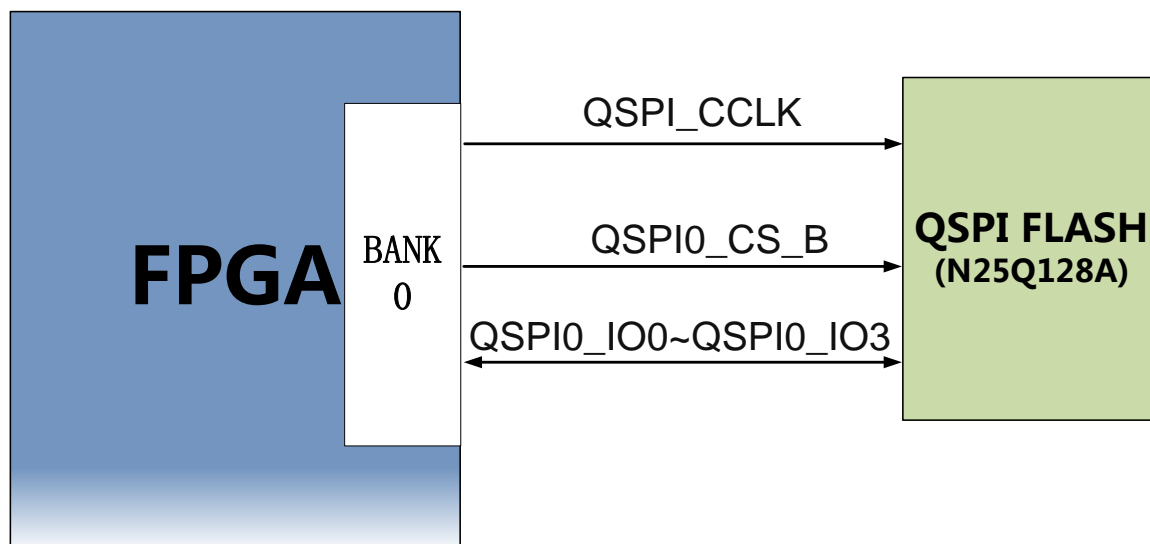


图 4-2 QSPI Flash 连接示意图

置芯片引脚分配：

信号名称	FPGA 引脚名	FPGA 引脚号
QSPI_CCLK	CCLK_0	AA9
QSPI0_CS_B	RDWR_FCS_B_0	U7
QSPI0_IO0	D00_MOSI_0	AC7
QSPI0_IO1	D01_DIN_0	AB7
QSPI0_IO2	D02_0	AA7
QSPI0_IO3	D03_0	Y7

五、 时钟配置

200Mhz 的差分时钟源

板上提供了一个差分 200MHz 的时钟源为 FPGA 提供系统时钟。晶振差分输出连接到 FPGA BANK45，这个时钟可以用来驱动 FPGA 内 DDR 控制器工作时钟和它的用户逻辑电路。该时钟源的原理图如图 5-1 所示

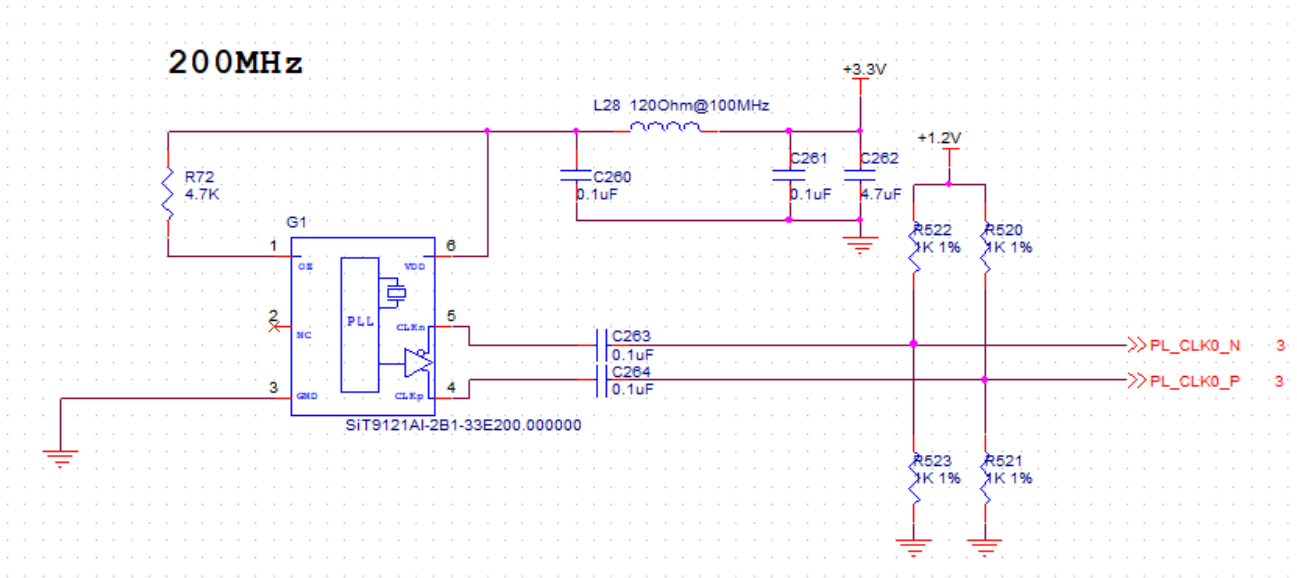


图 5-1

系统时钟引脚分配表：

信号名称	FPGA 引脚
PL_CLK0_P	AK17
PL_CLK0_N	AK16

125Mhz 的差分时钟源

板上提供了一个差分 125MHz 的时钟源为收发器 GTH 提供时钟。晶振差分输出连接到 FPGA BANK224，这个时钟用于 4 路光纤需要的时钟。该时钟源的原理图如图 5-2 所示

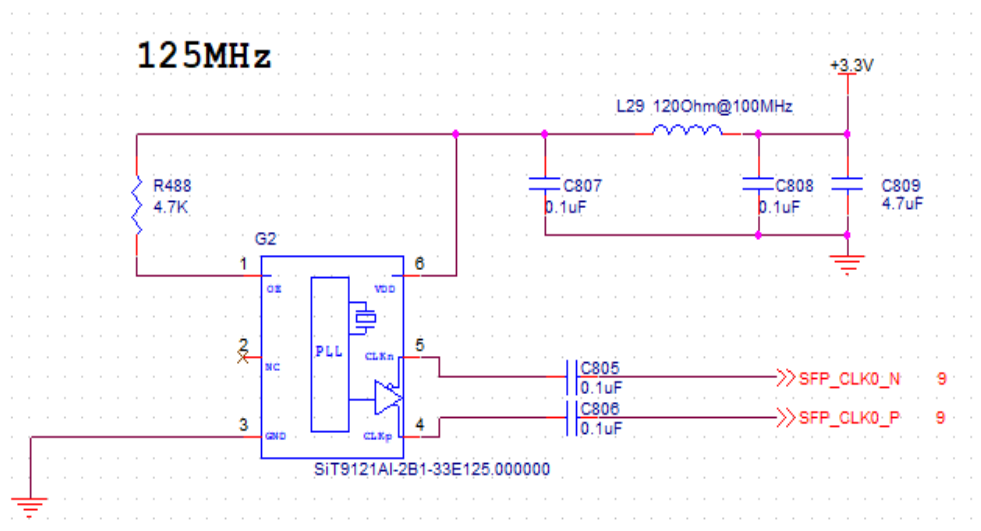


图 5-2

时钟引脚分配表：

信号名称	FPGA 引脚
SFP_CLK0_P	AF6
SFP_CLK0_N	AF5

156.25Mhz 差分时钟源

板上提供了一个差分 156.25MHz 的时钟源为收发器 GTH 提供时钟。晶振差分输出连接到 FPGA BANK228。该时钟源的原理图如图 5-3 所示

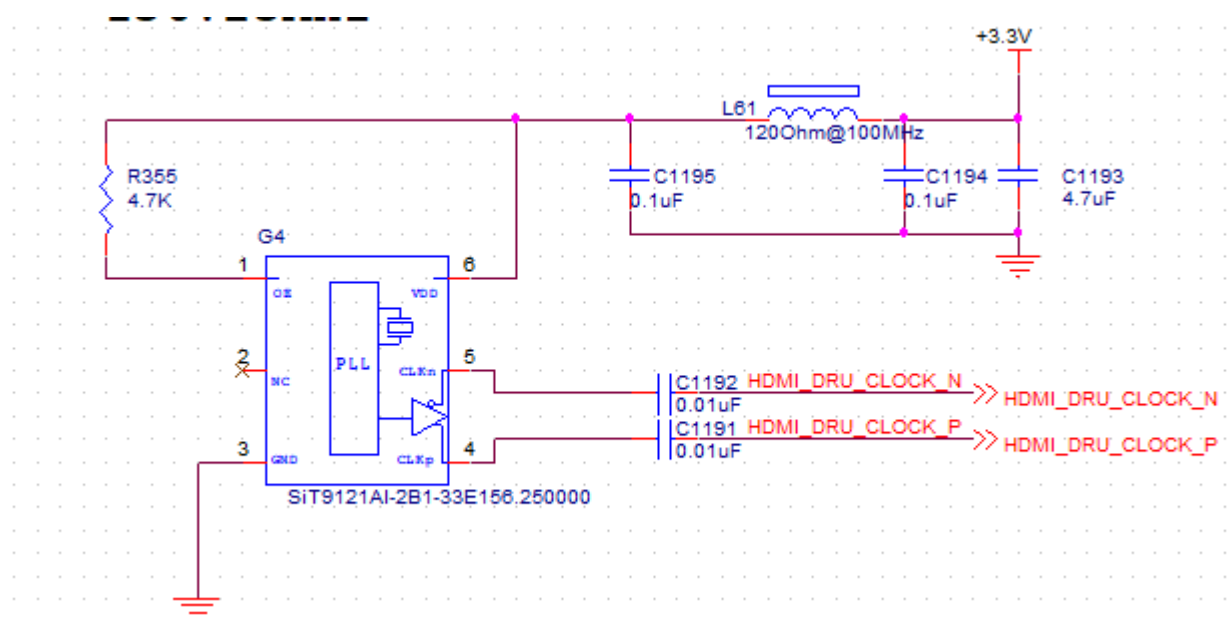


图 5-3

时钟引脚分配表：

信号名称	FPGA 引脚
HDMI_DRU_CLOCK_P	H6
HDMI_DRU_CLOCK_N	H5

六、 USB 转串口

AXKU040 开发板上配备了一个 Uart 转 USB 接口，用于开发板串口通信和调试。转换芯片采用 Silicon Labs CP2102GM 的 USB-UAR 芯片, CP2102 串口芯片和 FPGA 之间用一个电平转换芯片连接，来适应不同的 FPGA BANK 电压。USB 接口采用 MINI USB 接口，可以用一根 USB 线将它连接到上 PC 的 USB 口进行开发板的串口数据通信 。USB Uart 电路设计的示意图如下图 6-1 所示:

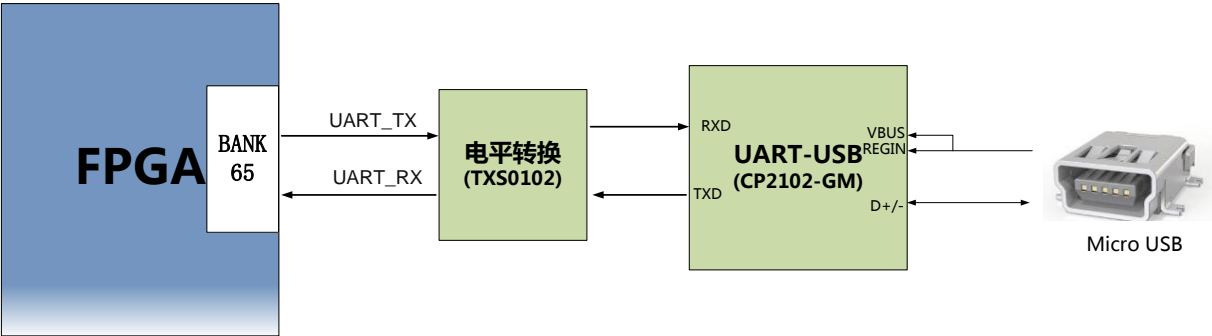


图 6-1 USB 转串口示意图

USB 转串口的 FPGA 引脚分配：

信号名称	FPGA 引脚名	FPGA 引脚号	备注
UART_RXD	IO_T2U_N12_CSI_ADV_B_65	N27	Uart数据输入
UART_TXD	IO_T3U_N12_PERSTN0_65	K22	Uart数据输出

七、 SFP+光纤接口

AXKU040 开发板上有 4 路 SFP 光纤接口 ,用户可以购买 SFP 光模块(市场上 1.25G 2.5G , 10G 光模块) 插入到这 4 个光纤接口中进行光纤数据通信。4 路光纤接口分别跟 FPGA 的 BANK24 的 GTH 收发器的 4 路 RX/TX 相连接，TX 信号和 RX 信号都是以差分信号方式通过隔直电容连接 FPGA 和光模块，每路 TX 发送和 RX 接收数据速率高达 12.5Gb/s。BANK224

的 GXH 收发器的参考时钟由是差分晶振 125M 提供。

FPGA 和 SFP 光纤设计示意图如下图 7-1 所示:

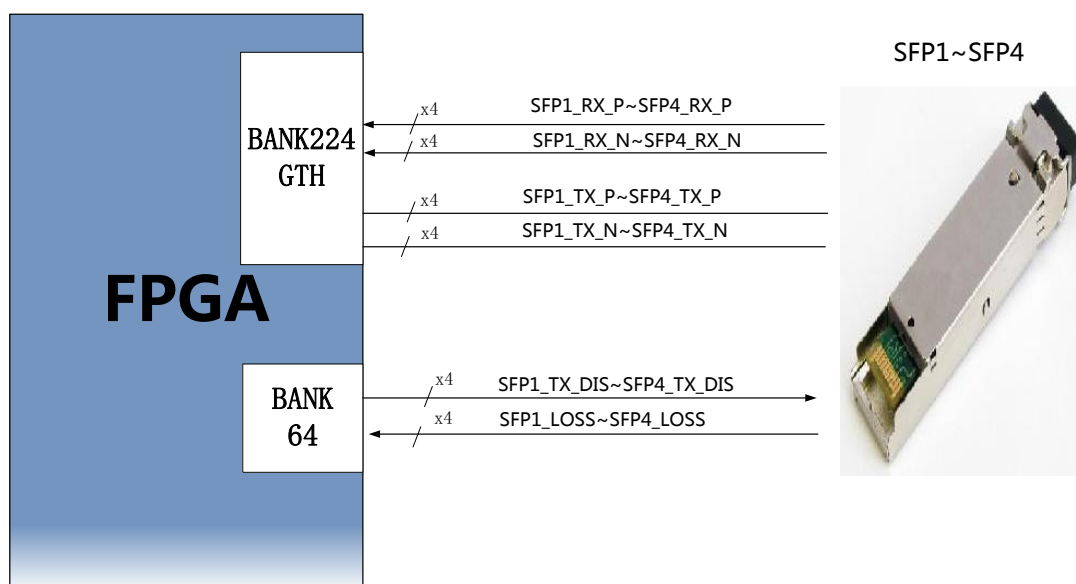


图 7-1 光纤设计示意图

第 1 路光纤接口 FPGA 引脚分配如下：

网络名称	FPGA 引脚	备注
SFP1_TX_P	AN4	SFP 光模块数据发送 Positive
SFP1_TX_N	AN3	SFP 光模块数据发送 Negative
SFP1_RX_P	AP2	SFP 光模块数据接收 Positive
SFP1_RX_N	AP1	SFP 光模块数据接收 Negative
SFP1_TX_DIS	AM10	SFP 光模块光发射禁止，高有效
SFP1_LOSS	AK11	SFP 光接收 LOSS 信号，高表示没有接收到光信号

第 2 路光纤接口 FPGA 引脚分配如下：

网络名称	FPGA 引脚	备注
SFP2_TX_P	AM6	SFP 光模块数据发送 Positive
SFP2_TX_N	AM5	SFP 光模块数据发送 Negative
SFP2_RX_P	AM2	SFP 光模块数据接收 Positive
SFP2_RX_N	AM1	SFP 光模块数据接收 Negative

SFP2_TX_DIS	AL10	SFP 光模块光发射禁止，高有效
SFP2_LOSS	AJ11	SFP 光接收 LOSS 信号，高表示没有接收到光信号

第 3 路光纤接口 FPGA 引脚分配如下：

网络名称	FPGA 引脚	备注
SFP3_TX_P	AL4	SFP 光模块数据发送 Positive
SFP3_TX_N	AL3	SFP 光模块数据发送 Negative
SFP3_RX_P	AK2	SFP 光模块数据接收 Positive
SFP3_RX_N	AK1	SFP 光模块数据接收 Negative
SFP3_TX_DIS	AP9	SFP 光模块光发射禁止，高有效
SFP3_LOSS	AJ10	SFP 光接收 LOSS 信号，高表示没有接收到光信号

第 4 路光纤接口 FPGA 引脚分配如下：

网络名称	FPGA 引脚	备注
SFP4_TX_P	AK6	SFP 光模块数据发送 Positive
SFP4_TX_N	AK5	SFP 光模块数据发送 Negative
SFP4_RX_P	AJ4	SFP 光模块数据接收 Positive
SFP4_RX_N	AJ3	SFP 光模块数据接收 Negative
SFP4_TX_DIS	AN9	SFP 光模块光发射禁止，高有效
SFP4_LOSS	AM9	SFP 光接收 LOSS 信号，高表示没有接收到光信号

八、HDMI 视频输出

HDMI 视频输出选用 ANALOG DEVICE 公司的 ADV7511 HDMI (DVI) 编码芯片，最高支持 1080P@60Hz 输出，支持 3D 输出。可以通过 I2C 管脚来对 ADV7511 进行初始化和控制操作，其中，ADV7511 的视频数字接口，I2C 配置接口与 BANK47 和 BANK48 IO 相连。

ADV7511 芯片与 XCKU040 芯片的硬件连接示意图如下图 8-1 所示：

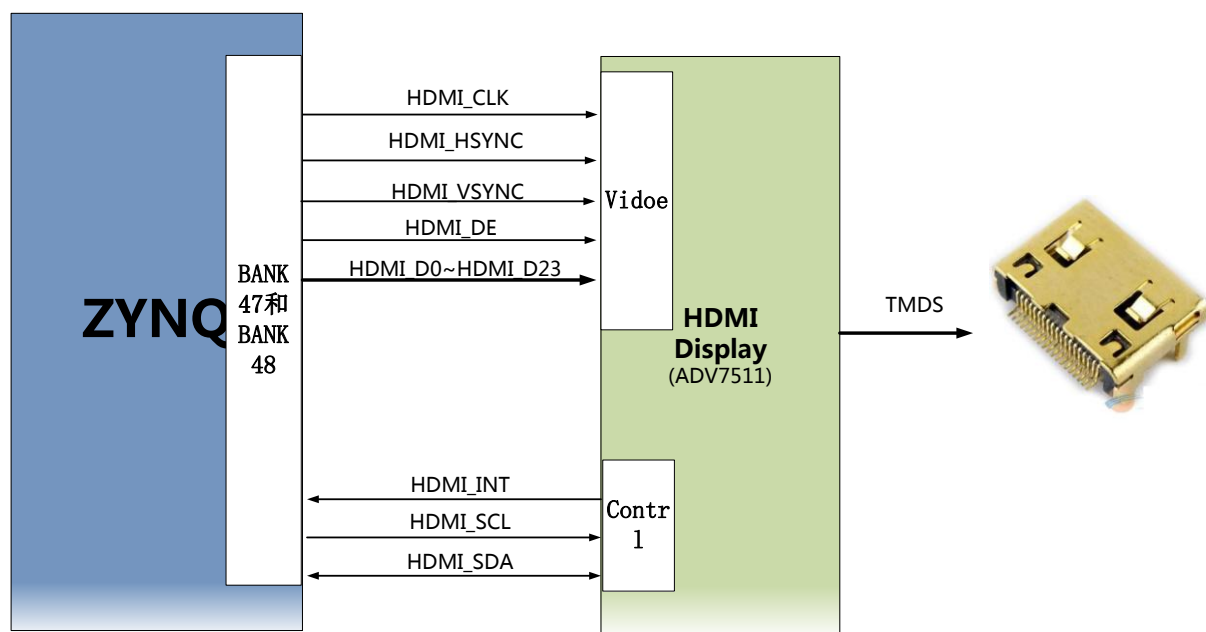


图 8-1 HDMI 视频输出设计示意图

ADV7511 的引脚分配如下：

信号名称	FPGA 引脚名	ZYNQ 引脚号	备注
HDMI_CLK	IO_L21P_T3L_N4_AD8P_48	V33	HDMI 视频信号时钟
HDMI_HSYNC	IO_L21N_T3L_N5_AD8N_47	Y28	HDMI 视频信号行同步
HDMI_VSYNC	IO_T1U_N12_48	AE31	HDMI 视频信号列同步
HDMI_DE	IO_T2U_N12_48	AA33	HDMI 视频信号有效
HDMI_D0	IO_L20N_T3L_N3_AD1N_48	Y30	HDMI 视频信号数据 0
HDMI_D1	IO_L19N_T3L_N1_DBC_AD9N_48	Y33	HDMI 视频信号数据 1
HDMI_D2	IO_L22N_T3U_N7_DBC_AD0N_48	Y32	HDMI 视频信号数据 2
HDMI_D3	IO_L19P_T3L_N0_DBC_AD9P_48	W33	HDMI 视频信号数据 3
HDMI_D4	IO_L21N_T3L_N5_AD8N_48	W34	HDMI 视频信号数据 4
HDMI_D5	IO_L24N_T3U_N11_48	W31	HDMI 视频信号数据 5
HDMI_D6	IO_L22P_T3U_N6_DBC_AD0P_48	Y31	HDMI 视频信号数据 6
HDMI_D7	IO_L23N_T3U_N9_48	V34	HDMI 视频信号数据 7
HDMI_D8	IO_T3U_N12_48	V32	HDMI 视频信号数据 8
HDMI_D9	IO_L23P_T3U_N8_48	U34	HDMI 视频信号数据 9
HDMI_D10	IO_L24P_T3U_N10_48	V31	HDMI 视频信号数据 10
HDMI_D11	IO_L20P_T3L_N2_AD1P_48	W30	HDMI 视频信号数据 11

HDMI_D12	IO_L23N_T3U_N9_47	W29	HDMI 视频信号数据 12
HDMI_D13	IO_L23P_T3U_N8_47	V29	HDMI 视频信号数据 13
HDMI_D14	IO_L21P_T3L_N4_AD8P_47	W28	HDMI 视频信号数据 14
HDMI_D15	IO_L19N_T3L_N1_DBC_AD9N_47	V28	HDMI 视频信号数据 15
HDMI_D16	IO_L19P_T3L_N0_DBC_AD9P_47	V27	HDMI 视频信号数据 16
HDMI_D17	IO_L24N_T3U_N11_47	W26	HDMI 视频信号数据 17
HDMI_D18	IO_L24P_T3U_N10_47	V26	HDMI 视频信号数据 18
HDMI_D19	IO_L22N_T3U_N7_DBC_AD0N_47	U27	HDMI 视频信号数据 19
HDMI_D20	IO_L22P_T3U_N6_DBC_AD0P_47	U26	HDMI 视频信号数据 20
HDMI_D21	IO_L20N_T3L_N3_AD1N_47	U25	HDMI 视频信号数据 21
HDMI_D22	IO_L20P_T3L_N2_AD1P_47	U24	HDMI 视频信号数据 22
HDMI_D23	IO_T1U_N12_47	Y22	HDMI 视频信号数据 23
HDMI_SCL	IO_L21N_T3L_N5_AD8N_D07_65	R22	HDMI IIC 控制时钟
HDMI_SDA	IO_L21P_T3L_N4_AD8P_D06_65	R21	HDMI IIC 控制数据

九、 千兆以太网接口

AXKU040 上有 2 路千兆以太网接口，GPHY 芯片采用 Micrel 公司的 KSZ9031RNX 以太网芯片为用户提供网络通信服务。KSZ9031RNX 芯片支持 10/100/1000 Mbps 网络传输速率，通过 RGMII 接口跟系统的 MAC 层进行数据通信。KSZ9031RNX 支持MDI/MDX 自适应，各种速度自适应，Master/Slave 自适应，支持 MDIO 总线进行 PHY 的寄存器管理。

KSZ9031RNX 上电会检测一些特定的IO的电平状态 从而确定自己的工作模式。表 3-5-1 描述了 GPHY 芯片上电之后的默认设定信息

配置 Pin 脚	说明	配置值
PHYAD[2:0]	MDIO/MDC 模式的 PHY 地址	PHY Address 为 011
CLK125_EN	使能 125Mhz 时钟输出选择	使能
LED_MODE	LED 灯模式配置	单个 LED 灯模式
MODE0~MODE3	链路自适应和全双工配置	10/100/1000 自适应，兼容全双工、半双工

当网络连接到千兆以太网时，PHY 芯片 KSZ9031RNX 的数据传输时通过 RGMII 总线通信，传输时钟为 125Mhz，数据在时钟的上升沿和下降样采样。

当网络连接到百兆以太网时 ,PHY 芯片 KSZ9031RNX 的数据传输时通过 RMII 总线通信，

传输时钟为 25Mhz。数据在时钟的上升沿和下降样采样。

以太网 PHY 芯片连接示意如图 9-1:

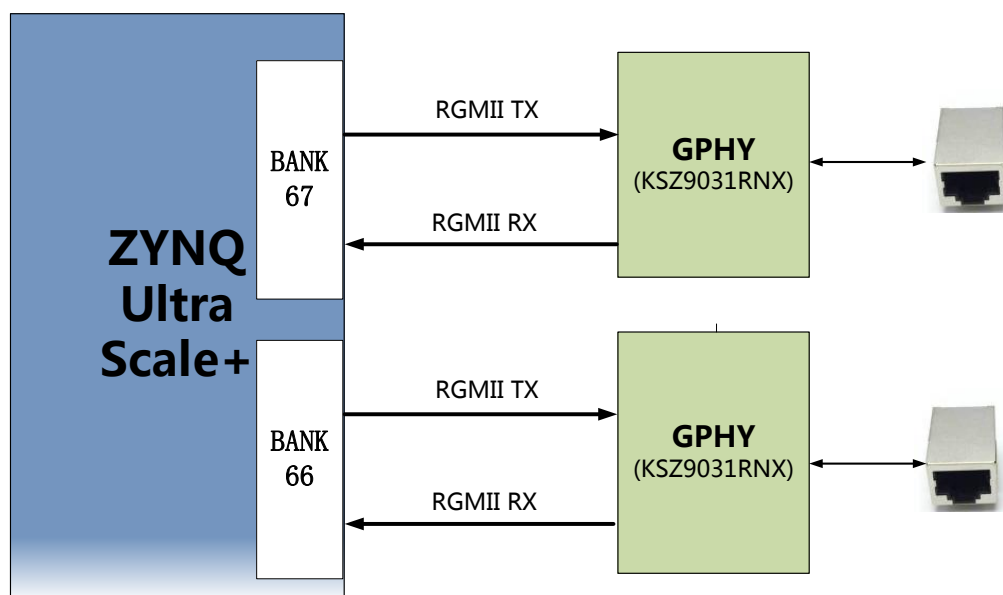


图 9-1

第 1 路千兆以太网 FPGA 引脚分配如下：

信号名称	引脚名	引脚号	备注
PHY1_GTXC	IO_L4N_T0U_N7_DBC_AD7N_66	A10	以太网 1 发送时钟
PHY1_TXD0	IO_L14N_T2L_N3_GC_66	G12	以太网 1 发送数据 bit 0
PHY1_TXD1	IO_L2P_T0L_N2_66	B9	以太网 1 发送数据 bit1
PHY1_TXD2	IO_L2N_T0L_N3_66	A9	以太网 1 发送数据 bit2
PHY1_TXD3	IO_L4P_T0U_N6_DBC_AD7P_66	B10	以太网 1 发送数据 bit3
PHY1_TXEN	IO_L21N_T3L_N5_AD8N_66	B11	以太网 1 发送使能信号
PHY1_RXC	IO_L14P_T2L_N2_GC_66	H12	以太网 1 接收时钟
PHY1_RXD0	IO_L23P_T3U_N8_66	A13	以太网 1 接收数据 Bit0
PHY1_RXD1	IO_L20N_T3L_N3_AD1N_66	B12	以太网 1 接收数据 Bit1
PHY1_RXD2	IO_L23N_T3U_N9_66	A12	以太网 1 接收数据 Bit2
PHY1_RXD3	IO_L21P_T3L_N4_AD8P_66	C11	以太网 1 接收数据 Bit3
PHY1_RXDV	IO_L20P_T3L_N2_AD1P_66	C12	以太网 1 接收数据有效信号
PHY1_MDC	IO_T2U_N12_66	F12	以太网 1MDIO 管理时钟
PHY1_MDIO	IO_T3U_N12_66	E12	以太网 1MDIO 管理数据
PHY1_RESET	IO_T1U_N12_66	L9	以太网芯片复位

第 2 路千兆以太网 FPGA 引脚分配如下：

信号名称	引脚名	引脚号	备注
PHY2_GTXC	IO_L10P_T1U_N6_QBC_AD4P_67	B24	以太网 2 发送时钟
PHY2_TXD0	IO_L17P_T2U_N8_AD10P_67	B20	以太网 2 发送数据 bit 0
PHY2_TXD1	IO_L17N_T2U_N9_AD10N_67	A20	以太网 2 发送数据 bit1
PHY2_TXD2	IO_L15P_T2L_N4_AD11P_67	B21	以太网 2 发送数据 bit2
PHY2_TXD3	IO_L15N_T2L_N5_AD11N_67	B22	以太网 2 发送数据 bit3
PHY2_TXEN	IO_L10N_T1U_N7_QBC_AD4N_67	A24	以太网 2 发送使能信号
PHY2_RXC	IO_L13P_T2L_N0_GC_QBC_67	D23	以太网 2 接收时钟
PHY2_RXD0	IO_L4P_T0U_N6_DBC_AD7P_67	B29	以太网 2 接收数据 Bit0
PHY2_RXD1	IO_L6N_T0U_N11_AD6N_67	A28	以太网 2 接收数据 Bit1
PHY2_RXD2	IO_L6P_T0U_N10_AD6P_67	A27	以太网 2 接收数据 Bit2
PHY2_RXD3	IO_L13N_T2L_N1_GC_QBC_67	C23	以太网 2 接收数据 Bit3
PHY2_RXDV	IO_L4N_T0U_N7_DBC_AD7N_67	A29	以太网 2 接收数据有效信号
PHY2_MDC	IO_T1U_N12_67	A23	以太网 2MDIO 管理时钟
PHY2_MDIO	IO_T2U_N12_67	A22	以太网 2MDIO 管理数据
PHY2_RESET	IO_T3U_N12_67	H22	以太网芯片复位

十、 FMC 扩展口

AXKU040 开发板带有 2 路标准的 FMC LPC 的扩展口和 1 路标准的 FMC HPC 扩展口，可以外接 XILINX 或者我们黑金的各种 FMC 模块（HDMI 输入输出模块，双目摄像头模块，高速 AD 模块等等）。

LPC FMC1 扩展口有 33 对差分信号，分别连接到 FPGA 芯片的 BANK47, BANK48 的 IO 上，BANK47 和 BANK48 的 IO 电平为 1.8V，不能修改。1 对速 GTH 收发器信号连接到 BNAK226 上。

LPC FMC2 扩展口有 33 对差分信号，分别连接到 FPGA 芯片的 BANK64 和 BANK65 的 IO 上，电平标准是由 BANK 的电压 VADJ 决定的，默认为+1.8V，VADJ 这个电压可以通过程序配置 PMIC 芯片 LP873220 来改变输出电压。1 对速 GTH 收发器信号连接到 BNAK226 上。

FMC HPC 扩展口包含 57 对差分 IO 信号，分别连接 FPGA 芯片 BANK66，BANK67，BANK68，电压标准位 1.8V。8 路高速 GTH 收发信号连接 FPGA 芯片 BANK227，BANK228 的 IO 上。

FPGA 和 FMC LPC 连接器的原理图如图 10-1 和 10-2 所示：

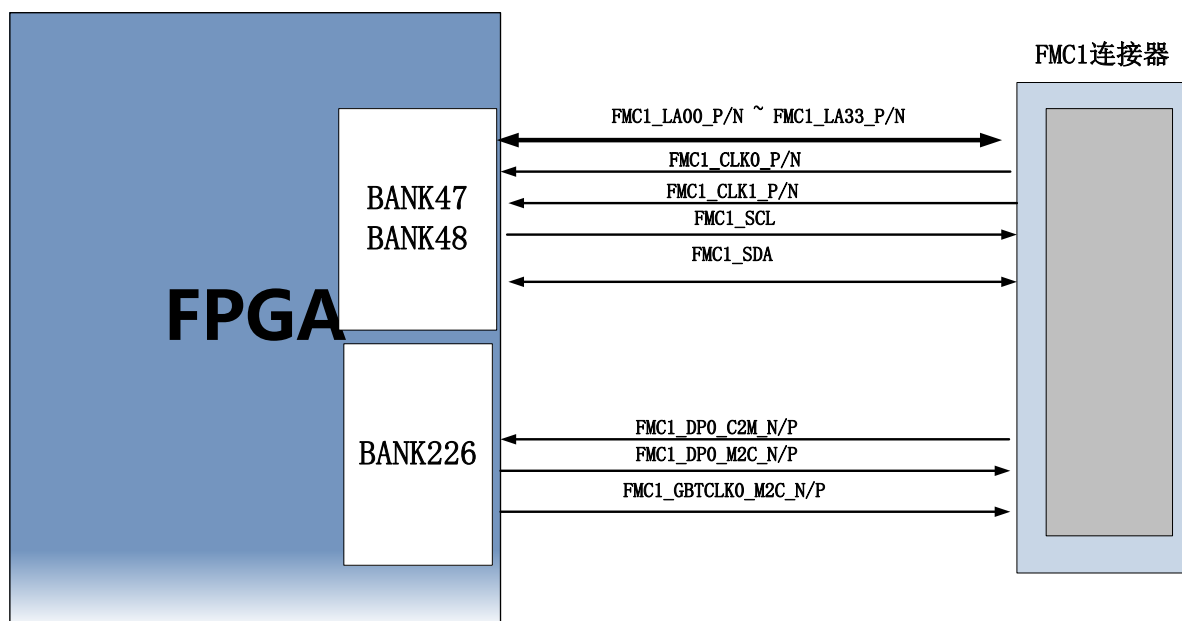


图 10-1 LPC FMC1 连接示意图

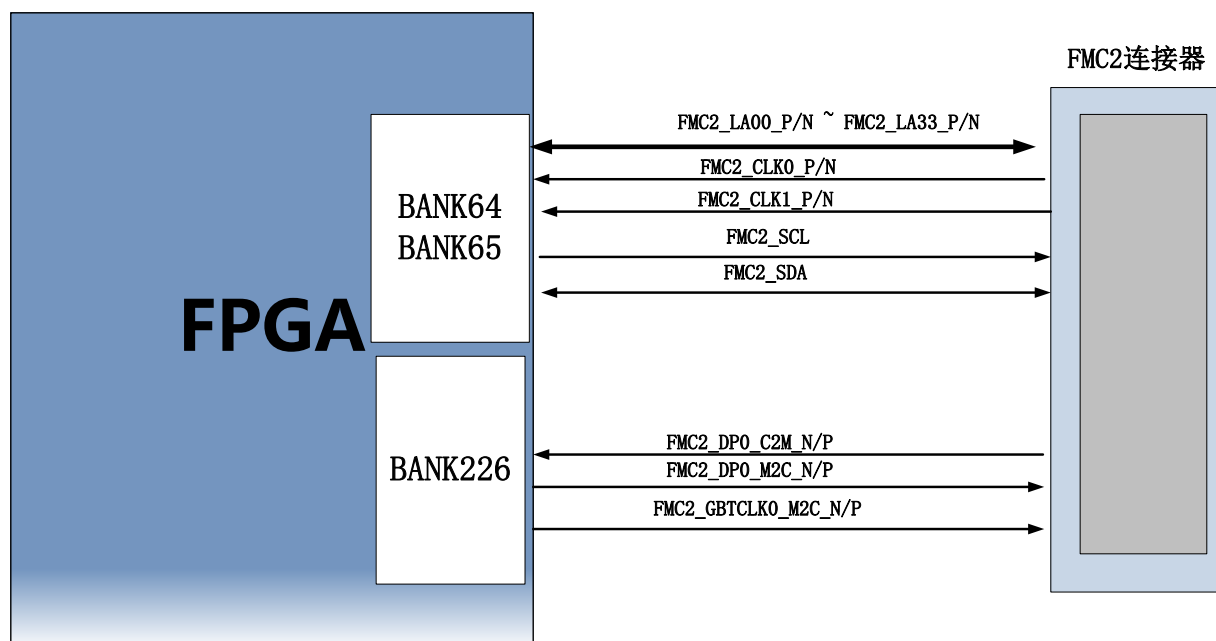


图 10-2 LPC FMC2 连接示意图

FPGA 和 FMC3 HPC 连接器的原理图如图 10-3 所示：

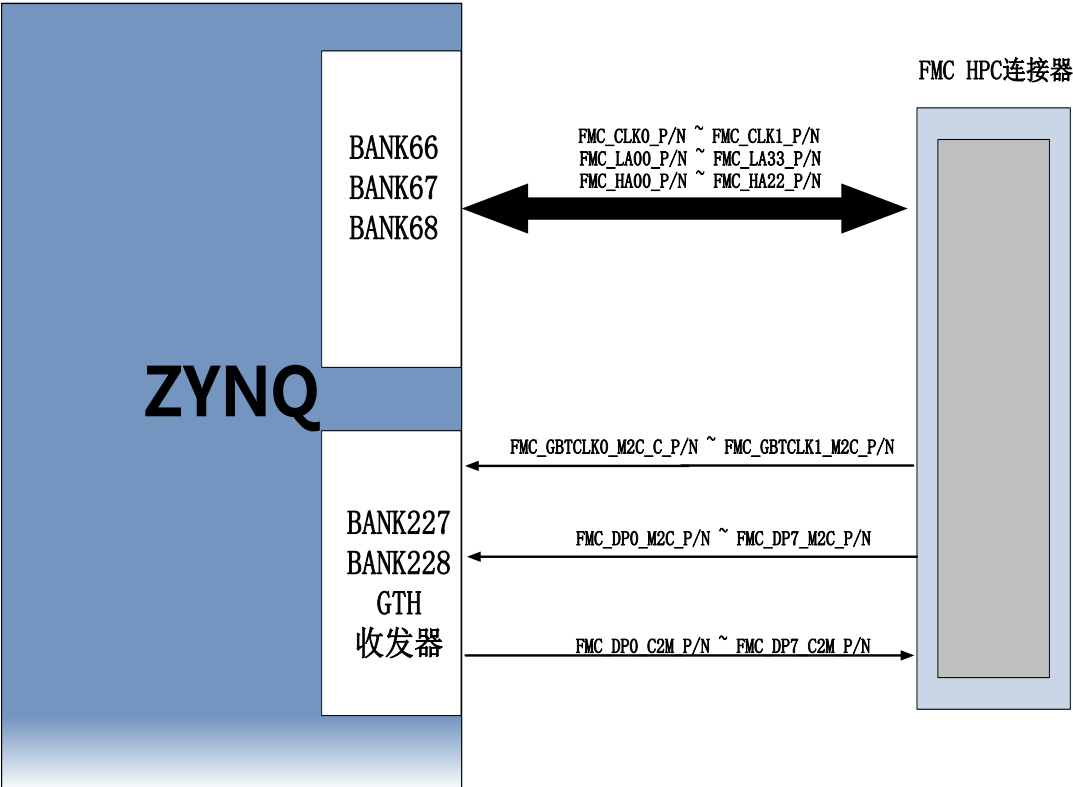


图 10-3 HPC FMC3 连接示意图

第 1 路 FMC LPC 连接器引脚分配如下：

信号名称	FPGA 引脚名	FPGA 引脚号	备注
FMC1_LPC_CLK0_P	IO_L11P_T1U_N8_GC_47	Y23	FMC参考第1路参考时钟P
FMC1_LPC_CLK0_N	IO_L11N_T1U_N9_GC_47	AA23	FMC参考第1路参考时钟N
FMC1_LPC_CLK1_P	IO_L11P_T1U_N8_GC_48	AD30	FMC参考第2路参考时钟P
FMC1_LPC_CLK1_N	IO_L11N_T1U_N9_GC_48	AD31	FMC参考第2路参考时钟N
FMC1_LPC_LA00_CC_P	IO_L12P_T1U_N10_GC_47	AA24	FMC参考第0路数据（时钟）P
FMC1_LPC_LA00_CC_N	IO_L12N_T1U_N11_GC_47	AA25	FMC参考第0路数据（时钟）N
FMC1_LPC_LA01_CC_P	IO_L13P_T2L_N0_GC_QBC_47	W23	FMC参考第1路数据（时

			钟) P
FMC1_LPC_LA01_CC_N	IO_L13N_T2L_N1_GC_QBC_47	W24	FMC参考第1路数据 (时钟) N
FMC1_LPC_LA02_P	IO_L10P_T1U_N6_QBC_AD4P_47	AB21	FMC参考第2路数据P
FMC1_LPC_LA02_N	IO_L10N_T1U_N7_QBC_AD4N_47	AC21	FMC参考第2路数据N
FMC1_LPC_LA03_P	IO_L8P_T1L_N2_AD5P_47	AC22	FMC参考第3路数据P
FMC1_LPC_LA03_N	IO_L8N_T1L_N3_AD5N_47	AC23	FMC参考第3路数据N
FMC1_LPC_LA04_P	IO_L7P_T1L_N0_QBC_AD13P_47	AA22	FMC参考第4路数据P
FMC1_LPC_LA04_N	IO_L7N_T1L_N1_QBC_AD13N_47	AB22	FMC参考第4路数据N
FMC1_LPC_LA05_P	IO_L2P_T0L_N2_47	AD25	FMC参考第5路数据P
FMC1_LPC_LA05_N	IO_L2N_T0L_N3_47	AD26	FMC参考第5路数据N
FMC1_LPC_LA06_P	IO_L3P_T0L_N4_AD15P_47	AB24	FMC参考第6路数据P
FMC1_LPC_LA06_N	IO_L3N_T0L_N5_AD15N_47	AC24	FMC参考第6路数据N
FMC1_LPC_LA07_P	IO_L6P_T0U_N10_AD6P_47	AB25	FMC参考第7路数据P
FMC1_LPC_LA07_N	IO_L6N_T0U_N11_AD6N_47	AB26	FMC参考第7路数据N
FMC1_LPC_LA08_P	IO_L4P_T0U_N6_DBC_AD7P_47	AC26	FMC参考第8路数据P
FMC1_LPC_LA08_N	IO_L4N_T0U_N7_DBC_AD7N_47	AC27	FMC参考第8路数据N
FMC1_LPC_LA09_P	IO_L1P_T0L_N0_DBC_47	Y26	FMC参考第9路数据P
FMC1_LPC_LA09_N	IO_L1N_T0L_N1_DBC_47	Y27	FMC参考第9路数据N
FMC1_LPC_LA10_P	IO_L5P_T0U_N8_AD14P_47	AA27	FMC参考第10路数据P
FMC1_LPC_LA10_N	IO_L5N_T0U_N9_AD14N_47	AB27	FMC参考第10路数据N
FMC1_LPC_LA11_P	IO_L18P_T2U_N10_AD2P_47	V21	FMC参考第11路数据P
FMC1_LPC_LA11_N	IO_L18N_T2U_N11_AD2N_47	W21	FMC参考第11路数据N
FMC1_LPC_LA12_P	IO_L9P_T1L_N4_AD12P_47	AA20	FMC参考第12路数据P
FMC1_LPC_LA12_N	IO_L9N_T1L_N5_AD12N_47	AB20	FMC参考第12路数据N
FMC1_LPC_LA13_P	IO_L14P_T2L_N2_GC_47	W25	FMC参考第13路数据P
FMC1_LPC_LA13_N	IO_L14N_T2L_N3_GC_47	Y25	FMC参考第13路数据N
FMC1_LPC_LA14_P	IO_L16P_T2U_N6_QBC_AD3P_47	V22	FMC参考第14路数据P
FMC1_LPC_LA14_N	IO_L16N_T2U_N7_QBC_AD3N_47	V23	FMC参考第14路数据N
FMC1_LPC_LA15_P	IO_L17P_T2U_N8_AD10P_47	T22	FMC参考第15路数据P
FMC1_LPC_LA15_N	IO_L17N_T2U_N9_AD10N_47	T23	FMC参考第15路数据N
FMC1_LPC_LA16_P	IO_L15P_T2L_N4_AD11P_47	U21	FMC参考第16路数据P
FMC1_LPC_LA16_N	IO_L15N_T2L_N5_AD11N_47	U22	FMC参考第16路数据N
FMC1_LPC_LA17_CC_P	IO_L12P_T1U_N10_GC_48	AC31	FMC参考第17路数据

			(时钟) P
FMC1_LPC_LA17_CC_N	IO_L12N_T1U_N11_GC_48	AC32	FMC参考第17路数据 (时钟) N
FMC1_LPC_LA18_CC_P	IO_L13P_T2L_N0_GC_QBC_48	AA32	FMC参考第18路数据 (时钟) P
FMC1_LPC_LA18_CC_N	IO_L13N_T2L_N1_GC_QBC_48	AB32	FMC参考第18路数据 (时钟) N
FMC1_LPC_LA19_P	IO_L7P_T1L_N0_QBC_AD13P_48	AG31	FMC参考第19路数据P
FMC1_LPC_LA19_N	IO_L7N_T1L_N1_QBC_AD13N_48	AG32	FMC参考第19路数据N
FMC1_LPC_LA20_P	IO_L6P_T0U_N10_AD6P_48	AF30	FMC参考第20路数据P
FMC1_LPC_LA20_N	IO_L6N_T0U_N11_AD6N_48	AG30	FMC参考第20路数据N
FMC1_LPC_LA21_P	IO_L10P_T1U_N6_QBC_AD4P_48	AE33	FMC参考第21路数据P
FMC1_LPC_LA21_N	IO_L10N_T1U_N7_QBC_AD4N_48	AF34	FMC参考第21路数据N
FMC1_LPC_LA22_P	IO_L8P_T1L_N2_AD5P_48	AF33	FMC参考第22路数据P
FMC1_LPC_LA22_N	IO_L8N_T1L_N3_AD5N_48	AG34	FMC参考第22路数据N
FMC1_LPC_LA23_P	IO_L4P_T0U_N6_DBC_AD7P_48	AF29	FMC参考第23路数据P
FMC1_LPC_LA23_N	IO_L4N_T0U_N7_DBC_AD7N_48	AG29	FMC参考第23路数据N
FMC1_LPC_LA24_P	IO_L15P_T2L_N4_AD11P_48	AC34	FMC参考第24路数据P
FMC1_LPC_LA24_N	IO_L15N_T2L_N5_AD11N_48	AD34	FMC参考第24路数据N
FMC1_LPC_LA25_P	IO_L9P_T1L_N4_AD12P_48	AE32	FMC参考第25路数据P
FMC1_LPC_LA25_N	IO_L9N_T1L_N5_AD12N_48	AF32	FMC参考第25路数据N
FMC1_LPC_LA26_P	IO_L16P_T2U_N6_QBC_AD3P_48	AA29	FMC参考第26路数据P
FMC1_LPC_LA26_N	IO_L16N_T2U_N7_QBC_AD3N_48	AB29	FMC参考第26路数据N
FMC1_LPC_LA27_P	IO_L14P_T2L_N2_GC_48	AB30	FMC参考第27路数据P
FMC1_LPC_LA27_N	IO_L14N_T2L_N3_GC_48	AB31	FMC参考第27路数据N
FMC1_LPC_LA28_P	IO_L17P_T2U_N8_AD10P_48	AA34	FMC参考第28路数据P
FMC1_LPC_LA28_N	IO_L17N_T2U_N9_AD10N_48	AB34	FMC参考第28路数据N
FMC1_LPC_LA29_P	IO_L18P_T2U_N10_AD2P_48	AC33	FMC参考第29路数据P
FMC1_LPC_LA29_N	IO_L18N_T2U_N11_AD2N_48	AD33	FMC参考第29路数据N
FMC1_LPC_LA30_P	IO_L2P_T0L_N2_48	AE28	FMC参考第30路数据P
FMC1_LPC_LA30_N	IO_L2N_T0L_N3_48	AF28	FMC参考第30路数据N
FMC1_LPC_LA31_P	IO_L5P_T0U_N8_AD14P_48	AD29	FMC参考第31路数据P
FMC1_LPC_LA31_N	IO_L5N_T0U_N9_AD14N_48	AE30	FMC参考第31路数据N
FMC1_LPC_LA32_P	IO_L1P_T0L_N0_DBC_48	AE27	FMC参考第32路数据P
FMC1_LPC_LA32_N	IO_L1N_T0L_N1_DBC_48	AF27	FMC参考第32路数据N

FMC1_LPC_LA33_P	IO_L3P_T0L_N4_AD15P_48	AC28	FMC参考第33路数据P
FMC1_LPC_LA33_N	IO_L3N_T0L_N5_AD15N_48	AD28	FMC参考第33路数据N
FMC1_LPC_SCL	IO_T2U_N12_47	Y21	FMC I2C总线时钟
FMC1_LPC_SDA	IO_T3U_N12_47	U29	FMC I2C总线数据

第 2 路 FMC LPC 连接器引脚分配如下：

信号名称	FPGA 引脚名	FPGA 引脚号	备注
FMC2_LPC_CLK0_P	IO_L11P_T1U_N8_GC_64	AG12	FMC参考第1路参考时钟P
FMC2_LPC_CLK0_N	IO_L11N_T1U_N9_GC_64	AH12	FMC参考第1路参考时钟N
FMC2_LPC_CLK1_P	IO_L13P_T2L_N0_GC_QBC_A06_D22_65	P26	FMC参考第2路参考时钟P
FMC2_LPC_CLK1_N	IO_L13N_T2L_N1_GC_QBC_A07_D23_65	N26	FMC参考第2路参考时钟N
FMC2_LPC_LA00_CC_P	IO_L12P_T1U_N10_GC_64	AG11	FMC参考第0路数据（时钟）P
FMC2_LPC_LA00_CC_N	IO_L12N_T1U_N11_GC_64	AH11	FMC参考第0路数据（时钟）N
FMC2_LPC_LA01_CC_P	IO_L13P_T2L_N0_GC_QBC_64	AF10	FMC参考第1路数据（时钟）P
FMC2_LPC_LA01_CC_N	IO_L13N_T2L_N1_GC_QBC_64	AG10	FMC参考第1路数据（时钟）N
FMC2_LPC_LA02_P	IO_L2P_T0L_N2_64	AN13	FMC参考第2路数据P
FMC2_LPC_LA02_N	IO_L2N_T0L_N3_64	AP13	FMC参考第2路数据N
FMC2_LPC_LA03_P	IO_L6P_T0U_N10_AD6P_64	AK13	FMC参考第3路数据P
FMC2_LPC_LA03_N	IO_L6N_T0U_N11_AD6N_64	AL13	FMC参考第3路数据N
FMC2_LPC_LA04_P	IO_L10P_T1U_N6_QBC_AD4P_64	AD11	FMC参考第4路数据P
FMC2_LPC_LA04_N	IO_L10N_T1U_N7_QBC_AD4N_64	AE11	FMC参考第4路数据N
FMC2_LPC_LA05_P	IO_L4P_T0U_N6_DBC_AD7P_64	AM12	FMC参考第5路数据P
FMC2_LPC_LA05_N	IO_L4N_T0U_N7_DBC_AD7N_64	AN12	FMC参考第5路数据N
FMC2_LPC_LA06_P	IO_L8P_T1L_N2_AD5P_64	AH13	FMC参考第6路数据P
FMC2_LPC_LA06_N	IO_L8N_T1L_N3_AD5N_64	AJ13	FMC参考第6路数据N
FMC2_LPC_LA07_P	IO_L14P_T2L_N2_GC_64	AF9	FMC参考第7路数据P

FMC2_LPC_LA07_N	IO_L14N_T2L_N3_GC_64	AG9	FMC参考第7路数据N
FMC2_LPC_LA08_P	IO_L16P_T2U_N6_QBC_AD3P_64	AD10	FMC参考第8路数据P
FMC2_LPC_LA08_N	IO_L16N_T2U_N7_QBC_AD3N_64	AE10	FMC参考第8路数据N
FMC2_LPC_LA09_P	IO_L9P_T1L_N4_AD12P_64	AE12	FMC参考第9路数据P
FMC2_LPC_LA09_N	IO_L9N_T1L_N5_AD12N_64	AF12	FMC参考第9路数据N
FMC2_LPC_LA10_P	IO_L5P_T0U_N8_AD14P_64	AK12	FMC参考第10路数据P
FMC2_LPC_LA10_N	IO_L5N_T0U_N9_AD14N_64	AL12	FMC参考第10路数据N
FMC2_LPC_LA11_P	IO_L17P_T2U_N8_AD10P_64	AD9	FMC参考第11路数据P
FMC2_LPC_LA11_N	IO_L17N_T2U_N9_AD10N_64	AD8	FMC参考第11路数据N
FMC2_LPC_LA12_P	IO_L7P_T1L_N0_QBC_AD13P_64	AE13	FMC参考第12路数据P
FMC2_LPC_LA12_N	IO_L7N_T1L_N1_QBC_AD13N_64	AF13	FMC参考第12路数据N
FMC2_LPC_LA13_P	IO_L1P_T0L_N0_DBC_64	AP11	FMC参考第13路数据P
FMC2_LPC_LA13_N	IO_L1N_T0L_N1_DBC_64	AP10	FMC参考第13路数据N
FMC2_LPC_LA14_P	IO_L18P_T2U_N10_AD2P_64	AH9	FMC参考第14路数据P
FMC2_LPC_LA14_N	IO_L18N_T2U_N11_AD2N_64	AH8	FMC参考第14路数据N
FMC2_LPC_LA15_P	IO_L15P_T2L_N4_AD11P_64	AE8	FMC参考第15路数据P
FMC2_LPC_LA15_N	IO_L15N_T2L_N5_AD11N_64	AF8	FMC参考第15路数据N
FMC2_LPC_LA16_P	IO_L3P_T0L_N4_AD15P_64	AM11	FMC参考第16路数据P
FMC2_LPC_LA16_N	IO_L3N_T0L_N5_AD15N_64	AN11	FMC参考第16路数据N
FMC2_LPC_LA17_CC_P	IO_L12P_T1U_N10_GC_A08_D24_65	N24	FMC参考第17路数据(时钟) P
FMC2_LPC_LA17_CC_N	IO_L12N_T1U_N11_GC_A09_D25_65	M24	FMC参考第17路数据(时钟) N
FMC2_LPC_LA18_CC_P	IO_L11P_T1U_N8_GC_A10_D26_65	M25	FMC参考第18路数据(时钟) P
FMC2_LPC_LA18_CC_N	IO_L11N_T1U_N9_GC_A11_D27_65	M26	FMC参考第18路数据(时钟) N
FMC2_LPC_LA19_P	IO_L15P_T2L_N4_AD11P_A02_D18_65	T27	FMC参考第19路数据P
FMC2_LPC_LA19_N	IO_L15N_T2L_N5_AD11N_A03_D19_65	R27	FMC参考第19路数据N
FMC2_LPC_LA20_P	IO_L16P_T2U_N6_QBC_AD3P_A00_D16_65	T24	FMC参考第20路数据P
FMC2_LPC_LA20_N	IO_L16N_T2U_N7_QBC_AD3N_A01_D17_65	T25	FMC参考第20路数据N

FMC2_LPC_LA21_P	IO_L18P_T2U_N10_AD2P_D12_65	R23	FMC参考第21路数据P
FMC2_LPC_LA21_N	IO_L18N_T2U_N11_AD2N_D13_65	P23	FMC参考第21路数据N
FMC2_LPC_LA22_P	IO_L17P_T2U_N8_AD10P_D14_65	R25	FMC参考第22路数据P
FMC2_LPC_LA22_N	IO_L17N_T2U_N9_AD10N_D15_65	R26	FMC参考第22路数据N
FMC2_LPC_LA23_P	IO_L19P_T3L_N0_DBC_AD9P_D10_65	N22	FMC参考第23路数据P
FMC2_LPC_LA23_N	IO_L19N_T3L_N1_DBC_AD9N_D11_65	M22	FMC参考第23路数据N
FMC2_LPC_LA24_P	IO_L9P_T1L_N4_AD12P_A14_D30_65	L25	FMC参考第24路数据P
FMC2_LPC_LA24_N	IO_L9N_T1L_N5_AD12N_A15_D31_65	K25	FMC参考第24路数据N
FMC2_LPC_LA25_P	IO_L7P_T1L_N0_QBC_AD13P_A18_65	M27	FMC参考第25路数据P
FMC2_LPC_LA25_N	IO_L7N_T1L_N1_QBC_AD13N_A19_65	L27	FMC参考第25路数据N
FMC2_LPC_LA26_P	IO_L8P_T1L_N2_AD5P_A16_65	L23	FMC参考第26路数据P
FMC2_LPC_LA26_N	IO_L8N_T1L_N3_AD5N_A17_65	L24	FMC参考第26路数据N
FMC2_LPC_LA27_P	IO_L10P_T1U_N6_QBC_A12_D28_65	L22	FMC参考第27路数据P
FMC2_LPC_LA27_N	IO_L10N_T1U_N7_QBCA13_D29_65	K23	FMC参考第27路数据N
FMC2_LPC_LA28_P	IO_L5P_T0U_N8_AD14P_A22_65	J26	FMC参考第28路数据P
FMC2_LPC_LA28_N	IO_L5N_T0U_N9_AD14N_A23_65	H26	FMC参考第28路数据N
FMC2_LPC_LA29_P	IO_L3P_T0L_N4_AD15P_A26_65	K26	FMC参考第29路数据P
FMC2_LPC_LA29_N	IO_L3N_T0L_N5_AD15N_A27_65	K27	FMC参考第29路数据N
FMC2_LPC_LA30_P	IO_L2P_T0L_N2_FOE_B_65	G25	FMC参考第30路数据P
FMC2_LPC_LA30_N	IO_L2N_T0L_N3_FWE_FCS2_B_65	G26	FMC参考第30路数据N
FMC2_LPC_LA31_P	IO_L1P_T0L_N0_DBC_RS0_65	H27	FMC参考第31路数据P
FMC2_LPC_LA31_N	IO_L1N_T0L_N1_DBC_RS1_65	G27	FMC参考第31路数据N
FMC2_LPC_LA32_P	IO_L6P_T0U_N10_AD6P_A20_65	J23	FMC参考第32路数据P
FMC2_LPC_LA32_N	IO_L6N_T0U_N11_AD6N_A21_65	H24	FMC参考第32路数据N
FMC2_LPC_LA33_P	IO_L4P_T0U_N6_DBC_AD7P_A24_65	J24	FMC参考第33路数据P
FMC2_LPC_LA33_N	IO_L4N_T0U_N7_DBC_AD7N_A25_65	J25	FMC参考第33路数据N

	65		
FMC2_LPC_SCL	IO_T0U_N12_A28_65	H23	FMC I2C总线时钟
FMC2_LPC_SDA	IO_T1U_N12_PERSTN1_65	N23	FMC I2C总线数据
FMC2_DP0_C2M_P	MGTHTXP1_226	W4	收发器数据输出P
FMC2_DP0_C2M_N	MGTHTXN1_226	W3	收发器数据输出N
FMC2_DP0_M2C_P	MGTHRXP1_226	V2	收发器数据输入P
FMC2_DP0_M2C_N	MGTHRNXN1_226	V1	收发器数据输入N
FMC2_GBTCLK0_M2C_P	MGTREFCLK1P_226	T6	收发器参考时钟P
FMC2_GBTCLK0_M2C_N	MGTREFCLK1N_226	T5	收发器参考时钟N

第 3 路 FMC HPC 连接器引脚分配如下：

信号名	FPGA 引脚名	FPGA 引脚号	备注
FMC_HPC_CLK0_M2C_P	IO_L11P_T1U_N8_GC_67	E25	FMC 第 0 路输入参考时钟 P
FMC_HPC_CLK0_M2C_N	IO_L11N_T1U_N9_GC_67	D25	FMC 第 0 路输入参考时钟 N
FMC_HPC_CLK1_M2C_P	IO_L12P_T1U_N10_GC_66	G10	FMC 第 1 路输入参考时钟 P
FMC_HPC_CLK1_M2C_N	IO_L12N_T1U_N11_GC_66	F10	FMC 第 1 路输入参考时钟 N
FMC_HPC_LA00_CC_P	IO_L12P_T1U_N10_GC_67	D24	FMC LA 第 0 路数据(时钟) P
FMC_HPC_LA00_CC_N	IO_L12N_T1U_N11_GC_67	C24	FMC LA 第 0 路数据(时钟) N
FMC_HPC_LA01_CC_N	IO_L14P_T2L_N2_GC_67	E22	FMC LA 第 1 路数据(时钟) P
FMC_HPC_LA01_CC_P	IO_L14N_T2L_N3_GC_67	E23	FMC LA 第 1 路数据(时钟) N
FMC_HPC_LA02_P	IO_L3P_T0L_N4_AD15P_67	E28	FMC LA 第 2 路数据 P
FMC_HPC_LA02_N	IO_L3N_T0L_N5_AD15N_67	D29	FMC LA 第 2 路数据 N
FMC_HPC_LA03_P	IO_L5P_T0U_N8_AD14P_67	D28	FMC LA 第 3 路数据 P
FMC_HPC_LA03_N	IO_L5N_T0U_N9_AD14N_67	C28	FMC LA 第 3 路数据 N
FMC_HPC_LA04_P	IO_L2P_T0L_N2_67	C27	FMC LA 第 4 路数据 P
FMC_HPC_LA04_N	IO_L2N_T0L_N3_67	B27	FMC LA 第 4 路数据 N
FMC_HPC_LA05_P	IO_L8P_T1L_N2_AD5P_67	B25	FMC LA 第 5 路数据 P
FMC_HPC_LA05_N	IO_L8N_T1L_N3_AD5N_67	A25	FMC LA 第 5 路数据 N

FMC_HPC_LA06_P	IO_L9P_T1L_N4_AD12P_67	C26	FMC LA 第 6 路数据 P
FMC_HPC_LA06_N	IO_L9N_T1L_N5_AD12N_67	B26	FMC LA 第 6 路数据 N
FMC_HPC_LA07_P	IO_L1P_T0L_N0_DBC_67	F27	FMC LA 第 7 路数据 P
FMC_HPC_LA07_N	IO_L1N_T0L_N1_DBC_67	E27	FMC LA 第 7 路数据 N
FMC_HPC_LA08_P	IO_L7P_T1L_N0_QBC_AD13P_67	E26	FMC LA 第 8 路数据 P
FMC_HPC_LA08_N	IO_L7N_T1L_N1_QBC_AD13N_67	D26	FMC LA 第 8 路数据 N
FMC_HPC_LA09_P	IO_L19P_T3L_N0_DBC_AD9P_67	G24	FMC LA 第 9 路数据 P
FMC_HPC_LA09_N	IO_L19N_T3L_N1_DBC_AD9N_67	F25	FMC LA 第 9 路数据 N
FMC_HPC_LA10_P	IO_L21P_T3L_N4_AD8P_67	F23	FMC LA 第 10 路数据 P
FMC_HPC_LA10_N	IO_L21N_T3L_N5_AD8N_67	F24	FMC LA 第 10 路数据 N
FMC_HPC_LA11_P	IO_L18P_T2U_N10_AD2P_67	D20	FMC LA 第 11 路数据 P
FMC_HPC_LA11_N	IO_L18N_T2U_N11_AD2N_67	D21	FMC LA 第 11 路数据 N
FMC_HPC_LA12_P	IO_L16P_T2U_N6_QBC_AD3P_67	C21	FMC LA 第 12 路数据 P
FMC_HPC_LA12_N	IO_L16N_T2U_N7_QBC_AD3N_67	C22	FMC LA 第 12 路数据 N
FMC_HPC_LA13_P	IO_L20P_T3L_N2_AD1P_67	E20	FMC LA 第 13 路数据 P
FMC_HPC_LA13_N	IO_L20N_T3L_N3_AD1N_67	E21	FMC LA 第 13 路数据 N
FMC_HPC_LA14_P	IO_L23P_T3U_N8_67	G22	FMC LA 第 14 路数据 P
FMC_HPC_LA14_N	IO_L23N_T3U_N9_67	F22	FMC LA 第 14 路数据 N
FMC_HPC_LA15_P	IO_L24P_T3U_N10_67	H21	FMC LA 第 15 路数据 P
FMC_HPC_LA15_N	IO_L24N_T3U_N11_67	G21	FMC LA 第 15 路数据 N
FMC_HPC_LA16_P	IO_L22P_T3U_N6_DBC_AD0P_67	G20	FMC LA 第 16 路数据 P
FMC_HPC_LA16_N	IO_L22N_T3U_N7_DBC_AD0N_67	F20	FMC LA 第 16 路数据 N
FMC_HPC_LA17_CC_P	IO_L11P_T1U_N8_GC_66	G9	FMC LA 第 17 路数据 (时钟) P
FMC_HPC_LA17_CC_N	IO_L11N_T1U_N9_GC_66	F9	FMC LA 第 17 路数据 (时钟) N
FMC_HPC_LA18_CC_P	IO_L13P_T2L_N0_GC_QBC_66	H11	FMC LA 第 18 路数据 (时钟) P
FMC_HPC_LA18_CC_N	IO_L13N_T2L_N1_GC_QBC_66	G11	FMC LA 第 18 路数据 (时钟) N
FMC_HPC_LA19_P	IO_L22P_T3U_N6_DBC_AD0P_66	F13	FMC LA 第 19 路数据 P
FMC_HPC_LA19_N	IO_L22N_T3U_N7_DBC_AD0N_66	E13	FMC LA 第 19 路数据 N
FMC_HPC_LA20_P	IO_L24P_T3U_N10_66	D13	FMC LA 第 20 路数据 P
FMC_HPC_LA20_N	IO_L24N_T3U_N11_66	C13	FMC LA 第 20 路数据 N
FMC_HPC_LA21_P	IO_L5P_T0U_N8_AD14P_66	D9	FMC LA 第 21 路数据 P

FMC_HPC_LA21_N	IO_L5N_T0U_N9_AD14N_66	C9	FMC LA 第 21 路数据 N
FMC_HPC_LA22_P	IO_L6P_T0U_N10_AD6P_66	E10	FMC LA 第 22 路数据 P
FMC_HPC_LA22_N	IO_L6N_T0U_N11_AD6N_66	D10	FMC LA 第 22 路数据 N
FMC_HPC_LA23_P	IO_L19P_T3L_N0_DBC_AD9P_66	E11	FMC LA 第 23 路数据 P
FMC_HPC_LA23_N	IO_L19N_T3L_N1_DBC_AD9N_66	D11	FMC LA 第 23 路数据 N
FMC_HPC_LA24_P	IO_L15P_T2L_N4_AD11P_66	K11	FMC LA 第 24 路数据 P
FMC_HPC_LA24_N	IO_L15N_T2L_N5_AD11N_66	J11	FMC LA 第 24 路数据 N
FMC_HPC_LA25_P	IO_L1P_T0L_N0_DBC_66	F8	FMC LA 第 25 路数据 P
FMC_HPC_LA25_N	IO_L1N_T0L_N1_DBC_66	E8	FMC LA 第 25 路数据 N
FMC_HPC_LA26_P	IO_L18P_T2U_N10_AD2P_66	J13	FMC LA 第 26 路数据 P
FMC_HPC_LA26_N	IO_L18N_T2U_N11_AD2N_66	H13	FMC LA 第 26 路数据 N
FMC_HPC_LA27_P	IO_L3P_T0L_N4_AD15P_66	D8	FMC LA 第 27 路数据 P
FMC_HPC_LA27_N	IO_L3N_T0L_N5_AD15N_66	C8	FMC LA 第 27 路数据 N
FMC_HPC_LA28_P	IO_L9P_T1L_N4_AD12P_66	J8	FMC LA 第 28 路数据 P
FMC_HPC_LA28_N	IO_L9N_T1L_N5_AD12N_66	H8	FMC LA 第 28 路数据 N
FMC_HPC_LA29_P	IO_L8P_T1L_N2_AD5P_66	J9	FMC LA 第 29 路数据 P
FMC_HPC_LA29_N	IO_L8N_T1L_N3_AD5N_66	H9	FMC LA 第 29 路数据 N
FMC_HPC_LA30_P	IO_L7P_T1L_N0_QBC_AD13P_66	L8	FMC LA 第 30 路数据 P
FMC_HPC_LA30_N	IO_L7N_T1L_N1_QBC_AD13N_66	K8	FMC LA 第 30 路数据 N
FMC_HPC_LA31_P	IO_L10P_T1U_N6_QBC_AD4P_66	K10	FMC LA 第 31 路数据 P
FMC_HPC_LA31_N	IO_L10N_T1U_N7_QBC_AD4N_66	J10	FMC LA 第 31 路数据 N
FMC_HPC_LA32_P	IO_L16P_T2U_N6_QBC_AD3P_66	L13	FMC LA 第 32 路数据 P
FMC_HPC_LA32_N	IO_L16N_T2U_N7_QBC_AD3N_66	K13	FMC LA 第 32 路数据 N
FMC_HPC_LA33_P	IO_L17P_T2U_N8_AD10P_66	L12	FMC LA 第 33 路数据 P
FMC_HPC_LA33_N	IO_L17N_T2U_N9_AD10N_66	K12	FMC LA 第 33 路数据 N
FMC_HA00_CC_P	IO_L12P_T1U_N10_GC_68	E18	FMC HA 第 0 路数据(时钟) P
FMC_HA00_CC_N	IO_L12N_T1U_N11_GC_68	E17	FMC HA 第 0 路数据(时钟) N
FMC_HA01_CC_P	IO_L11P_T1U_N8_GC_68	E16	FMC HA 第 1 路数据(时钟) P
FMC_HA01_CC_N	IO_L11N_T1U_N9_GC_68	D16	FMC HA 第 1 路数据(时钟) N
FMC_HA02_P	IO_L18P_T2U_N10_AD2P_68	H19	FMC HA 第 2 路数据 P
FMC_HA02_N	IO_L18N_T2U_N11_AD2N_68	H18	FMC HA 第 2 路数据 N

FMC_HA03_P	IO_L24P_T3U_N10_68	L19	FMC HA 第 3 路数据 P
FMC_HA03_N	IO_L24N_T3U_N11_68	L18	FMC HA 第 3 路数据 N
FMC_HA04_P	IO_L16P_T2U_N6_QBC_AD3P_68	G19	FMC HA 第 4 路数据 P
FMC_HA04_N	IO_L16N_T2U_N7_QBC_AD3N_68	F19	FMC HA 第 4 路数据 N
FMC_HA05_P	IO_L10P_T1U_N6_QBC_AD4P_68	D19	FMC HA 第 5 路数据 P
FMC_HA05_N	IO_L10N_T1U_N7_QBC_AD4N_68	D18	FMC HA 第 5 路数据 N
FMC_HA06_P	IO_L23P_T3U_N8_68	K16	FMC HA 第 6 路数据 P
FMC_HA06_N	IO_L23N_T3U_N9_68	J16	FMC HA 第 6 路数据 N
FMC_HA07_P	IO_L14P_T2L_N2_GC_68	F18	FMC HA 第 7 路数据 P
FMC_HA07_N	IO_L14N_T2L_N3_GC_68	F17	FMC HA 第 7 路数据 N
FMC_HA08_P	IO_L20P_T3L_N2_AD1P_68	K18	FMC HA 第 8 路数据 P
FMC_HA08_N	IO_L20N_T3L_N3_AD1N_68	K17	FMC HA 第 8 路数据 N
FMC_HA09_P	IO_L22P_T3U_N6_DBC_AD0P_68	J19	FMC HA 第 9 路数据 P
FMC_HA09_N	IO_L22N_T3U_N7_DBC_AD0N_68	J18	FMC HA 第 9 路数据 N
FMC_HA10_P	IO_L9P_T1L_N4_AD12P_68	F15	FMC HA 第 10 路数据 P
FMC_HA10_N	IO_L9N_T1L_N5_AD12N_68	F14	FMC HA 第 10 路数据 N
FMC_HA11_P	IO_L21P_T3L_N4_AD8P_68	L15	FMC HA 第 11 路数据 P
FMC_HA11_N	IO_L21N_T3L_N5_AD8N_68	K15	FMC HA 第 11 路数据 N
FMC_HA12_P	IO_L19P_T3L_N0_DBC_AD9P_68	J15	FMC HA 第 12 路数据 P
FMC_HA12_N	IO_L19N_T3L_N1_DBC_AD9N_68	J14	FMC HA 第 12 路数据 N
FMC_HA13_P	IO_L1P_T0L_N0_DBC_68	B14	FMC HA 第 13 路数据 P
FMC_HA13_N	IO_L1N_T0L_N1_DBC_68	A14	FMC HA 第 13 路数据 N
FMC_HA14_P	IO_L3P_T0L_N4_AD15P_68	B15	FMC HA 第 14 路数据 P
FMC_HA14_N	IO_L3N_T0L_N5_AD15N_68	A15	FMC HA 第 14 路数据 N
FMC_HA15_P	IO_L4P_T0U_N6_DBC_AD7P_68	C19	FMC HA 第 15 路数据 P
FMC_HA15_N	IO_L4N_T0U_N7_DBC_AD7N_68	B19	FMC HA 第 15 路数据 N
FMC_HA16_P	IO_L2P_T0L_N2_68	A19	FMC HA 第 16 路数据 P
FMC_HA16_N	IO_L2N_T0L_N3_68	A18	FMC HA 第 16 路数据 N
FMC_HA17_CC_P	IO_L13P_T2L_N0_GC_QBC_68	G17	FMC HA 第 17 路数据 (时钟) P
FMC_HA17_CC_N	IO_L13N_T2L_N1_GC_QBC_68	G16	FMC HA 第 17 路数据 (时钟) N
FMC_HA18_P	IO_L17P_T2U_N8_AD10P_68	H17	FMC HA 第 18 路数据 P
FMC_HA18_N	IO_L17N_T2U_N9_AD10N_68	H16	FMC HA 第 18 路数据 N
FMC_HA19_P	IO_L5P_T0U_N8_AD14P_68	B17	FMC HA 第 19 路数据 P

FMC_HA19_N	IO_L5N_T0U_N9_AD14N_68	B16	FMC HA 第 19 路数据 N
FMC_HA20_P	IO_L6P_T0U_N10_AD6P_68	C18	FMC HA 第 20 路数据 P
FMC_HA20_N	IO_L6N_T0U_N11_AD6N_68	C17	FMC HA 第 20 路数据 N
FMC_HA21_P	IO_L8P_T1L_N2_AD5P_68	E15	FMC HA 第 21 路数据 P
FMC_HA21_N	IO_L8N_T1L_N3_AD5N_68	D15	FMC HA 第 21 路数据 N
FMC_HA22_P	IO_L7P_T1L_N0_QBC_AD13P_68	D14	FMC HA 第 22 路数据 P
FMC_HA22_N	IO_L7N_T1L_N1_QBC_AD13N_68	C14	FMC HA 第 22 路数据 N
FMC_HA23_P	IO_L15P_T2L_N4_AD11P_68	G15	FMC HA 第 23 路数据 P
FMC_HA23_N	IO_L15N_T2L_N5_AD11N_68	G14	FMC HA 第 23 路数据 N
FMC_HPC_SCL	IO_T1U_N12_68	C16	FMC I2C 总线时钟
FMC_HPC_SDA	IO_T2U_N12_68	H14	FMC I2C 总线数据
FMC_GBTCLK0_M2C_P	MGTREFCLK0P_228	K6	收发器参考时钟 0 输入 P
FMC_GBTCLK0_M2C_N	MGTREFCLK0N_228	K5	收发器参考时钟 0 输入 N
FMC_GBTCLK1_M2C_P	MGTREFCLK0P_227	P6	收发器参考时钟 1 输入 P
FMC_GBTCLK1_M2C_N	MGTREFCLK0N_227	P5	收发器参考时钟 1 输入 N
FMC_DP0_M2C_P	MGTHRXP3_228	A4	收发器数据 0 输入 P
FMC_DP0_M2C_N	MGTHRXN3_228	A3	收发器数据 0 输入 N
FMC_DP1_M2C_P	MGTHRXP2_228	B2	收发器数据 1 输入 P
FMC_DP1_M2C_N	MGTHRXN2_228	B1	收发器数据 1 输入 N
FMC_DP2_M2C_P	MGTHRXP1_228	D2	收发器数据 2 输入 P
FMC_DP2_M2C_N	MGTHRXN1_228	D1	收发器数据 2 输入 N
FMC_DP3_M2C_P	MGTHRXP0_228	E4	收发器数据 3 输入 P
FMC_DP3_M2C_N	MGTHRXN0_228	E3	收发器数据 3 输入 N
FMC_DP4_M2C_P	MGTHRXP3_227	F2	收发器数据 4 输入 P
FMC_DP4_M2C_N	MGTHRXN3_227	F1	收发器数据 4 输入 N
FMC_DP5_M2C_P	MGTHRXP2_227	H2	收发器数据 5 输入 P
FMC_DP5_M2C_N	MGTHRXN2_227	H1	收发器数据 5 输入 N
FMC_DP6_M2C_P	MGTHRXP1_227	K2	收发器数据 6 输入 P
FMC_DP6_M2C_N	MGTHRXN1_227	K1	收发器数据 6 输入 N
FMC_DP7_M2C_P	MGTHRXP0_227	M2	收发器数据 7 输入 P
FMC_DP7_M2C_N	MGTHRXN0_227	M1	收发器数据 7 输入 N
FMC_DP0_C2M_P	MGHTXP3_228	B6	收发器数据 0 输出 P
FMC_DP0_C2M_N	MGHTXN3_228	B5	收发器数据 0 输出 N
FMC_DP1_C2M_P	MGHTXP2_228	C4	收发器数据 1 输出 P
FMC_DP1_C2M_N	MGHTXN2_228	C3	收发器数据 1 输出 N

FMC_DP2_C2M_P	MGTHTXP1_228	D6	收发器数据 2 输出 P
FMC_DP2_C2M_N	MGTHTXN1_228	D5	收发器数据 2 输出 N
FMC_DP3_C2M_P	MGTHTXP0_228	F6	收发器数据 3 输出 P
FMC_DP3_C2M_N	MGTHTXN0_228	F5	收发器数据 3 输出 N
FMC_DP4_C2M_P	MGTHTXP3_227	G4	收发器数据 4 输出 P
FMC_DP4_C2M_N	MGTHTXN3_227	G3	收发器数据 4 输出 N
FMC_DP5_C2M_P	MGTHTXP2_227	J4	收发器数据 5 输出 P
FMC_DP5_C2M_N	MGTHTXN2_227	J3	收发器数据 5 输出 N
FMC_DP6_C2M_P	MGTHTXP1_227	L4	收发器数据 6 输出 P
FMC_DP6_C2M_N	MGTHTXN1_227	L3	收发器数据 6 输出 N
FMC_DP7_C2M_P	MGTHTXP0_227	N4	收发器数据 7 输出 P
FMC_DP7_C2M_N	MGTHTXN0_227	N3	收发器数据 7 输出 N

十一、SD 卡槽

AXKU040开发板包含了一个Micro型的SD卡接口，以提供用户访问SD卡存储器，用于存储图片，音乐或者其他用户数据文件。

信号与FPGA的 BANK64的IO信号相连，因为该BANK的VCCIO是FMC2_VADJ，默认是1.8V。但SD卡的数据电平为3.3V，我们这里通过TXS02612电平转换器来连接。FPGA和SD卡连接器的原理图如图11-1所示。

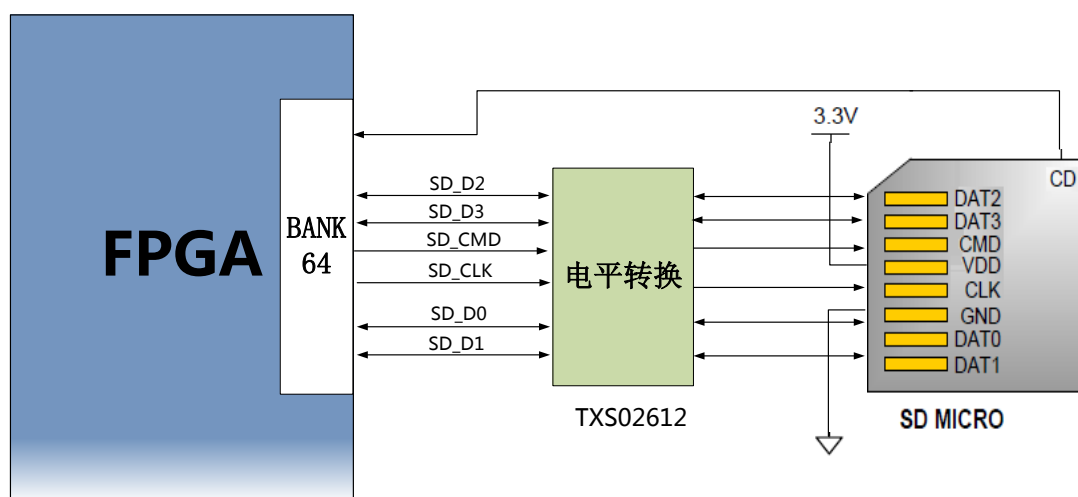


图 11-1 SD 卡连接示意图

SD 卡槽引脚分配

信号名称	FPGA 引脚名	FPGA 引脚号	备注
------	----------	----------	----

SD_CLK	IO_L22P_T3U_N6_DBC_AD0P_64	AN8	SD时钟信号
SD_CMD	IO_L21N_T3L_N5_AD8N_64	AL9	SD命令信号
SD_D0	IO_L24N_T3U_N11_64	AL8	SD数据Data0
SD_D1	IO_L22N_T3U_N7_DBC_AD0N_64	AP8	SD数据Data1
SD_D2	IO_L23P_T3U_N8_64	AJ9	SD数据Data2
SD_D3	IO_L21P_T3L_N4_AD8P_64	AK10	SD数据Data3
SD_CD	IO_L23N_T3U_N9_64	AJ8	SD卡插入信号

十二、SMA、SATA 接口

AXKU040 开发板设计 6 路 SMA 接口，差分连接到 BANK225 高速收发器上，包括一对 TX，一对 RX，一对时钟信号。为客户提供高速外接接口。另外板上预留 2 个 SATA 接口，用于连接固态硬盘。

FPGA 和 SMA 接口连接示意图，如图 12-1 所示。

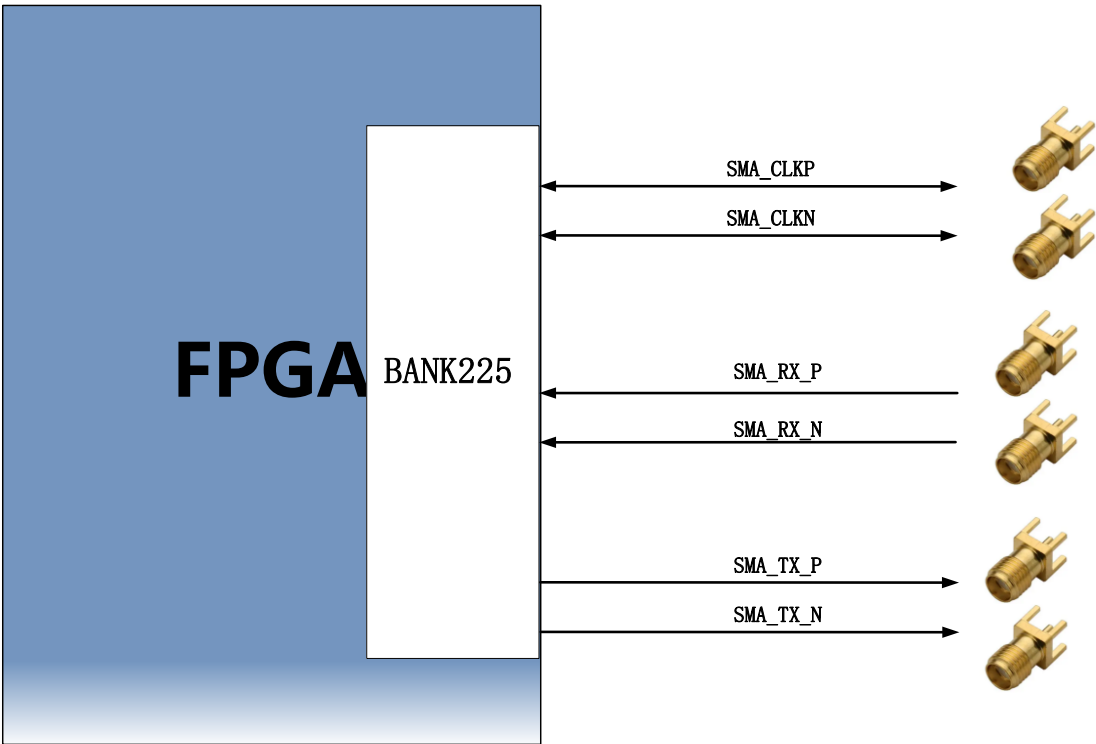


图 12-1 SMA 连接器示意图

SMA 接口引脚分配

信号名称	FPGA 引脚名	FPGA 引脚号	备注
------	----------	----------	----

SMA_CLKP	MGTREFCLK1P_225	Y6	收发器时钟信号
SMA_CLKN	MGTREFCLK1N_225	Y5	收发器时钟信号
SMA_TX_P	MGTHTXP3_225	AC4	收发器信号输出
SMA_TX_N	MGTHTXN3_225	AC3	收发器信号输出
SMA_RX_P	MGTHRXP3_225	AB2	收发器信号输入
SMA_RX_N	MGTHRNX3_225	AB1	收发器信号输入

FPGA 和 SATA 接口连接示意图，如图 12-2 所示。

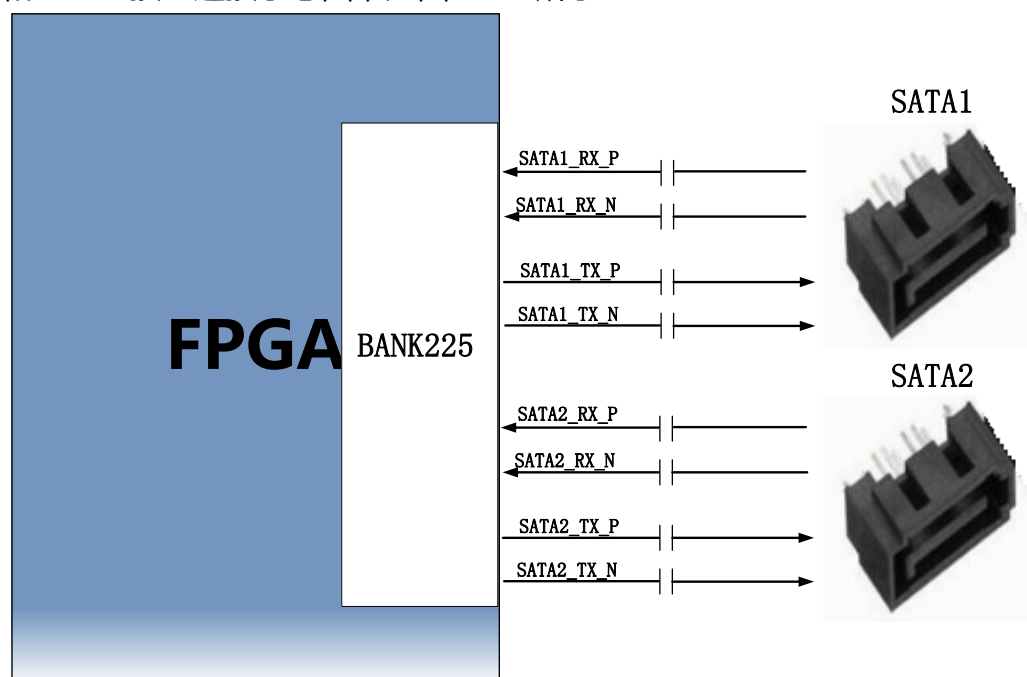


图 12-2 SATA 连接器示意图

SMA 接口引脚分配

信号名称	FPGA 引脚名	FPGA 引脚号	备注
SATA1_TX_P	MGTHTXP0_225	AH6	SATA1数据发送P
SATA1_TX_N	MGTHTXN0_225	AH5	SATA1数据发送N
SATA1_RX_P	MGTHRXP0_225	AH2	SATA1数据接收P
SATA1_RX_N	MGTHRNX0_225	AH1	SATA1数据接收N
SATA2_TX_P	MGTHTXP1_225	AG4	SATA2数据发送P
SATA2_TX_N	MGTHTXN1_225	AG3	SATA2数据发送N
SATA2_RX_P	MGTHRXP1_225	AF2	SATA2数据接收P

SATA2_ RX_N	MGTHRXN1_225	AF1	SATA2数据接收N
-------------	--------------	-----	------------

十三、温度传感器

AXKU040 开发板上安装了一个高精度、低功耗、数字温度传感器芯片，型号为 ON Semiconductor 公司的 LM75A。LM75A 芯片的温度精度为 0.5 度,传感器和 FPGA 直接为 I2C 数字接口，FPGA 通过 I2C 接口来读取当前开发板附近的温度。

LM75 传感器芯片的设计示意图如图 13-1

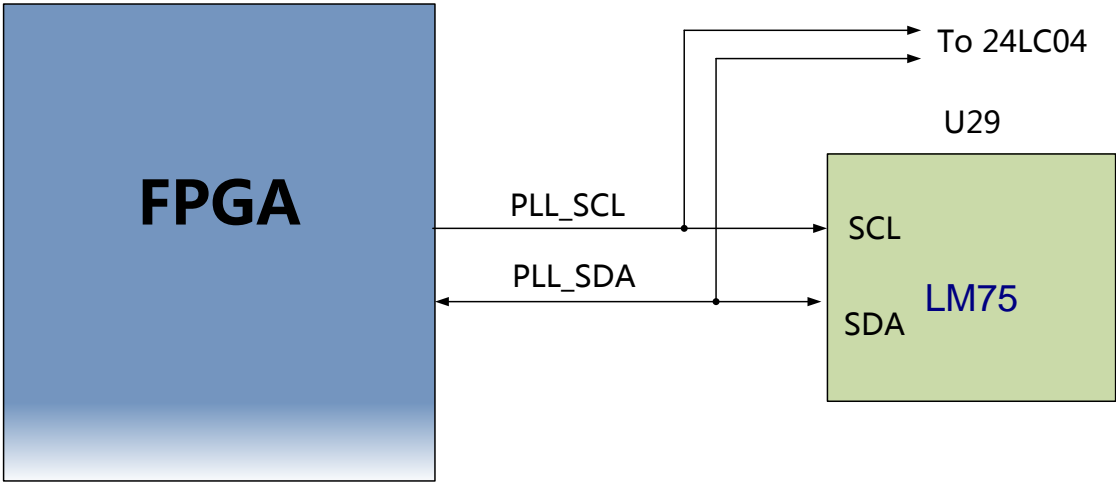


图 13-1

LM75 传感器引脚分配：

引脚名称	FPGA 引脚
I2C_SCL_3V3	P24
I2C_SDA_3V3	P25

十四、JTAG 调试口

在 AXKU040 开发板上预留了一个 JTAG 接口，用于下载 FPGA 程序或者固化程序到 FLASH。为了带电插拔造成对 FPGA 芯片的损坏，我们在 JTAG 信号上添加了保护二极管来保证信号的电压在 FPGA 接受的范围，避免 FPGA 的损坏。

JTAG 的原理图如图 14-1

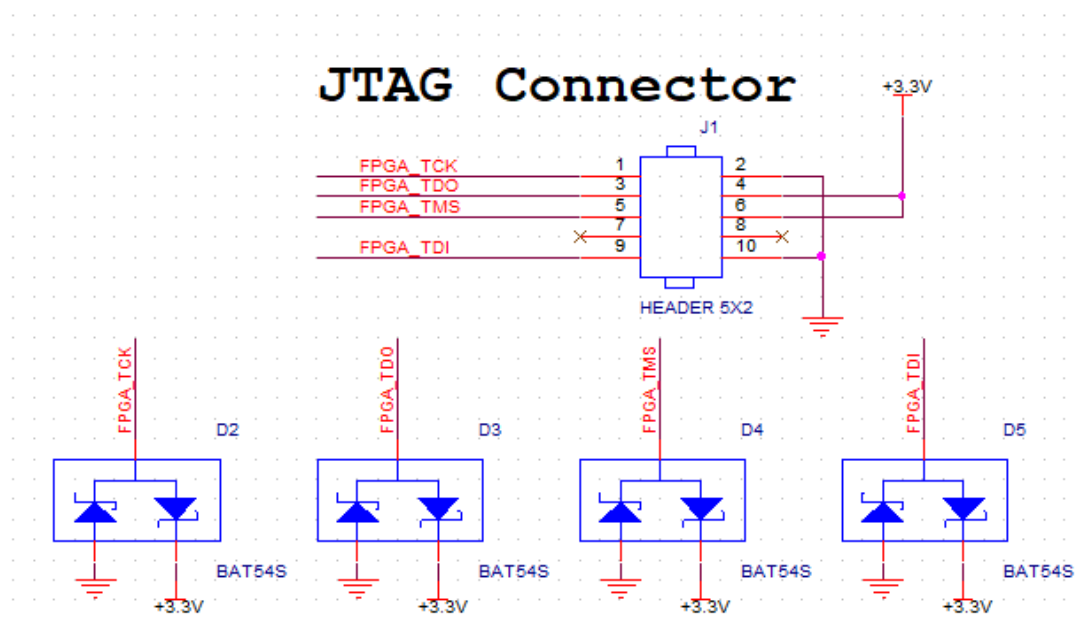


图 14-1

JTAG 引脚分配：

信号名称	FPGA 引脚名	FPGA 管脚号	备注
FPGA_TDI	TDI_0	V9	JTAG数据输入引脚
FPGA_TMS	TMS_0	W9	JTAG控制引脚
FPGA_TDO	TDO_0	U9	JTAG数据输出引脚
FPGA_TCK	TCK_0	AC9	JTAG时钟引脚

十五、LED 灯

AXKU040 开发板上有 6 个发光二极管 LED,包括 1 个电源指示灯；1 个 DONE 灯，4 个 FPGA 控制指示灯。当开发板上电后电源指示灯会亮起；当 FPGA 配置程序后，配置 LED 灯会亮起。4 个用户 LED 灯连接到 FPGA BANK65 的 IO 上，用户可以通过程序来控制亮和灭，当连接用户 LED 灯的 IO 电压为低时，用户 LED 灯熄灭，当连接 IO 电压为高时，用户 LED 会被点亮。因为 BANK65 的电平为 1.8V，这里我们增加了三级管来驱动 LED 的亮灭。DONE 灯来判断 FPGA 启动是否正常

用户 LED 灯硬件连接的示意图如图 15-1 所示：

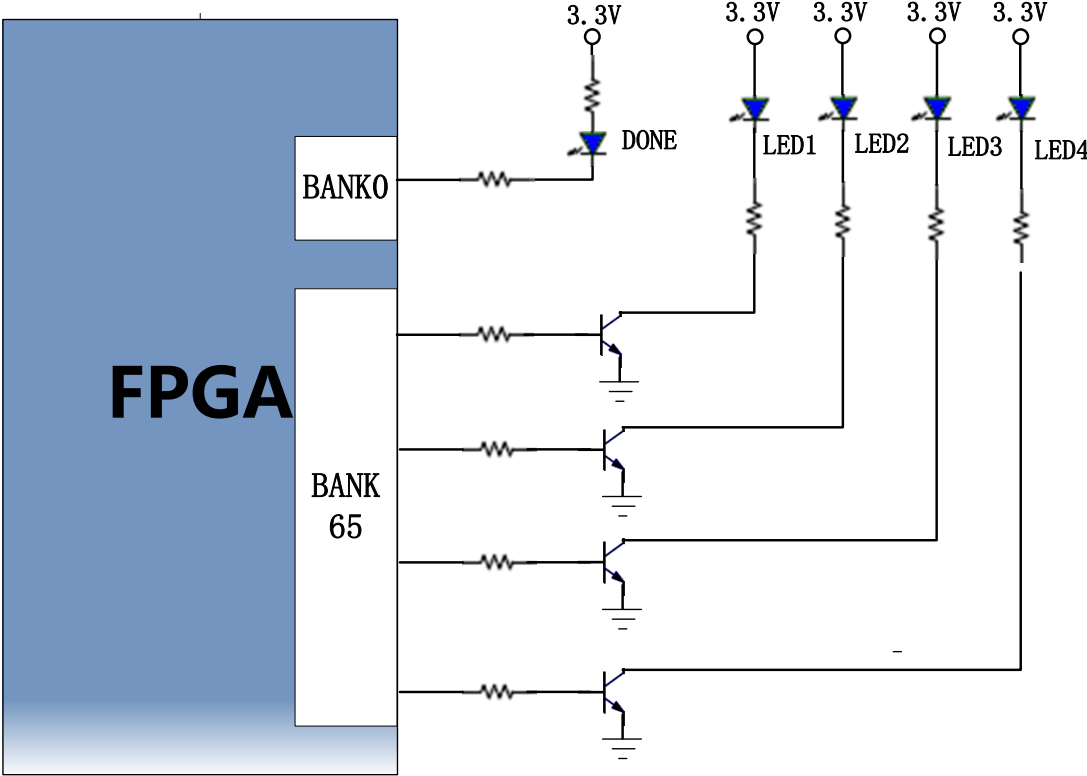


图 15-1

LED 灯管脚分配

信号名称	FPGA 引脚名	FPGA 引 脚号	备注
LED1	IO_L22N_T3U_N7_DBC_AD0N_D05_65	L20	用户定义指示灯
LED2	IO_L22P_T3U_N6_DBC_AD0P_D04_65	M20	用户定义指示灯
LED3	IO_L23N_T3U_N9_I2C_SDA_65	M21	用户定义指示灯
LED3	IO_L23P_T3U_N8_I2C_SCLK_65	N21	用户定义指示灯
FPGA_DONE	DONE_0	N7	FPGA 配置指示 灯

十六、按键

AXKU040 开发板上有 2 个用户按键，1 个复位按键。2 个用户按键中连接到 FPGA BANK65 的 IO 上。用户按键低电平有效，为客户实现板子某些功能；复位按键接到 FPGA BANK64，用于系统复位。

按键的连接示意图如图 16-1 所示：

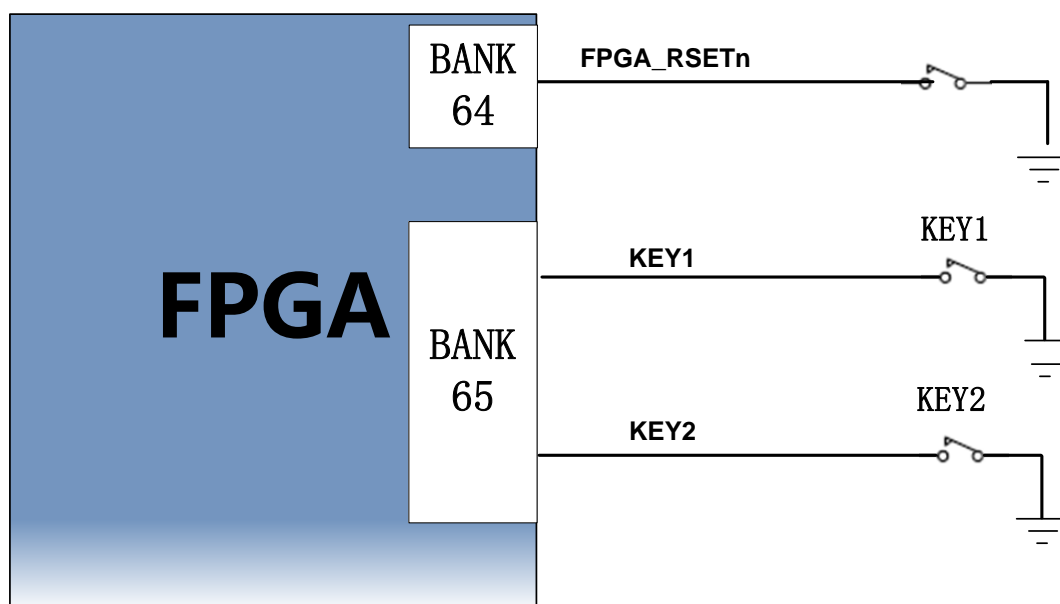


图 16-1

按键的 FPGA 管脚分配：

信号名称	FPGA 引脚名	FPGA 引脚号	备注
KEY1	IO_L13N_T2L_N1_GC_QBC_44	K21	用户按键
KEY2	IO_L24P_T3U_N10_EMCCCLK_65	K20	用户按键
FPGA_RSTn	IO_L24P_T3U_N10_64	AK8	系统复位

十七、电源

开发板的电源输入电压为 DC12V，外接+12V 电源给板子供电。外接电源供电时请使用开发板自带的电源,不要用其他规格的电源，以免损坏开发板。

板上的电源设计示意图如下图 18-1 所示:

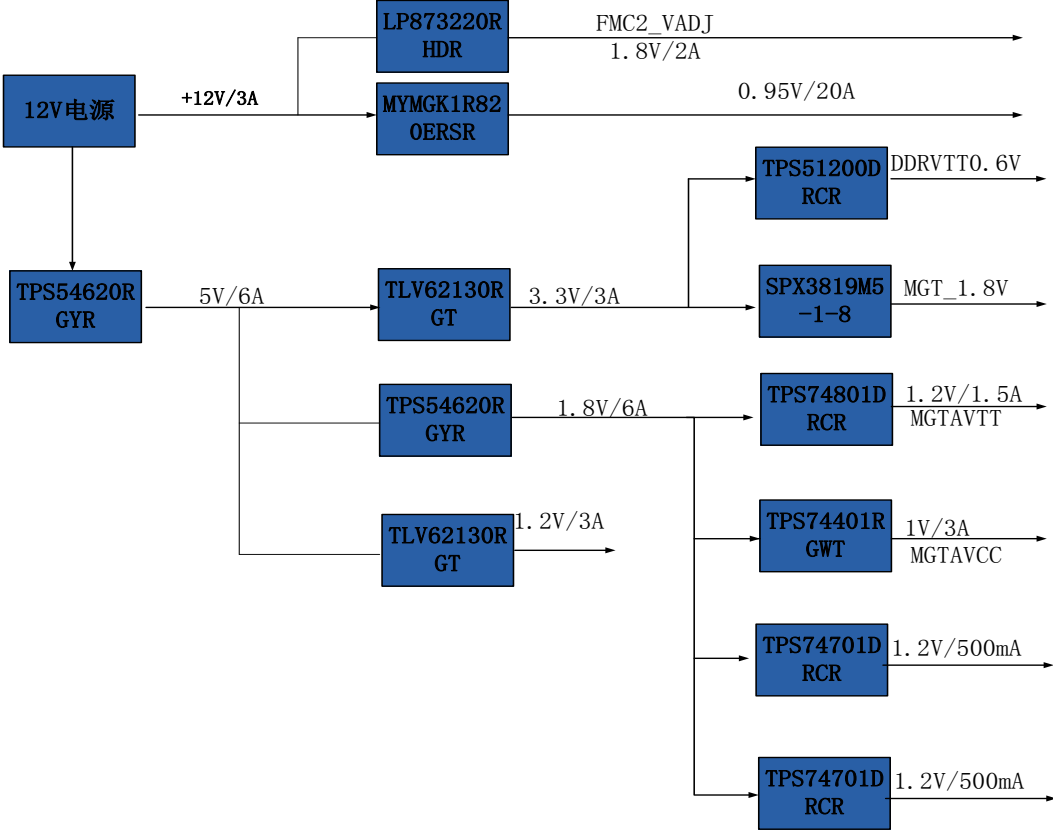


图 18-1 原理图中电源接口部分

各个电源分配的功能如下表所示：

电源	功能
+0.95V	FPGA 的内核电压
+3.3V	FPGA 芯片 IO 电压 ,FMC ,光纤 ,LED 灯 , SD 卡 , 电平转换芯片
+1.8V	HDMI 芯片 , 电平转换芯片电压 , 电源电 压
1.2V/1.5A , 1.2V/500mA	DDR4 , FPGA 芯片 , FMC 上电压 , 辅助 电压 , 网口芯片
MGTAVCC(+1.0V)	FPGA 芯片电压
MGTAVTT(+1.2V)	FPGA 芯片电压 ,
DDRVTT (0.6V)	DDR4 上拉电压
FMC2_VADJ (1.8V)	FPGA 芯片电压 , 电平转换电压 , FMC 上 电压
MGT_1.8V (+1.2V)	FPGA GTH 辅助电压

十八、风扇

因为 FPGA 正常工作时会产生大量的热量，我们在板上为芯片增加了一个散热片和风扇，防止芯片过热。风扇的控制由 FPGA 芯片来控制，控制管脚连接到 BANK65 的 IO 上，如果 IO 电平输出为高，MOSFET 管导通，风扇工作。板上的风扇设计图如下图 18-1 所示：

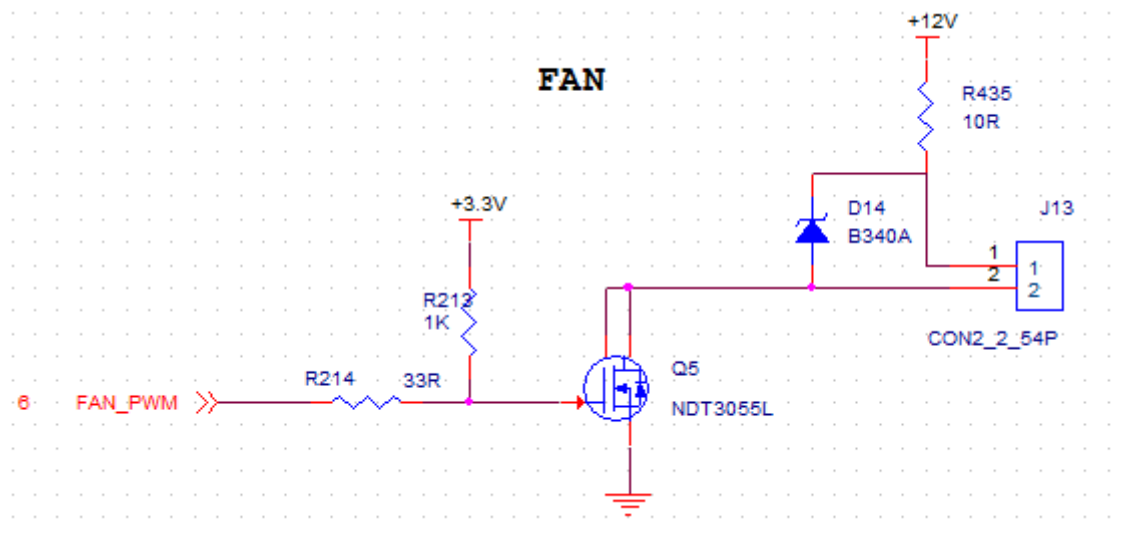
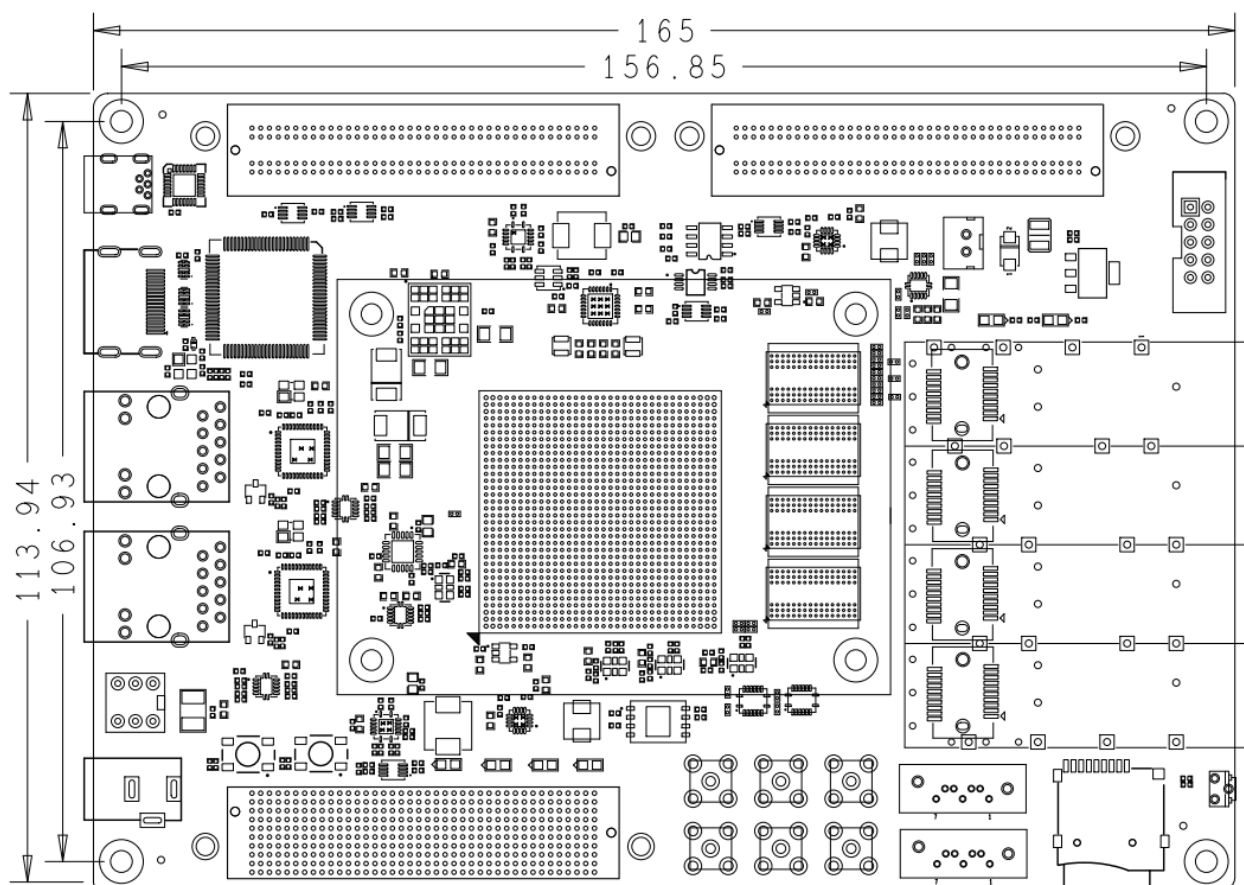


图 18-1

风扇的控制引脚分配：

信号名称	FPGA 引脚名	FPGA 引脚号	备注
FAN_PWM	IO_L20P_T3L_N2_AD1P_D08_65	P20	风扇控制引脚

十九、结构尺寸图



正面图 (Top View)